

マイコン内蔵アナログ電源コントローラ、 同期ドライバ内蔵

同期降圧回路の特長：

- 入力電圧：4.5 ~ 32 V
- 出力電圧 0.5 ~ 3.6 V
- スイッチング周波数：100 kHz ~ 16 MHz
- 静止電流：5 mA (代表値)
- ハイサイド駆動：
 - ゲート駆動：+5 V
 - ソース電流：1 A/2 A
 - シンク電流：1 A/2 A
- ローサイド駆動：
 - ゲート駆動：+5 V
 - ソース電流：2 A
 - シンク電流：4 A
- ピーク電流モード制御
- 差動リモート出力検出
- 多相システム：
 - マスタまたはスレーブ
 - 周波数同期
 - 共通のエラー信号
- 多出力システム：
 - マスタまたはスレーブ
 - 周波数同期
- 設定可能なパラメータ：
 - 過電流制限
 - 入力低電圧ロックアウト
 - 出力過電圧
 - 出力低電圧
 - 内部アナログ補償
 - ソフトスタート プロファイル
 - 同期ドライバのデッドタイム
 - スイッチング周波数
- サーマル シャットダウン

マイクロコントローラの特長：

- 高精度 8 MHz 内部オシレータ ブロック：
 - 工場で校正済み
- 割り込み対応
 - ファームウェア
 - 状態変化割り込みピン
- 命令は 35 しかなく習得が容易
- 4096 ワードの内蔵プログラムメモリ
- 高書き込み耐性フラッシュ：
 - 書き換え耐性 10 万回のフラッシュ
 - フラッシュデータ保持期間：>40 年
- 独立したオシレータを用いたウォッチドッグ タイマ (WDT) による高信頼性動作
- プログラマブルなコード保護
- 2 本のピンを介してのインサーキット デバッグ (ICD)
- 2 本のピンを介してのインサーキット シリアル プログラミング™ (ICSP™)
- 14 本の I/O ピンと 1 本の入力専用ピン
 - 3 本のオープンドレイン ピン
- A/D コンバータ (ADC):
 - 分解能：10 ビット
 - 内部チャンネル：12 本
 - 外部チャンネル：8 本
- Timer0: 8 ビットタイマ / カウンタ、8 ビット プリスケアラ付き
- 拡張 Timer1:
 - 16 ビットタイマ / カウンタ、プリスケアラ付き
 - 2 つのクロック源を選択可能
- Timer2: 8 ビットタイマ / カウンタ、プリスケアラ付き
 - 8 ビットの周期レジスタ
- I²C™ 通信：
 - 7 ビットアドレス マスキング
 - 2 つの専用アドレスレジスタ
 - SMBus/PMBus™ 互換

MCP19111

ピン配置図 - 28ピン QFN (MCP19111)

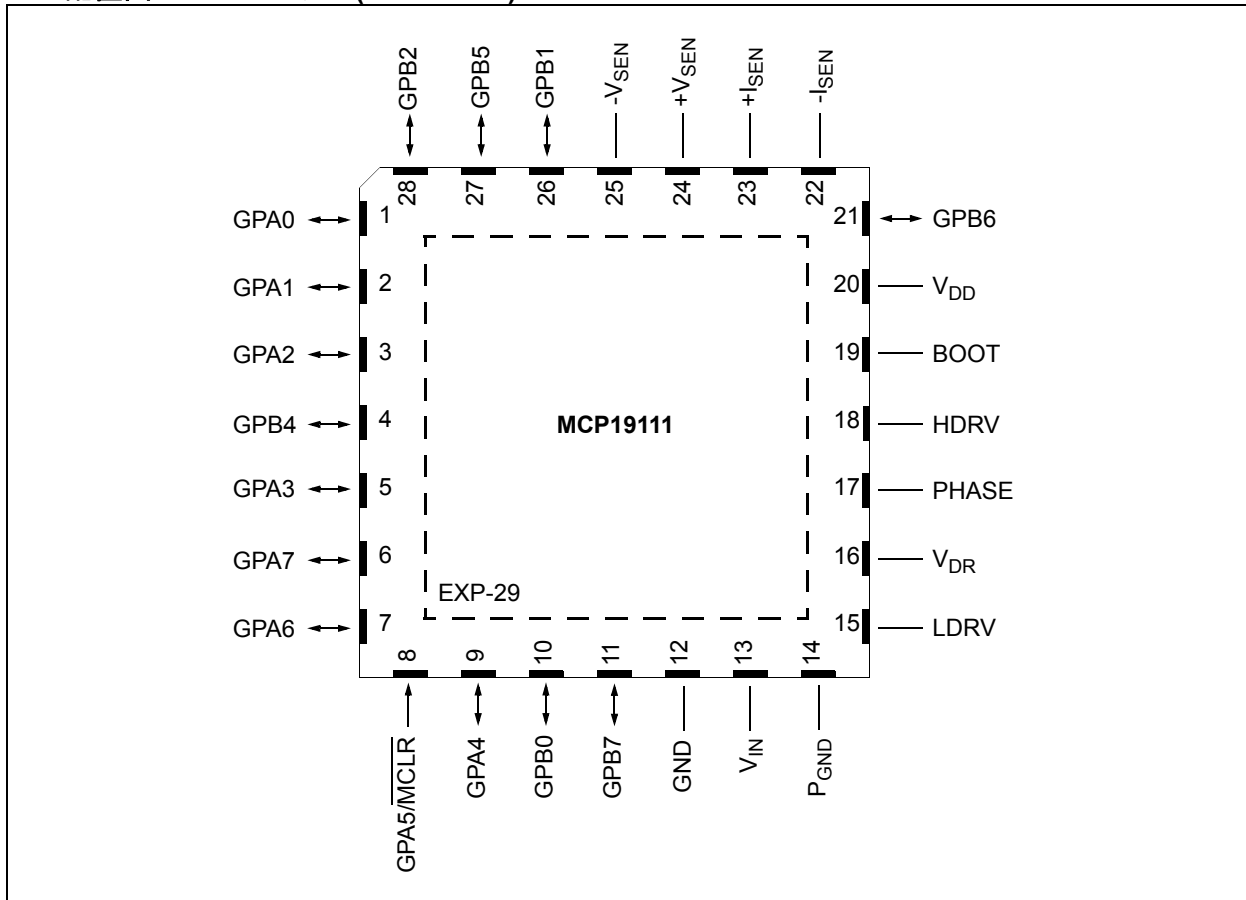


表 1: 28 ピンのまとめ

I/O	28 ピン QFN	ANSEL	A/D	タイマ	MSSP	割り込み	プルアップ	基本設定	備考
GPA0	1	Y	AN0	-	-	IOC	Y	-	アナログデバッグ出力 ⁽¹⁾
GPA1	2	Y	AN1	-	-	IOC	Y	-	同期信号入出力 ^(2, 3)
GPA2	3	Y	AN2	TOCKI	-	IOC INT	Y	-	-
GPA3	5	Y	AN3	-	-	IOC	Y	-	-
GPA4	9	N	-	-	-	IOC	N	-	-
GPA5	8	N	-	-	-	IOC ⁽⁴⁾	Y ⁽⁵⁾	MCLR	-
GPA6	7	N	-	-	-	IOC	N	-	-
GPA7	6	N	-	-	SCL	IOC	N	-	-
GPB0	10	N	-	-	SDA	IOC	N	-	-
GPB1	26	Y	AN4	-	-	IOC	Y	-	エラー信号入出力 ⁽³⁾
GPB2	28	Y	AN5	-	-	IOC	Y	-	-
GPB4	4	Y	AN6	-	-	IOC	Y	ICSPDAT ICDDAT	-
GPB5	27	Y	AN7	-	-	IOC	Y	ICSPCLK ICDCLK	代替同期 信号入出力 ^(2, 3)
GPB6	21	N	-	-	-	IOC	Y	-	-
GPB7	11	N	-	-	-	IOC	Y	-	-
V _{IN}	13	N	-	-	-	-	-	V _{IN}	デバイス入力電圧
V _{DR}	16	N	-	-	-	-	-	V _{DR}	ゲート駆動電源入力電圧
V _{DD}	20	N	-	-	-	-	-	V _{DD}	内部レギュレータ出力
GND	12	N	-	-	-	-	-	GND	信号用グラウンド
P _{GND}	14	N	-	-	-	-	-	-	MOSFET 接続用グラウンド
LDRV	15	N	-	-	-	-	-	-	ローサイド MOSFET 接続
HDRV	18	N	-	-	-	-	-	-	ハイサイド MOSFET 接続
PHASE	17	N	-	-	-	-	-	-	スイッチノード
BOOT	19	N	-	-	-	-	-	-	フローティング ブートストラップ電源
+V _{SEN}	24	N	-	-	-	-	-	-	出力電圧差動検出
-V _{SEN}	25	N	-	-	-	-	-	-	出力電圧差動検出
+I _{SEN}	23	N	-	-	-	-	-	-	電流検出入力
-I _{SEN}	22	N	-	-	-	-	-	-	電流検出入力

- Note 1:** アナログデバッグ出力は、ATSTCON<BNCHEN> ビットがセットされている場合に選択されます。
- 2:** BUFFCON レジスタの MLTPH<2:0> ビットを適切に設定して、デバイスが多出力のマスタまたはスレーブとして動作している場合に選択されます。
- 3:** BUFFCON レジスタの MLTPH<2:0> ビットを適切に設定して、デバイスが多相のマスタまたはスレーブとして動作している場合に選択されます。
- 4:** MCLR が有効な場合、IOC は無効になります。
- 5:** MCLR が有効な場合、弱プルアップは常に有効になります。それ以外の場合はユーザによって制御されます。

MCP19111

目次

1.0	デバイスの概要	7
2.0	ピンの説明	10
3.0	機能説明	15
4.0	電気的特性	21
5.0	デジタル電気的特性	27
6.0	MCP19111 の設定	35
7.0	代表性能曲線	51
8.0	システム ベンチテスト	55
9.0	デバイスの校正	57
10.0	相対効率の計測	65
11.0	メモリ構成	67
12.0	デバイス コンフィグレーション	79
13.0	オシレータモード	81
14.0	リセット	83
15.0	割り込み	91
16.0	パワーダウン モード (スリープ)	99
17.0	ウォッチドッグ タイマ (WDT)	101
18.0	フラッシュ プログラムメモリ制御	103
19.0	I/O ポート	109
20.0	状態変化割り込み	119
21.0	内部温度インジケータ モジュール	121
22.0	A/D コンバータ (ADC) モジュール	123
23.0	Timer0 モジュール	133
24.0	Timer1 モジュール (ゲート制御対応)	135
25.0	Timer2 モジュール	138
26.0	PWM モジュール	141
27.0	マスタ同期シリアルポート (MSSP) モジュール	145
28.0	インサーキット シリアル プログラミング™ (ICSP™)	189
29.0	命令セットの概要	191
30.0	開発サポート	201
31.0	パッケージ情報	205
補遺 A:	改訂履歴	209
Index		211
	マイクロチップ社のウェブサイト	217
	お客様向け変更通知サービス	217
	カスタマサポート	217
	お客様アンケート	218
	製品識別システム	219

大切なお客様へ

マイクロチップ社は、弊社製品を存分にご活用頂くために、文書の作成に最善の努力を尽くしています。このため、弊社はおお客様のニーズにより的確に応える事ができるように、文書の改善を続けており、新刊、更新版をリリースする際に内容の見直しと充実を図って参ります。

本書に関してご質問またはご意見がございましたら、マーケティング コミュニケーション部宛てにメールまたは FAX でご連絡ください。メールの宛先は docerrors@microchip.com、FAX 番号は (480) 792-4150 です。FAX の場合、本書の巻末にある「お客様アンケート」フォームをご利用ください。皆様からのご意見をお待ちしております。

最新のデータシート

本書の最新版を入手するには、弊社ウェブサイトにご登録ください。

<http://www.microchip.com> からダウンロードできます。

データシートのリビジョンは、各ページの欄外下隅に記載されている文書番号で確認できます。文書番号の最後の文字がバージョン番号を表します (例: DS30000A_JP であれば文書 DS30000_JP のバージョン A)。

エラッタ

現行デバイスの動作とデータシート上の動作との間に微細な差違が生じた場合、その相違点と推奨対応策を記載したエラッタシートを発行する場合があります。エラッタは、デバイスや文書に関する問題が認識された時点で発行されます。エラッタには、該当するシリコンと文書のリビジョンを明記しています。

特定のデバイス向けにエラッタシートが存在するかどうかは、以下の方法で確認できます。

- マイクロチップ社のウェブサイト: <http://www.microchip.com>
- 最寄のマイクロチップ社営業所 (本書の最終ページ参照)

お問い合わせの際は、ご使用のデバイス、シリコンとデータシートのリビジョン (文書番号含む) をお知らせください。

お客様向け変更通知システム

弊社ウェブサイト (www.microchip.com) にご登録頂いたお客様には、弊社全製品に関する最新情報をお届けします。

MCP19111

NOTE:

1.0 デバイスの概要

MCP19111 は、マイクロコントローラ コアを内蔵した、同期 DC/DC 降圧アプリケーション向けの高度に集積化されたミクストシグナル、アナログパルス幅変調 (PWM) 電流モード コントローラです。MCP19111 は DC/DC コンバータの出力をレギュレートするために従来型のアナログ制御回路を使うため、デバイスの動作パラメータ、起動/シャットダウン プロファイル、保護レベル、フォルト処理手順を完全にカスタマイズできるように、PIC[®] マイクロコントローラ ミッドレンジ コアを内蔵しています。

MCP19111 は、4.5 ~ 32 V の単電源で効率良く動作するように設計されています。同期ドライバ、ブートストラップ デバイス、内部リニア レギュレータ、4 kW 不揮発性メモリを小型の 28 ピン 5 mm x 5 mm QFN パッケージに収めています。

マイクロチップ社の MPLAB[®] X IDE (統合開発環境) ソフトウェアによる初期デバイス コンフィグレーション後も、ホストは PMBus または I²C を使って MCP19111 と通信し、その動作を変更できます。

2 つの内部リニア レギュレータは 2 系統の 5 V レールを発生します。一方の 5 V レールは内部アナログ回路に電力を供給する、チップ内部で閉じた電源系です。もう一方の 5 V レールは PIC デバイスに電力を供給し、V_{DD} ピンに出力されます。V_{DD} と P_{GND} の間には 1 μF のコンデンサを接続する事を推奨します。V_{DD} ピンは V_{DR} ピンに直接接続するか、ローパス RC フィルタを介して接続する事も可能です。V_{DR} は内部同期ドライバに給電するピンです。

図 1-1: 代表的なアプリケーション回路

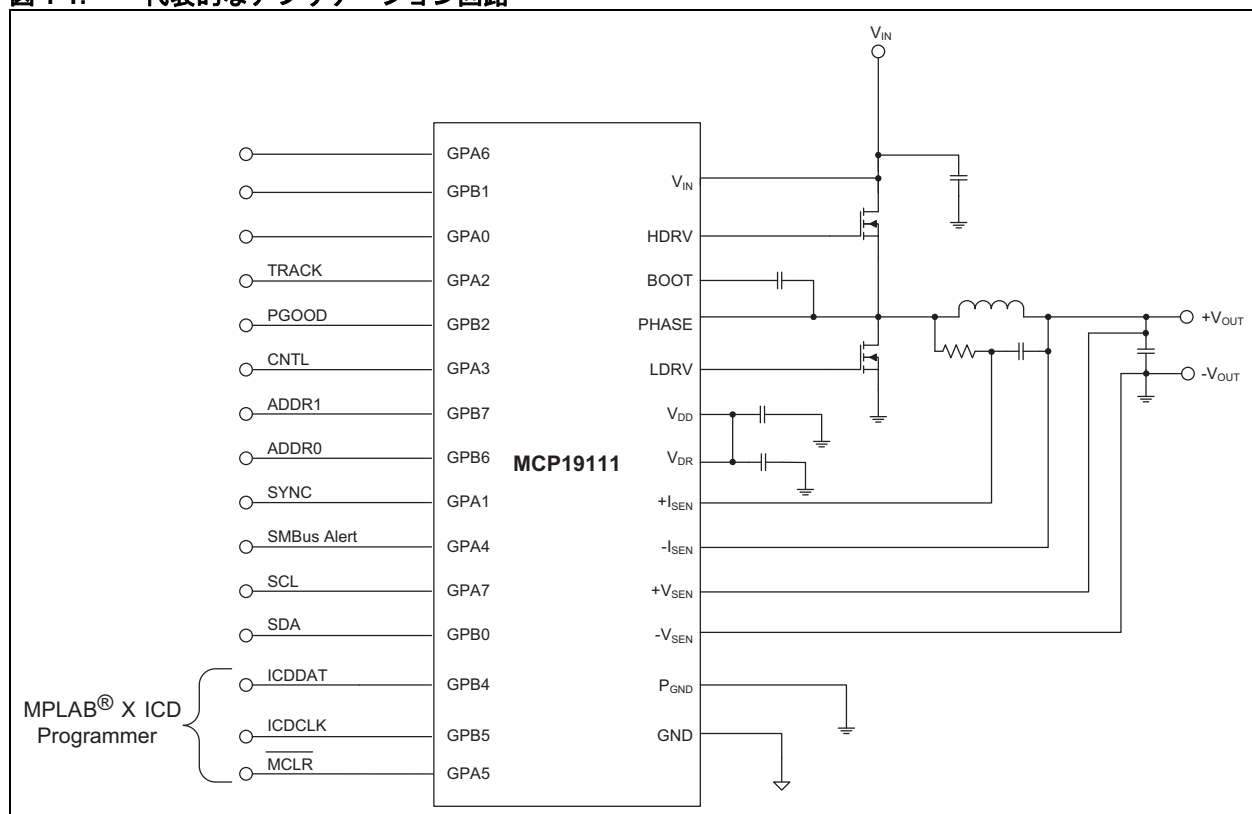


図 1-2: MCP19111 同期降圧回路のブロック図

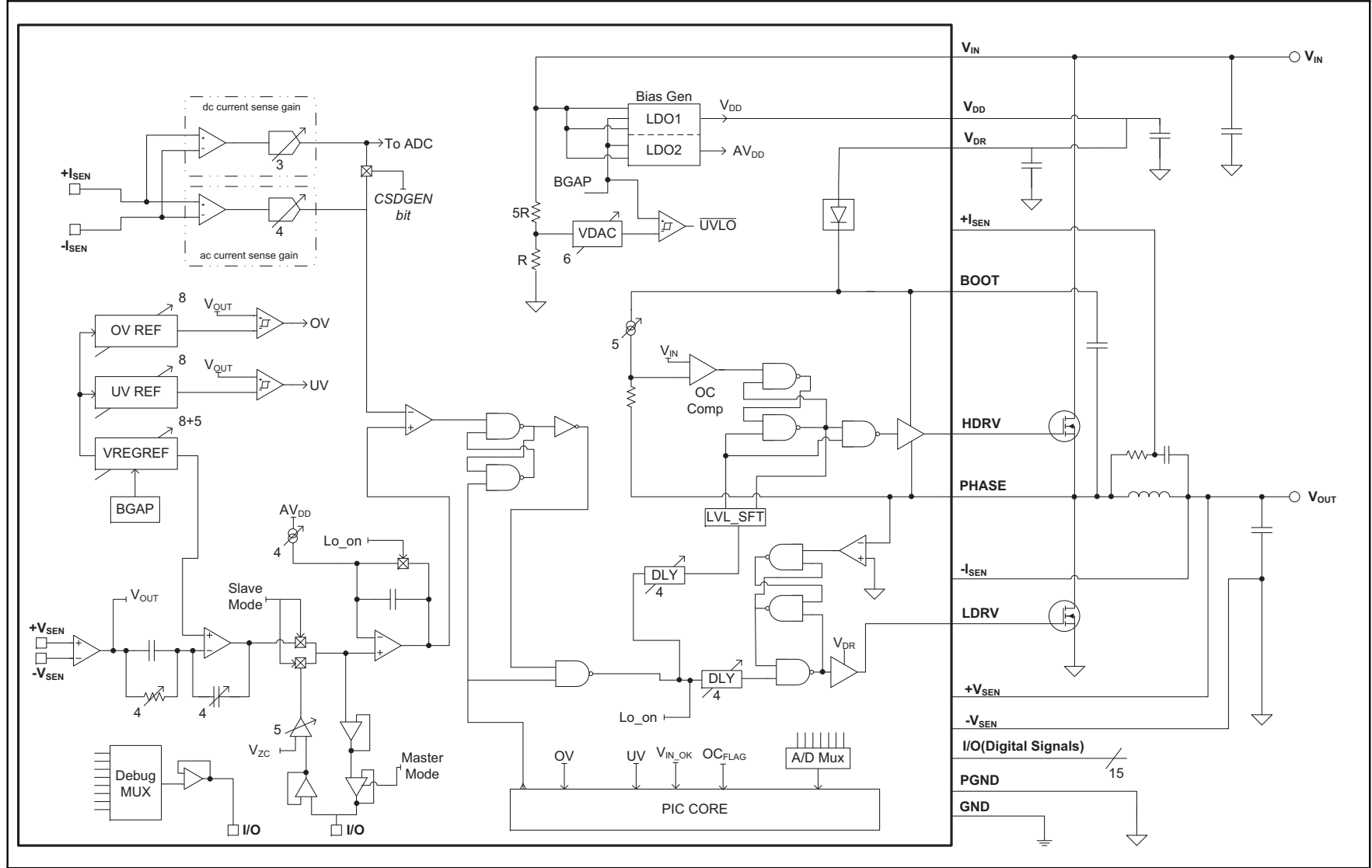
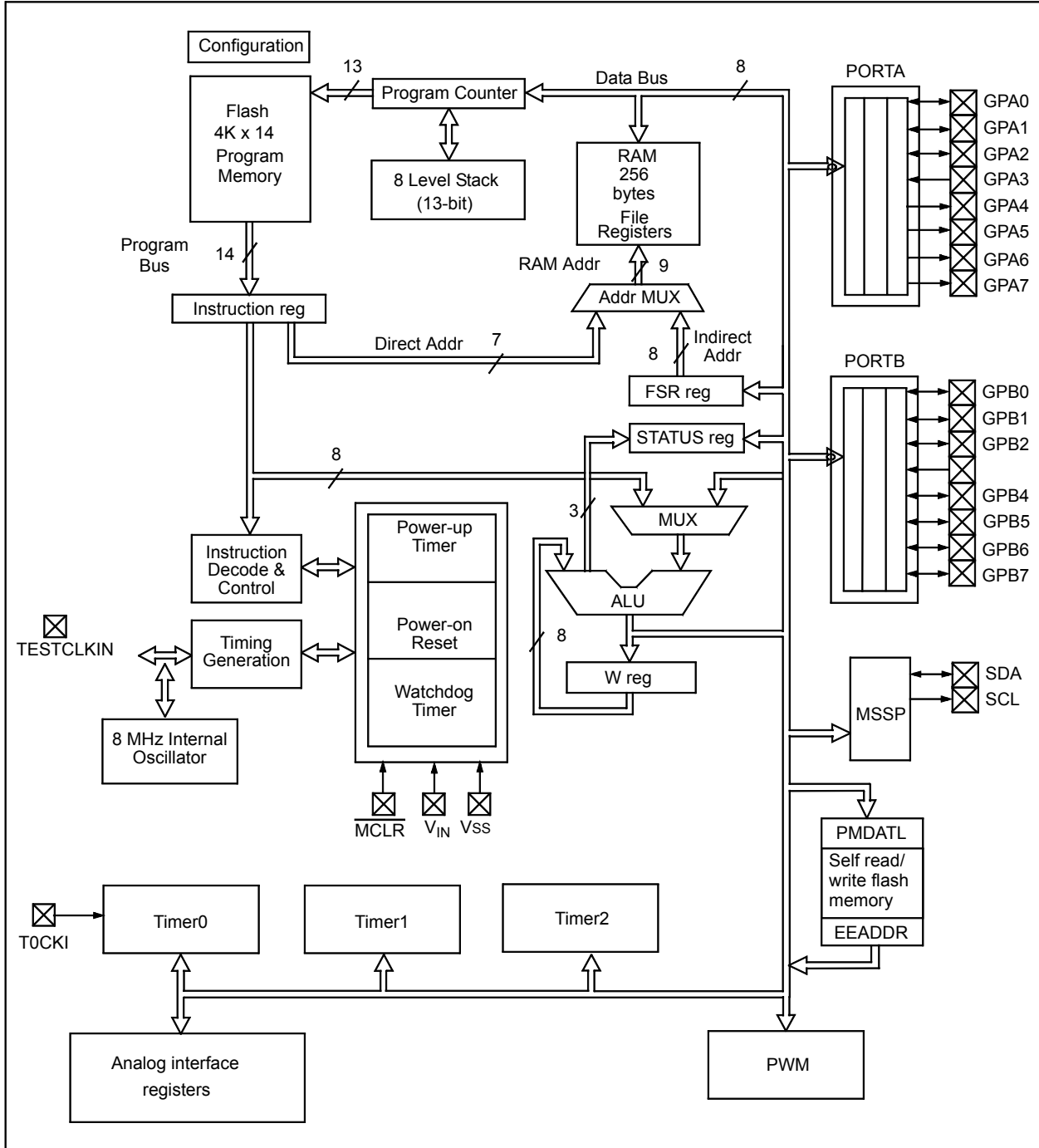


図 1-3: マイクロコントローラ コアのブロック図



MCP19111

2.0 ピンの説明

28 ピン MCP19111 には複数の機能を割り当てられたピンがあります。表 2-1 でこれらの機能を説明します。詳細はセクション 2.1 「ピン機能の詳細な説明」を参照してください。

表 2-1: MCP19111 ピンの説明

ピン名	機能	入力タイプ	出力タイプ	説明
GPA0/AN0/ANALOG_TEST	GPA0	TTL	CMOS	汎用 I/O
	AN0	AN	-	A/D チャンネル 0 入力
	ANALOG_TEST	-	-	内部アナログ信号マルチプレクサ出力 ⁽¹⁾
GPA1/AN1/CLKPIN	GPA1	TTL	CMOS	汎用 I/O
	AN1	AN	-	A/D チャンネル 1 入力
	CLKPIN	-	-	スイッチング周波数クロックの入力または出力 ^(2, 3)
GPA2/AN2/T0CKI/INT	GPA2	TTL	CMOS	汎用 I/O
	AN2	AN	-	A/D チャンネル 2 入力
	T0CKI	ST	-	Timer0 クロック入力
	INT	ST	-	外部割り込み
GPA3/AN3	GPA3	TTL	CMOS	汎用 I/O
	AN3	AN	-	A/D チャンネル 3 入力
GPA4	GPA4	TTL	OD	汎用 I/O
GPA5/MCLR	GPA5	TTL	-	汎用の入力専用
	MCLR	ST	-	内部プルアップ付きマスタクリア
GPA6	GPA6	ST	CMOS	汎用 I/O
	GPA7/SCL	GPA7	ST	OD
SCL	SCL	I ² C	OD	I ² C クロック
	GPB0/SDA	GPB0	TTL	OD
SDA	SDA	I ² C	OD	I ² C データ入力 / 出力
	GPB1/AN4/EAPIN	GPB1	TTL	CMOS
AN4	AN4	AN	-	A/D チャンネル 4 入力
	EAPIN	-	-	エラーアンプ信号入力 / 出力 ⁽³⁾
GPB2/AN5	GPB2	TTL	CMOS	汎用 I/O
	AN5	AN	-	A/D チャンネル 5 入力
GPB4/AN6/ICSPDAT	GPB4	TTL	CMOS	汎用 I/O
	AN6	AN	-	A/D チャンネル 6 入力
	ICSPDAT	ST	CMOS	インサーキットシリアルプログラミングのデータ I/O

凡例: AN = アナログ入出力 CMOS = CMOS 互換入出力 OD = オープンドレイン
 TTL = TTL 互換入出力 ST = CMOS レベルのシュミットトリガ入力 I²C = I²C レベルのシュミットトリガ入力

- Note 1: ANALOG_TEST は ATSTCON<BNCHEN> ビットがセットされている場合に選択されます。
 2: BUFFCON レジスタの MLTPH<2:0> ビットを適切に設定して、デバイスが多出力のマスタまたはスレーブとして動作している場合に選択されます。
 3: BUFFCON レジスタの MLTPH<2:0> ビットを適切に設定して、デバイスが多相のマスタまたはスレーブとして動作している場合に選択されます。

表 2-1: MCP19111 ピンの説明 (続き)

ピン名	機能	入力 タイプ	出力 タイプ	説明
GPB5/AN7/ICSPCLK/ ALT_CLKPIN	GPB5	TTL	CMOS	汎用 I/O
	AN7	AN	-	A/D チャンネル 7 入力
	ICSPCLK	ST	-	インサーキット シリアルプログラミングの クロック
	ALT_CLKPIN	-	-	代替スイッチング周波数クロック入力または 出力 (2, 3)
GPB6	GPB6	TTL	CMOS	汎用 I/O
GPB7	GPB7	TTL	CMOS	汎用 I/O
V _{IN}	V _{IN}	-	-	デバイス入力電源電圧
V _{DD}	V _{DD}	-	-	内部 +5 V LDO 出力ピン
V _{DR}	V _{DR}	-	-	ゲート駆動電源入力電圧ピン
GND	GND	-	-	信号用グラウンド
P _{GND}	P _{GND}	-	-	大信号用電源グラウンド
LDRV	LDRV	-	-	ローサイド MOSFET のゲートに接続する 大電流駆動信号
HDRV	HDRV	-	-	ハイサイド MOSFET のゲートに接続する フローティング大電流駆動信号
PHASE	PHASE	-	-	同期降圧スイッチノード接続
BOOT	BOOT	-	-	フローティング ブートストラップ電源
+V _{SEN}	+V _{SEN}	-	-	出力電圧検出差動アンプの正入力
-V _{SEN}	-V _{SEN}	—	—	出力電圧検出差動アンプの負入力
+I _{SEN}	+I _{SEN}	—	—	電流検出入力
-I _{SEN}	-I _{SEN}	-	-	電流検出入力
EP	-	-	-	露出サーマルパッド

凡例: AN = アナログ入出力 CMOS = CMOS 互換入出力 OD = オープンドレイン
TTL = TTL 互換入出力 ST = CMOS レベルのシュミットトリガ入力 I²C = I²C レベルのシュミットトリガ入力

- Note** 1: ANALOG_TEST は ATSTCON<BNCHEN> ビットがセットされている場合に選択されます。
2: BUFFCON レジスタの MLTPH<2:0> ビットを適切に設定して、デバイスが多出力のマスタまたはスレーブとして動作している場合に選択されます。
3: BUFFCON レジスタの MLTPH<2:0> ビットを適切に設定して、デバイスが多相のマスタまたはスレーブとして動作している場合に選択されます。

2.1 ピン機能の詳細な説明

2.1.1 GPA0 ピン

GPA0 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPA で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

AN0 は A/D への入力です。A/D のチャンネル 0 によるこのピンの読み出しを設定するには、TRISA0 と ANSA0 の両ビットをセットする必要があります。

ATSTCON<BNCHEN> ビットをセットすると、このピンは ANALOG_TEST として設定されます。これは、内部アナログ信号マルチプレクサのバッファ付き出力です。このピンに出力される信号は、BUFFCON レジスタ (レジスタ 8-2 参照) で制御します。

2.1.2 GPA1 ピン

GPA1 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPA で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

AN1 は A/D への入力です。A/D のチャンネル 1 によるこのピンの読み出しを設定するには、TRISA1 と ANSA1 の両ビットをセットする必要があります。

MCP19111 を多出力または多相のマスタまたはスレーブとして設定する場合、このピンはスイッチング周波数同期入力または出力 CLKPIN に設定されます。詳細は、[セクション 3.10.6 「多相システム」](#) と [セクション 3.10.7 「多出力システム」](#) を参照してください。

2.1.3 GPA2 ピン

GPA2 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPA で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

AN2 は A/D への入力です。A/D のチャンネル 2 によるこのピンの読み出しを設定するには、TRISA2 と ANSA2 の両ビットをセットする必要があります。

TOCS ビットをセットすると、TOCKI の機能が有効になります。詳細は、[セクション 23.0 「Timer0 モジュール」](#) を参照してください。

GPA2 は、INTE ビットをセットする事で外部割り込みピンとしても設定できます。詳細は、[セクション 15.2 「GPA2/INT 割り込み」](#) を参照してください。

2.1.4 GPA3 ピン

GPA3 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPA で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

AN3 は A/D への入力です。A/D のチャンネル 3 によるこのピンの読み出しを設定するには、TRISA3 と ANSA3 の両ビットをセットする必要があります。

2.1.5 GPA4 ピン

GPA4 は真のオープンドレイン汎用ピンです。データ方向は TRISGPA で制御します。このピンはチップ内部でデバイス V_{DD} に接続されていないため、SMBus のアラートピンとして使うのに最適です。弱プルアップは接続されていませんが、状態変化割り込みは利用できます。

2.1.6 GPA5 ピン

GPA5 は、汎用の TTL 入力専用ピンです。内部弱プルアップおよび状態変化割り込みも使用可能です。

プログラミングが目的の場合、このピンはシリアルプログラマの MCLR ピンに接続します。詳細は、[セクション 28.0 「インサーキット シリアルプログラミング™ \(ICSP™\)」](#) を参照してください。

2.1.7 GPA6 ピン

GPA6 は汎用の CMOS 入力 / 出力ピンです。データ方向は TRISGPA で制御します。状態変化割り込みも使えます。

2.1.8 GPA7 ピン

GPA7 は真のオープンドレイン汎用ピンです。データ方向は TRISGPA で制御します。このピンはチップ内部でデバイス V_{DD} に接続されていません。弱プルアップは接続されていませんが、状態変化割り込みは利用できます。

MCP19111 を I²C 通信用に設定した場合 ([セクション 27.2 「I²C モードの概要」](#) 参照)、GPA7 は I²C クロックの SCL として機能します。

2.1.9 GPB0 ピン

GPB0 は真のオープンドレイン汎用ピンです。データ方向は TRISGPB で制御します。このピンはチップ内部でデバイス V_{DD} に接続されていません。弱プルアップは接続されていませんが、状態変化割り込みは利用できます。

MCP19111 を I²C 通信用に設定した場合 ([セクション 27.2 「I²C モードの概要」](#) 参照)、GPB0 は I²C クロックの SDA として機能します。

2.1.10 GPB1 ピン

GPB1 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPB で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

AN4 は A/D への入力です。A/D のチャンネル 4 によるこのピンの読み出しを設定するには、TRISB1 と ANSB1 の両ビットをセットする必要があります。

MCP19111 を多出力または多相のマスタまたはスレーブとして設定する場合、このピンはエラーアンプ信号の入力または出力に設定されます。詳細は、[セクション 3.10.6「多相システム」](#)と[セクション 3.10.7「多出力システム」](#)を参照してください。

2.1.11 GPB2 ピン

GPB2 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPB で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

AN5 は A/D への入力です。A/D のチャンネル 5 によるこのピンの読み出しを設定するには、TRISB2 と ANSB2 の両ビットをセットする必要があります。

2.1.12 GPB4 ピン

GPB4 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPB で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

AN6 は A/D への入力です。A/D のチャンネル 6 によるこのピンの読み出しを設定するには、TRISB4 と ANSB4 の両ビットをセットする必要があります。

ISCPDAT はプライマリ シリアル プログラミングのデータ入力機能です。デバイスをシリアル プログラミングする場合に ICSPCLK と併用します。

2.1.13 GPB5 ピン

GPB5 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPB で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

AN7 は A/D への入力です。A/D のチャンネル 7 によるこのピンの読み出しを設定するには、TRISB5 と ANSB5 の両ビットをセットする必要があります。

ISCPCLK はプライマリ シリアル プログラミングのクロック機能です。デバイスをシリアル プログラミングする場合に ICSPDAT と併用します。

このピンは、多出力または多相システムで使う、代替スイッチング周波数同期入力または出力の ALT_CLKPIN としても設定できます。詳細は、[セクション 19.1「代替ピン機能」](#)を参照してください。

2.1.14 GPB6 ピン

GPB6 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPB で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

2.1.15 GPB7 ピン

GPB7 は汎用の TTL 入力または CMOS 出力ピンです。データ方向は TRISGPB で制御します。内部弱プルアップおよび状態変化割り込みも使用可能です。

2.1.16 V_{IN} ピン

デバイス入力電源の接続ピンです。このピンとデバイスの GND ピンの間にコンデンサを接続する事を推奨します。

2.1.17 V_{DD} ピン

内部 +5.0 V レギュレータの出力は、このピンに接続されます。このピンとデバイスの GND ピンの間に 1.0 μ F のバイパス コンデンサを接続する事を推奨します。バイパス コンデンサは、できるだけデバイス近くに配置します。

2.1.18 V_{DR} ピン

ローサイドドライバの 5 V 電源は、このピンに接続します。このピンは RC フィルタを介して V_{DD} ピンに接続できます。

2.1.19 GND ピン

GND は微弱信号のグラウンド接続ピンです。このピンはパッケージ裏面の露出パッドに接続します。

2.1.20 P_{GND} ピン

MOSFET 接続用のグラウンドは、全て P_{GND} に戻します。これらの大信号レベルグラウンドのトレースは、ノイズに敏感な配線にスイッチングノイズがカップリングしないように、ループ面積を小さくし、配線長も最短とします。

2.1.21 LDRV ピン

ローサイドまたは整流 MOSFET のゲートは、LDRV に接続します。LDRV をゲートに接続するプリント基板のトレースは、駆動電流の大きなピークと高速の電圧遷移に対応できるように、長さを最短に抑え、適切な幅を持たせる必要があります。

2.1.22 HDRV ピン

ハイサイド MOSFET のゲートは、HDRV に接続します。これは、PHASE を基準とするフローティングドライバです。HDRV をゲートに接続するプリント基板のトレースは、駆動電流の大きなピークと高速の電圧遷移に対応できるように、長さを最短に抑え、適切な幅を持たせる必要があります。

MCP19111

2.1.23 PHASE ピン

PHASE ピンは、ハイサイド ゲート ドライバにリターンパスを提供します。ハイサイド MOSFET のソース、ローサイド MOSFET のドレイン、インダクタをこのピンに接続します。

2.1.24 BOOT ピン

BOOT ピンは、ハイサイド ゲート ドライバのフローティング ブートストラップ電源ピンです。このピンと PHASE ピンの間にコンデンサを接続し、ハイサイド MOSFET をターンオンするために必要な電荷を供給します。

2.1.25 +V_{SEN} ピン

出力電圧のリモート検出に使うユニティ ゲイン アンプの非反転入力は、+V_{SEN} ピンに接続します。PE1<PUEN> ビットをセットすると、このピンは内部で V_{DD} にプルアップされます。

2.1.26 -V_{SEN} ピン

出力電圧のリモート検出に使うユニティ ゲイン アンプの反転入力は、-V_{SEN} ピンに接続します。PE1<PDEN> ビットをセットすると、このピンは内部で GND にプルダウンされます。

2.1.27 +I_{SEN} ピン

電流検出アンプの非反転入力、+I_{SEN} ピンに接続します。

2.1.28 -I_{SEN} ピン

電流検出アンプの反転入力、-I_{SEN} ピンに接続します。

2.1.29 露出パッド (EP)

露出サーマルパッドは、内部接続されていません。放熱を促すため、EP は GND ピンとプリント基板の GND プレーンに接続します。

3.0 機能説明

3.1 リニアレギュレータ

2つの内部リニアレギュレータは2系統の5Vレールを発生します。一方の5Vレールは内部アナログ回路に電力を供給する、チップ内部で閉じた電源系です。もう一方の5Vレールは内部PICコアに電力を供給し、V_{DD}ピンに出力されます。V_{DD}とP_{GND}の間には1μFのコンデンサを接続する事を推奨します。

V_{DR}は内部同期MOSFETドライバに給電するピンです。V_{DD}はV_{DR}ピンに直接接続するか、ノイズをフィルタ処理するためにローパスRCフィルタを介して接続する事も可能です。V_{DR}とP_{GND}の間には1μFのセラミックバイパスコンデンサを接続します。V_{DD}をV_{DR}に接続する場合、MCP19111の静止電流I_{Q(max)}に、外付けMOSFETの駆動に必要なゲート駆動電流を加える必要があります。この総電流は、[セクション4.2「電気的特性」](#)に規定された、V_{DD}から供給可能な最大電流I_{DD-OUT}よりも小さくしなければなりません。

式 3-1: レギュレータの総電流

$$I_{DD-OUT} > (I_Q + I_{DRIVE} + I_{EXT})$$

- I_{DD-OUT}: V_{DD}から供給可能な総電流
- I_Q: デバイスの静止電流
- I_{DRIVE}: 外付けMOSFETの駆動に必要な電流
- I_{EXT}: その他の外部回路の給電に必要な電流量

式 3-2: ゲート駆動電流

$$I_{DRIVE} = (Q_{gHIGH} + Q_{gLOW}) \times F_{SW}$$

- I_{DRIVE}: 外付けMOSFETの駆動に必要な電流
- Q_{gHIGH}: ハイサイドMOSFETの総ゲート電荷 high-side MOSFET
- Q_{gLOW}: ローサイドMOSFETの総ゲート電荷 low-side MOSFET
- F_{SW}: スイッチング周波数

別の方法として、外部レギュレータから同期ドライバに給電する事もできます。その際、外部5V電源はV_{DR}に接続します。この外部電源から供給する必要がある電流量は、[式 3-2](#)から求められます。V_{DR}に印加する電圧が、[セクション4.1「絶対最大定格\(†\)」](#)に記載された最大定格を超えないように注意が必要です。

3.2 内部同期ドライバ

内部同期ドライバは、同期整流降圧型コンバータ回路で2つのNチャンネルMOSFETを駆動できます。フローティングMOSFETのゲートはHDRVピンに接続します。このMOSFETのソースはPHASEピンに接続します。HDRVピンのソースおよびシンク電流は設定可能です。PE1レジスタのDRVSTRビットをセットすると、ハイサイドは1Aのピーク電流をソースまたはシンクできます。このビットをクリアすると、ソースおよびシンクのピーク電流は2Aになります。

Note 1: PE1<DRVSTR>ビットは、HDRVピンのピークソース/シンク電流を設定します。

LDRVピンに接続されるMOSFETはフローティングではありません。ローサイドMOSFETのゲートはLDRVピンに接続され、このMOSFETのソースはP_{GND}に接続されます。LDRVピンのストレングスは設定できません。このピンは、2Aのピーク電流をソースできます。シンクのピーク電流は4Aです。これによって、ハイサイドMOSFETがターンオンする時に、ローサイドMOSFETはOFFのままにすることができます。

Note 1: MOSFET接続の図は、[図 1-1](#)を参照してください。

3.2.1 MOSFETドライバのデッドタイム

MOSFETドライバのデッドタイムとは、一方の駆動信号がLOWに遷移してから、その相補駆動信号がHIGHに遷移するまでの時間と定義されます。[図 6-2](#)を参照してください。MCP19111は、ハイサイドとローサイド両方のドライバのデッドタイムを個別に調整できます。ドライバのデッドタイムは、DEADCONレジスタによって4ns刻みで調整できます。

Note 1: DEADCONレジスタは、HDRVまたはLDRV信号に加えられるデッドタイムの長さを制御します。デッドタイム回路は、PE1レジスタのLDLYBYおよびHDLYBYビットで有効にします。

3.2.2 MOSFETドライバ制御

MCP19111は、同期ドライバ全体または同期駆動信号の片側だけを無効にできます。MOSFETドライバを制御するビットは、[レジスタ 8-1](#)に記載しています。

ATSTCON<DRVDIS>をセットすると、同期ドライバ全体が無効になります。HDRVおよびLDRV信号はLOWに設定され、PHASEピンはフローティングになります。このビットをクリアすると通常動作に戻ります。ATSTCONレジスタのHIDIS/LODISビットをセットまたはクリアすると、HDRV/LDRV信号を個別に制御できます。いずれかのドライバが無効にした場合、その出力信号はLOWに設定されます。

MCP19111

3.3 出力電圧

出力電圧は、OVCCON および OVFCN レジスタで制御します。出力電圧の設定に、外付けの抵抗分圧回路は不要です。[セクション 6.10「出力電圧のコンフィグレーション」](#)を参照してください。

MCP19111 は、出力電圧のリモート検出に使うユニティゲイン差動アンプを内蔵しています。より正確な負荷制御を行うには、 $+V_{SEN}$ ピンと $-V_{SEN}$ ピンを負荷に直接接続します。 $+V_{SEN}$ と $-V_{SEN}$ は、差動アンプの正および負の入力です。

3.4 スイッチング周波数

スイッチング周波数は、100 kHz ~ 1.6 MHz の範囲で設定可能です。HDRV/LDRV のスイッチング周波数は、Timer2 モジュールが生成します。[セクション 26.0「PWM モジュール」](#)に、[例 3-1](#) のスイッチング周波数を 300MCP19111kHz に設定する方法を示します。

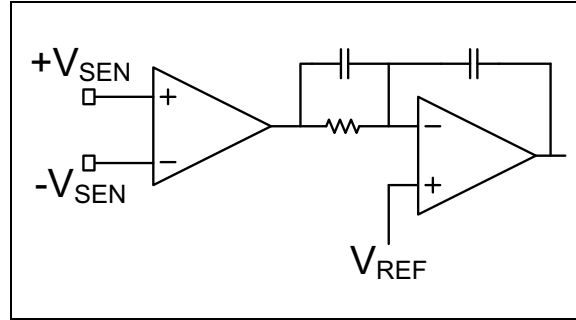
例 3-1: F_{sw} の設定

BANKSEL	T2CON	
CLRF	T2CON	;Turn off Timer2
CLRF	TMR2	;Initialize module
MOVLW	0x19	;Fsw=300 kHz
MOVWF	PR2	
MOVLW	0x0A	;Max duty cycle=40%
MOVWF	PWMRL	
MOVLW	0x00	;No phase shift
MOVWF	PWMPHL	
MOVLW	0x04	;Turn on Timer2
MOVWF	T2CON	

3.5 補償

MCP19111 は、調整可能な補償回路を内蔵したアナログピーク電流モードコントローラです。補償のゼロ周波数とゲインの調整には CMPZCON レジスタを使います。[図 3-1](#) に、出力差動アンプを使った内部補償ネットワークを示します。

図 3-1: 内部補償回路の簡略図



3.6 スロープ補償

電流モード制御システムでは、制御パスにスロープ補償を付加して、50% を超えるデューティ サイクルで動作する場合の分数調波振動を防ぐ必要があります。MCP19111 では、電流検出信号と比較する前のエラーアンプ出力信号に負のスロープを付加します。付加するスロープ量は SLPCRCN レジスタ ([レジスタ 6-7](#)) で制御します。

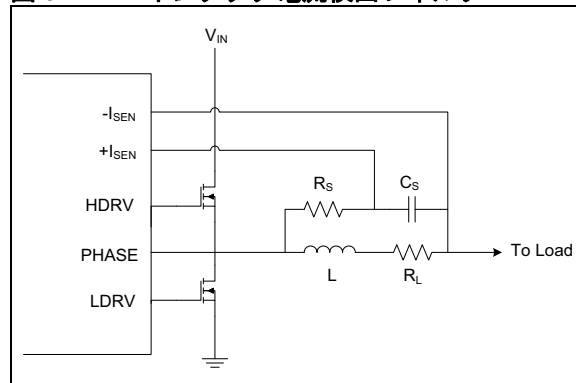
Note 1: スロープ補償回路を有効にするには、ABECON<SLCPBY> ビットをクリアします。

付加するスロープ補償の量は、ハイサイドの OFF 期間におけるインダクタ電流の下降スロープに等しくします。

3.7 電流検出

MCP19111 は出力電流を差動検出します。検出素子は、出力に直列接続された抵抗またはインダクタの直列抵抗です。インダクタの直列抵抗を使う場合、インダクタ両端に発生する大きな AC 電圧成分を除去するフィルタが必要です。このフィルタでインダクタ抵抗の両端に発生する小さな AC 電圧だけを残します ([図 3-2](#) 参照)。この小さな AC 電圧は出力電流を反映しています。

図 3-2: インダクタ電流検出フィルタ



R_S と C_S の値は、式 3-3 で求めます。電流検出フィルタの時定数をインダクタの時定数に等しくすると、 C_S の両端に発生する電圧が、インダクタに流れる電流にインダクタの抵抗を掛けた値にほぼ等しくなります。

式 3-3: フィルタの値の計算

$$\frac{L}{R_L} = (R_S \times C_S)$$

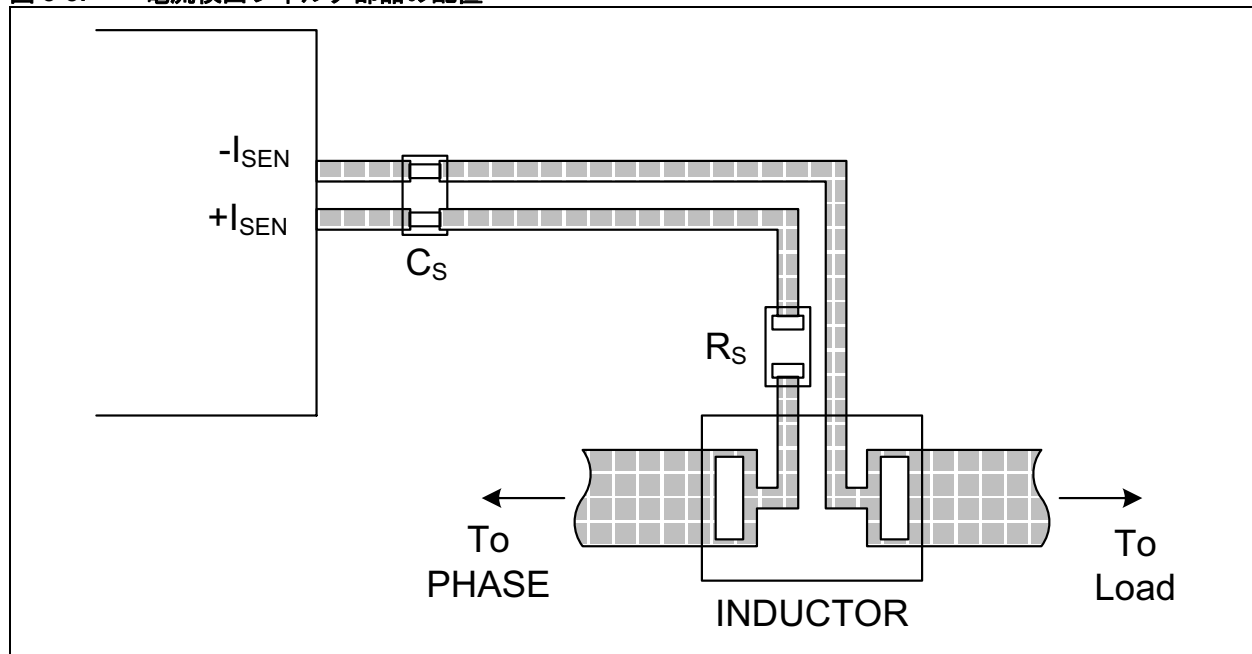
- L : 出カインダクタのインダクタンス値
- R_L : 出カインダクタの直列抵抗
- R_S : 電流検出フィルタ抵抗
- C_S : 電流検出フィルタ コンデンサ

電流検出信号には、AC ゲインと DC ゲインを加える事ができます。詳細は、[セクション 6.3「電流検出 AC ゲイン」](#)と[セクション 6.4「電流検出 DC ゲイン」](#)を参照してください。

3.7.1 電流検出フィルタ部品の配置

電流検出信号の振幅は、通常ピークツーピークで100 mV 未満です。従って、微弱電流検出信号のトレースは回路ノイズにきわめて敏感です。プリント基板を設計する場合、 R_S と C_S の配置が非常に重要です。 $+I_{SEN}$ および $-I_{SEN}$ トレースは線間距離を最短にして平行に引き回す必要があります。ノイズに対する感受性を最小限に抑えるには、このケルビン検出回路の配線手法が有効です。フィルタ コンデンサ (C_S) は、できるだけ MCP19111 の近くに配置します。このような配置は電流検出ラインに注入されるあらゆるノイズをフィルタする効果があります。 C_S をインダクタに接続するトレースは、他の $+V_{SEN}$ トレースでなくインダクタに直接接続します。フィルタ抵抗 (R_S) は、できるだけインダクタの近くに配置します。部品の配置については、[図 3-3](#) を参照してください。 $+I_{SEN}$ および $-I_{SEN}$ トレースが、大電流のスイッチング ノードである HDRV、LDRV、PHASE、BOOST トレースの近くを通らないように注意する事も必要です。これら的大電流トレースと微弱電流検出信号のトレース間にはグランド層を挟む事を推奨します。

図 3-3: 電流検出フィルタ部品の配置



3.8 保護機能

3.8.1 入力低電圧ロックアウト

入力低電圧ロックアウト (UVLO) のしきい値は、VINLVL レジスタ (レジスタ 6-1) で設定します。MCP19111 の V_{IN} ピンの電圧が、しきい値を下回ると、PIR2<VINIF> フラグがセットされます。 V_{IN} 電圧がしきい値を上回ると、このフラグはハードウェアによってクリアされます。グローバル割り込みを有効にするか、VINIF ビットをポーリングする事で、 V_{IN} 電圧がしきい値を下回った場合に MCP19111 を OFF にできます。

Note 1: VINLVL<UVLOEN> ビットをセットして、UVLO DAC を有効にする必要があります。

- 2: 割り込み条件が発生すると、対応するイネーブルビットまたはグローバルイネーブルビット (INTCON レジスタの GIE) の状態に関係なく、割り込みフラグビットがセットされます。

VINIF フラグがセットされている期間に MCP19111 のスイッチングを無効にする方法としては、ATSTCON<DVRDIS> ビットのセット、参照電圧の 0V 設定、PE1<PUEN> ビットのセット、ATSTCON<HIDIS> と ATSTCON<LODIS> ビットのセット等があります。

3.8.2 出力過電流

MCP19111 は、ハイサイド MOSFET 両端の電圧降下から出力過電流 (OC) の発生を判断します。この電圧降下の判断基準は OCCON レジスタ (レジスタ 6-2) で設定し、ハイサイド MOSFET が導通している間に計測されます。誤った OC イベントの検出を防ぐために、計測にはリーディングエッジブランキングを適用します。ブランキングの量は、OCCON レジスタの OCLEB<1:0> ビットで制御します。詳細は、[セクション 6.2 「出力過電流」](#) を参照してください。

入力電圧が 20V 超の場合、またはハイサイド MOSFET の $R_{DS(on)}$ の値が設定可能な過電流しきい値ではピーク過電流保護に十分な効果が得られないような値の場合、過電流の状態を判断するために別の方法を使う必要があります。その場合、設定可能な出力低電圧保護機能と PE1<UVTEE> ビットを使う事で、過電流イベントによって出力電圧が低下した際、素早くスイッチングを停止できます。

Note 1: OCCON<OCEN> ビットをセットして、OC DAC を有効にする必要があります。

3.8.3 出力低電圧

ABECON<UVDCEN> ビットをセットして出力低電圧 DAC を有効にすると、 $+V_{SEN}$ と $-V_{SEN}$ ピン間で計測される電圧を監視し、OUVCON レジスタ (レジスタ 6-12) で制御する UV しきい値と比較します。出力電圧がしきい値を下回ると、PIR2<UVIF> フラグがセットされます。セットされた場合に MCP19111 がフォルト条件にどのように応答するかは、ファームウェアで決定します。UVIF フラグはファームウェアでクリアする必要があります。

PE1<UVTEE> ビットをセットしておく、UVIF フラグがセットされた場合に HDRV と LDRV 信号が LOW にアサートされます。フラグがクリアされるまで、これらの信号は LOW のままです。

Note 1: ABECON<UVDCEN> ビットをセットして、UV DAC を有効にする必要があります。

- 2: 割り込み条件が発生すると、対応するイネーブルビットまたはグローバルイネーブルビット (INTCON レジスタの GIE) の状態に関係なく、割り込みフラグビットがセットされます。
- 3: リモート検出コンパレータの出力は UV しきい値と比較されます。従って、UV しきい値を求める際は、このコンパレータのオフセットを考慮する必要があります。

3.8.4 出力過電圧

ABECON<OVDCEN> ビットをセットして出力過電圧 DAC を有効にすると、 $+V_{SEN}$ と $-V_{SEN}$ ピン間で計測される電圧を監視し、OOVCON レジスタ (レジスタ 6-13) で制御する OV しきい値と比較します。出力電圧がしきい値を上回ると、PIR2<OVIF> フラグがセットされます。セットされた場合に MCP19111 がフォルト条件にどのように応答するかは、ファームウェアで決定します。OVIF フラグはファームウェアでクリアする必要があります。

PE1<OVTEE> ビットをセットしておく、OVIF フラグがセットされた場合に HDRV と LDRV 信号が LOW にアサートされます。フラグがクリアされるまで、これらの信号は LOW のままです。

Note 1: ABECON<OVDCEN> ビットをセットして、OV DAC を有効にする必要があります。

- 2: 割り込み条件が発生すると、対応するイネーブルビットまたはグローバルイネーブルビット (INTCON レジスタの GIE) の状態に関係なく、割り込みフラグビットがセットされます。
- 3: リモート検出コンパレータの出力は OV しきい値と比較されます。従って、OV しきい値を求める際は、このコンパレータのオフセットを考慮する必要があります。

3.8.5 過熱

MCP19111 はハードウェア過熱シャットダウン保護機能を備えています (通常 +160 °C に設定)。過熱条件による MCP19111 のシャットダウンに、ファームウェアによるフォルト処理手順は必要ありません。

3.9 PIC マイクロコントローラ コア

MCP19111 に内蔵されているのは、PIC マイクロコントローラのミッドレンジコアです。これは機能制限のないマイクロコントローラであり、独自機能を実装できます。CONFIG<CP> ビットをセットするとコード保護が有効になります。その場合、ファームウェアが外部からの読み出しまたは書き込みに対して保護されます。フォルト処理の応答動作をカスタマイズするために各種のステータスビットとフォルトビットが用意されています。

MCP19111 は、最小限のファームウェアで適切に設定できます。[セクション 6.0 「MCP19111 の設定」](#)には、MCP19111 を動作させるために設定が必要な各レジスタを記載しています。必要なファームウェアの開発を支援するために、グラフィカルユーザインターフェイス (GUI) を提供しています。この GUI を使うと MCP19111 の基本動作を迅速に設定できます。その後、GUI によって生成されたファームウェアをカスタマイズまたは独自の機能を追加できます。

Note 1: GUIは、www.microchip.comのMCP19111製品ページからダウンロードできます。

2: この GUI を使うには、マイクロチップ社の MPLAB X IDE (統合開発環境) ソフトウェアが必要です。

MCP19111 はファームウェア デバッグ支援機能を内蔵しています。詳細は、[セクション 30.0 「開発サポート」](#)を参照してください。

3.10 その他の特長

3.10.1 デバイスのアドレッシング

MCP19111 の通信アドレスは SSPADD レジスタに格納します。この値は、デバイス ファームウェアをプログラムする時、または外付け部品によって設定する時に読み込む事ができます。GPIO の電圧を ADC によって読み出す事で、デバイス固有のアドレスを SSPADD レジスタに格納できます。

MCP19111 には、もう 1 つ SSPADD2 というアドレスレジスタもあります。これは、PMBus 通信時に SMBus アラートアドレスとして使える 7 ビットのアドレスです。詳細は、[セクション 27.0 「マスタ同期シリアルポート \(MSSP\) モジュール」](#)を参照してください。

3.10.2 デバイス イネーブル

GPIO ピンをデバイスのイネーブルピンとして設定できます。このピンを入力として設定すると、PORT レジスタまたは状態変化割り込み (IOC) によってデバイスを有効にできます。[例 3-2](#) に、PORT レジスタを調べる方法で GPIO ピンをイネーブルピンとして使えるようにするための設定方法を示します。

例 3-2: GPA3 をデバイス イネーブルとして設定する

```
BANKSEL    TRISGPA
BSF        TRISGPA, 3    ;Set GPA3 as input
BANKSEL    ANSELA
BCF        ANSELA, 3    ;Set GPA3 as digital input
:
:
:
;Insert additional user code here
:
:
WAIT_ENABLE:
BANKSEL    PORTGPA
BTFSS     PORTGPA, 3    ;Test GPA3 to see if pulled high
:
:
:
;A high on GPA3 indicated device to be enabled
GOTO      WAIT_ENABLE  ;Stay in loop waiting for device enable
BANKSEL    ATSTCON
BSF        ATSTCON, 0   ;Enable the device by enabling drivers
:
:
:
;Insert additional code here
:
:
```

MCP19111

3.10.3 出力パワーグッド

+V_{SEN} と -V_{SEN} ピン間で計測される出力電圧は、内部 ADC で監視できます。この ADC 読み値がユーザ定義のパワーグッド値と一致した場合、ファームウェアで GPIO をトグルさせ、システム出力電圧が規定範囲内にある事を表示できます。遅延、ヒステリシス、タイムアウトは、いずれもファームウェアで設定できます。

3.10.4 出力電圧ソフトスタート

起動時の出力電圧ソフトスタートは、ファームウェアで実装します。内部タイマの 1 つと、タイマのオーバーフローによる OVCCON または OVFCON レジスタのインクリメントを使うと、きわめて長いソフトスタート時間を実現できます。

3.10.5 出力電圧トラッキング

MCP19111 は、起動時またはシャットダウン時に他の電圧信号を追従するように設定できます。目標とするトラッキング電圧が印加された GPIO を読み出すように ADC を設定します。さらに、内部出力参照電圧がこの ADC 読み値に追従するように、ファームウェアで制御します。

3.10.6 多相システム

多相システムでは、各相のコンバータ出力を互いに接続します。システムのスイッチング周波数を設定するマスタデバイスが 1 つ存在し、エラー信号を供給します。各スレーブデバイスはこのエラー信号を基に出力を同じ値に調整します。

MCP19111 の BUFFCON レジスタ ([レジスタ 8-2](#))、MLTPH<2:0> ビットで、多相システムのマスタまたはスレーブに設定します。多相マスタとして設定されたデバイスでは、内部のスイッチング周波数クロックが GPA1 に接続され、エラーアンプの出力が GPB1 に接続されます。GPIO は出力として設定する必要があります。

多相スレーブとして設定されたデバイスでは、GPA1 ピンに CLKPIN 機能が割り当てられます。マスタデバイスからのスイッチング周波数クロックを GPA1 に接続する必要があります。スレーブデバイスは、内部スイッチング周波数クロックをマスタクロックに同期させます。スレーブデバイスの PWMPHL レジスタの設定により、位相シフトを適用できます。スレーブの GPB1 ピンは、エラー信号入力ピン (EAPIN) に設定されます。GPB1 には、マスタのエラーアンプ出力を接続する必要があります。SLVGNCON レジスタ ([レジスタ 6-8](#)) の設定により、マスタのエラーアンプ出力信号にゲインを加える事ができます。スレーブデバイスは、マスタのエラー信号を使って出力電圧をレギュレートします。スレーブデバイスに設定されたデバイスでは、GPA1 と GPB1 を入力として設定する必要があります。詳細は [セクション 26.1 「標準パルス幅変調 \(PWM\) モード」](#) を参照してください。

Note 1: APFCON<CLKSEL> ビットをセットする事で、ALT_CLKPIN も使えます。

3.10.7 多出力システム

多出力システムでは、各コンバータのスイッチング周波数をマスタクロックに同期させ、ビート周波数の発生を防ぐ必要があります。多くの場合、システムの入力電流を平滑化するためにマスタクロックには位相シフトを適用します。MCP19111 は、BUFFCON レジスタ ([レジスタ 8-2](#)) の該当する MLTPH<2:0> ビットの設定により、多出力システムのマスタまたはスレーブとして動作させる事ができます。

多出力システムのマスタとして設定されたデバイスでは、GPA1 ピンに CLKPIN 出力機能が割り当てられます。内部スイッチング周波数クロックがこのピンに印加されるので、これをスレーブデバイスの GPA1 ピンに接続します。

多出力システムのスレーブとして設定されたデバイスでは、GPA1 ピンに CLKPIN 入力機能が割り当てられます。マスタデバイスからのスイッチング周波数クロックをこのピンに接続します。スレーブデバイスの PWMPHL レジスタを適切に設定する事で、位相シフトを適用できます。 [セクション 26.1 「標準パルス幅変調 \(PWM\) モード」](#) を参照してください。

Note 1: APFCON<CLKSEL> ビットをセットする事で、ALT_CLKPIN も使えます。

3.10.8 システム ベンチテスト

MCP19111 は、高度に集積化されたコントローラです。MCP19111 をベンチテストモードに設定すると各種内部信号の計測が可能となり、システムのプロトタイプ作成が容易となります。それには、ATSTCON<BNCHEN> ビットをセットします。これによって、GPA0 に ANALOG_TEST 機能が設定されます。GPA0 で計測される信号は、BUFFCON レジスタの ASEL<4:0> ビットで制御します。詳細は、 [セクション 8.0 「システム ベンチテスト」](#) を参照してください。

Note 1: 工場出荷時に設定される校正ワードは、MCP19111 がベンチテストモードでも書き込み保護されています。

4.0 電気的特性

4.1 絶対最大定格 (†)

$V_{IN} - V_{GND}$	-0.3 ~ 32 V
$V_{BOOT} - V_{IN}$	-0.3 ~ +6.5 V
V_{PHASE} (連続).....	GND - 0.3 ~ +30 V
V_{PHASE} (過渡 < 100 ns).....	GND - 5.0 ~ +30 V
V_{DD} 内部発生.....	+5 V \pm 20%
V_{HDRV} 、 $HDRV$ ピン.....	+ $V_{PHASE} - 0.3$ V ~ $V_{BOOT} + 0.3$ V
V_{LDRV} 、 $LDRV$ ピン.....	+($V_{GND} - 0.3$ V) ~ ($V_{DD} + 0.3$ V)
GND に対する MCLR の電圧.....	-0.3 ~ +13.5 V
最大電圧: その他全てのピン.....	+($V_{GND} - 0.3$ V) ~ ($V_{DD} + 0.3$ V)
全ての I/O ピンの 1 本あたりの最大出力シンク電流.....	25 mA
全ての I/O ピンの 1 本あたりの最大出力ソース電流.....	25 mA
全ての GPIO の最大シンク電流.....	65 mA
全ての GPIO の最大ソース電流.....	65 mA
全てのピンの ESD 保護 (HBM).....	1.0 kV
全てのピンの ESD 保護 (MM).....	100 V

† 注意: 上記の「絶対最大定格」を超える条件は、デバイスに恒久的な損傷を招く可能性があります。これはストレス定格です。本書の動作表に示す条件または上記から外れた条件でのデバイスの運用は想定していません。長期間にわたる最大定格条件での動作や保管は、デバイスの信頼性に影響する可能性があります。

MCP19111

4.2 電気的特性

電気的仕様：特に明記しない限り、 $V_{IN} = 12\text{ V}$ 、 $V_{REF} = 1.2\text{ V}$ 、 $F_{SW} = 300\text{ kHz}$ 、 $T_A = +25\text{ }^\circ\text{C}$ での値です。
太字で示された値は、 $T_A = -40 \sim +125\text{ }^\circ\text{C}$ のレンジに適用されます。

パラメータ	記号	最小値	代表値	最大値	単位	条件
入力						
入力電圧	V_{IN}	4.5	-	32	V	
入力静止電流	I_Q	-	5	10	mA	スイッチングなし
シャットダウン電流	I_{SHDN}	-	1.8	2.2	mA	Note 4
入力低電圧ロックアウトレンジ	UVLO	3	-	32	V	VINLVL レジスタのロックアウト、DAC は有効
入力低電圧ロックアウトヒステリシス	UVLO _{HYS}	-	13	-	%	可変 UVLO セットポイントに適用されるヒステリシス
過電流						
過電流最小しきい値	OC _{MIN}	-	160	-	mV	
過電流最大しきい値	OC _{MAX}	-	620	-	mV	
過電流ミッドスケールしきい値	OC _{MID}	240	400	550	mV	
過電流ステップサイズ	OC _{STEP_SIZE}	10	15	20	mV	
可変 OC リーディングエッジブランキングの最小セットポイント	LEB _{min}	-	114	-	ns	
可変 OC リーディングエッジブランキングの最大セットポイント	LEB _{max}	-	780	-	ns	
電流検出						
電流検出最小 AC ゲイン	I_{AC_GAIN}	-	0	-	dB	
電流検出最大 AC ゲイン	I_{AC_GAIN}	-	22.8	-	dB	
電流検出 AC ゲイン ミッドスケール セットポイント	I_{AC_GAIN}	8.5	11.5	14	dB	
電流検出 AC ゲインステップサイズ	$I_{AC_GAIN_STEP}$	-	1.5	-	dB	
電流検出 AC ゲインオフセット電圧	I_{AC_OFFSET}	-175	9	135	mV	
電流検出最小 DC ゲイン	I_{DC_GAIN}	-	19.5	-	dB	
電流検出最大 DC ゲイン	I_{DC_GAIN}	-	35.7	-	dB	
電流検出 DC ゲイン ミッドスケール セットポイント	I_{DC_GAIN}	27	28.6	30.3	dB	
電流検出 DC ゲインステップサイズ	$I_{DC_GAIN_STEP}$	-	2.3	-	dB	

Note 1: 設計による保証であり、量産検査していません。

2: V_{DD-OUT} は V_{DD} ピンに出力される電圧です。 V_{DD} は内部発生のパイアス電圧です。

3: これは、全ての GPIO ピンのソース電流を合計した値です。個々のピンの最大ソース電流は 25 mA です。

4: PE1 = 0x00h、ABECON = 0x00h、ATSTCON = 0x80h、WPUGPA = 0x00h、WPUGPB = 0x00h、PIC コアに対して SLEEP コマンドを発行、セクション 16.0 参照。

4.2 電気的特性 (続き)

電気的仕様: 特に明記しない限り、 $V_{IN} = 12\text{ V}$ 、 $V_{REF} = 1.2\text{ V}$ 、 $F_{SW} = 300\text{ kHz}$ 、 $T_A = +25\text{ }^\circ\text{C}$ での値です。
太字で示された値は、 $T_A = -40 \sim +125\text{ }^\circ\text{C}$ のレンジに適用されます。

パラメータ	記号	最小値	代表値	最大値	単位	条件
電流検出 DC ゲイン オフセット電圧	I_{DC_OFFSET}	1.4	1.56	1.7	V	
ゼロ電流電圧	VZC	-	1.45	-	V	VZCCON = 0x80h
参照電圧						
可変 V_{OUT} レンジ	V_{OUT_RANGE}	0.5	-	3.6	V	外付け分圧回路なしの場合の V_{OUT} レンジ
V_{OUT} 粗調整の分解能	V_{OUT_COARSE}	10.8	15.8	25.8	mV	
V_{OUT} 粗調整のミッド スケール セットポイント	$V_{OUT_COARSE_MID}$	1.85	2.04	2.25	V	
V_{OUT} 微調整の分解能	V_{OUT_FINE}	-	0.8	1	mV	
出力過電圧						
可変過電圧レンジ	OV _{RANGE}	0	-	4.5	V	
可変過電圧ミッドスケール セットポイント	OV _{MID}	1.8	2	2.3	V	
可変過電圧分解能	OV _R	-	15	-	mV	
出力低電圧						
可変低電圧レンジ	UV _{RANGE}	0	-	4.5		
可変低電圧ミッドスケール セットポイント	UV _{MID}	1.8	2	2.3	V	
可変低電圧分解能	UV _R	-	15	-	mV	
リモート検出差動アンプ						
閉ループ電圧ゲイン	A_{VOL}	0.95	1	1.05	V/V	
コモンモード レンジ	V_{CMR}	GND - 0.3	-	$V_{DD} + 1.0$	V	Note 1
コモンモード除去比	CMRR	-	57	-	dB	
差動アンプ オフセット	V_{OS}	-	40	-	mV	セクション 9.5「校正ワード 5」とセクション 9.6「校正 ワード 6」参照
補償						
最小ゼロ周波数	F_{ZERO_MIN}	-	350	-	Hz	
最大ゼロ周波数	F_{ZERO_MAX}	-	35000	-	Hz	
最小エラーアンプ ゲイン	G_{EA_MIN}	-	0	-	dB	
最大エラーアンプ ゲイン	G_{EA_MAX}	-	36.15	-	dB	

Note 1: 設計による保証であり、量産検査していません。

2: V_{DD-OUT} は V_{DD} ピンに出力される電圧です。 V_{DD} は内部発生のパイアス電圧です。

3: これは、全ての GPIO ピンのソース電流を合計した値です。個々のピンの最大ソース電流は 25 mA です。

4: PE1 = 0x00h、ABECON = 0x00h、ATSTCON = 0x80h、WPUGPA = 0x00h、WPUGPB = 0x00h、PIC コアに対して SLEEP コマンドを発行、セクション 16.0 参照。

MCP19111

4.2 電気的特性 (続き)

電気的仕様: 特に明記しない限り、 $V_{IN} = 12\text{ V}$ 、 $V_{REF} = 1.2\text{ V}$ 、 $F_{SW} = 300\text{ kHz}$ 、 $T_A = +25\text{ }^\circ\text{C}$ での値です。
太字で示された値は、 $T_A = -40 \sim +125\text{ }^\circ\text{C}$ のレンジに適用されます。

パラメータ	記号	最小値	代表値	最大値	単位	条件
オシレータ						
内部オシレータ周波数	F_{OSC}	7.60	8.00	8.40	MHz	
スイッチング周波数	F_{SW}	-	F_{OSC}/N	-	kHz	
スイッチング周波数レンジ 選択	N	5	-	80		
最大デューティ サイクル		-	$(N-1)/N$	-	%/ 100	
デッドタイム調整						
デッドタイム ステップサイズ	DT_{STEP}	-	4	-	ns	
HDRV 出力ドライバ						
HDRV ソース抵抗	$R_{HDRV-SCR}$	-	1	2.6	Ω	500 mA で計測 Note 1、HIGH レンジ
		-	2	3.5	Ω	500 mA で計測 Note 1、LOW レンジ
HDRV シンク抵抗	$R_{HDRV-SINK}$	-	1	2.6	Ω	500 mA で計測 Note 1、HIGH レンジ
		-	2	3.5	Ω	500 mA で計測 Note 1、LOW レンジ
HDRV ソース電流	$I_{HDRV-SCR}$	-	2	-	A	Note 1、HIGH レンジ
		-	1	-	A	Note 1、LOW レンジ
HDRV シンク電流	$I_{HDRV-SINK}$	-	2	-	A	Note 1、HIGH レンジ
		-	1	-	A	Note 1、LOW レンジ
HDRV 立ち上がり時間	t_{RH}	-	15	30	ns	Note 1、 $C_{LOAD} = 3.3\text{ nF}$ 、 HIGH レンジ
HDRV 立ち下がり時間	t_{FH}	-	15	30	ns	Note 1、 $C_{LOAD} = 3.3\text{ nF}$ 、 HIGH レンジ
LDRV 出力ドライバ						
LDRV ソース抵抗	$R_{LDRV-SCR}$	-	1	2.5	Ω	500 mA で計測 Note 1
LDRV シンク抵抗	$R_{LDRV-SINK}$	-	0.5	1.0	Ω	500 mA で計測 Note 1
LDRV ソース電流	$I_{LDRV-SCR}$	-	2	-	A	Note 1
LDRV シンク電流	$I_{LDRV-SINK}$	-	4	-	A	Note 1
LDRV 立ち上がり時間	t_{RL}	-	15	30	ns	Note 1、 $C_{LOAD} = 3.3\text{ nF}$
LDRV 立ち下がり時間	t_{FL}	-	7	15	ns	Note 1、 $C_{LOAD} = 3.3\text{ nF}$

Note 1: 設計による保証であり、量産検査していません。

2: V_{DD-OUT} は V_{DD} ピンに出力される電圧です。 V_{DD} は内部発生のパイアス電圧です。

3: これは、全ての GPIO ピンのソース電流を合計した値です。個々のピンの最大ソース電流は 25 mA です。

4: PE1 = 0x00h、ABECON = 0x00h、ATSTCON = 0x80h、WPUGPA = 0x00h、WPUGPB = 0x00h、PIC コアに対して SLEEP コマンドを発行、セクション 16.0 参照。

4.2 電気的特性 (続き)

電気的仕様: 特に明記しない限り、 $V_{IN} = 12\text{ V}$ 、 $V_{REF} = 1.2\text{ V}$ 、 $F_{SW} = 300\text{ kHz}$ 、 $T_A = +25\text{ }^\circ\text{C}$ での値です。
太字で示された値は、 $T_A = -40 \sim +125\text{ }^\circ\text{C}$ のレンジに適用されます。

パラメータ	記号	最小値	代表値	最大値	単位	条件
リニアレギュレータ						
バイアス電圧、LDO出力	V_{DD}	4.6	5.0	5.4	V	$V_{IN} = 6.0 \sim 32\text{ V}$ 、 Note 2
内部回路バイアス電圧	AV_{DD}	-	5.0	-	V	$V_{IN} = 6.0 \sim 32\text{ V}$ 、 Note 2
最大 V_{DD} 出力電流	I_{DD}	30	-	-	mA	$V_{IN} = 6.0 \sim 20\text{ V}$ 、 $V_{DD} = 5.0\text{ V}$ 、 Note 2
ラインレギュレーション	$\frac{\Delta V_{DD}}{(V_{DD} \times \Delta V_{IN})}$	-	0.05	0.1	%/V	$(V_{DD} + 1.0\text{ V}) \leq V_{IN} \leq 20\text{ V}$ Note 2
負荷制御	$\Delta V_{DD}/V_{DD}$	-1.75	-0.8	+0.5	%	$I_{DD} = 1 \sim 30\text{ mA}$ Note 2
出力短絡電流	I_{DD_SC}	-	65	-	mA	$V_{IN} = (V_{DD} + 1.0\text{ V})$ Note 2
ドロップアウト電圧	$V_{IN} - V_{DD}$	-	0.5	1	V	$I_{DD} = 30\text{ mA}$ 、 $V_{IN} = V_{DD} + 1.0\text{ V}$ Note 2
電源除去比	$PSRR_{LDO}$	-	60	-	dB	$f \leq 1000\text{ Hz}$ 、 $I_{DD} = 25\text{ mA}$ 、 $C_{IN} = 0\text{ }\mu\text{F}$ 、 $C_{DD} = 1\text{ }\mu\text{F}$
バンドギャップ電圧	BG	-2.5%	1.23	+2.5%	V	
GPIOピン						
最大GPIOシンク電流	I_{SINK_GPIO}	-	-	90	mA	Note 3 、 Note 1
最大GPIOソース電流	I_{SOURCE_GPIO}	-	-	90	mA	Note 3 、 Note 1
GPIO弱プルアップ電流	$I_{PULL_UP_GPIO}$	50	250	400	μA	$V_{DD} = 5\text{ V}$
GPIO出力LOW電圧	V_{OL}	-	-	0.6	V	$I_{OL} = 7\text{ mA}$ 、 $V_{DD} = 5\text{ V}$ 、 $T_A = +90\text{ }^\circ\text{C}$
GPIO出力HIGH電圧	V_{OH}	$V_{DD} - 0.7$	-	-	V	$I_{OH} = -2.5\text{ mA}$ 、 $V_{DD} = 5\text{ V}$ 、 $T_A = +90\text{ }^\circ\text{C}$
GPIO入力リーク電流	$GPIO_I_{IL}$	-	± 0.1	± 1	μA	負の電流はピンからの出力と定義されています。 $T_A = +90\text{ }^\circ\text{C}$
GPIO入力LOW電圧	V_{IL}	GND	-	0.8	V	TTLバッファ付きI/Oポート $V_{DD} = 5\text{ V}$ 、 $T_A = +90\text{ }^\circ\text{C}$
		GND		$0.2V_{DD}$	V	シュミットトリガバッファ付きI/Oポート、 $V_{DD} = 5\text{ V}$ 、 $T_A = +90\text{ }^\circ\text{C}$
		GND		$0.2V_{DD}$	V	\overline{MCLR} 、 $T_A = +90\text{ }^\circ\text{C}$

Note 1: 設計による保証であり、量産検査していません。

2: V_{DD_OUT} は V_{DD} ピンに出力される電圧です。 V_{DD} は内部発生バイアス電圧です。

3: これは、全てのGPIOピンのソース電流を合計した値です。個々のピンの最大ソース電流は25mAです。

4: $PE1 = 0x00h$ 、 $ABECON = 0x00h$ 、 $ATSTCON = 0x80h$ 、 $WPUGPA = 0x00h$ 、 $WPUGPB = 0x00h$ 、PICコアに対してSLEEPコマンドを発行、セクション16.0参照。

MCP19111

4.2 電気的特性 (続き)

電気的仕様: 特に明記しない限り、 $V_{IN} = 12\text{ V}$ 、 $V_{REF} = 1.2\text{ V}$ 、 $F_{SW} = 300\text{ kHz}$ 、 $T_A = +25\text{ }^\circ\text{C}$ での値です。
太字で示された値は、 $T_A = -40 \sim +125\text{ }^\circ\text{C}$ のレンジに適用されます。

パラメータ	記号	最小値	代表値	最大値	単位	条件
GPIO 入力 HIGH 電圧	V_{IH}	2.0	-	V_{DD}	V	TTL バッファ付き I/O ポート $V_{DD} = 5\text{ V}$ 、 $T_A = +90\text{ }^\circ\text{C}$
		$0.8V_{DD}$	-	V_{DD}	V	シュミットトリガバッファ 付き I/O ポート、 $V_{DD} = 5\text{ V}$ 、 $T_A = +90\text{ }^\circ\text{C}$
		$0.8V_{DD}$	-	V_{DD}	V	$\overline{\text{MCLR}}$ 、 $T_A = +90\text{ }^\circ\text{C}$
サーマル シャットダウン						
サーマル シャットダウン	T_{SHD}	-	160	-	$^\circ\text{C}$	
サーマル シャットダウン ヒステリシス	T_{SHD_HYS}	-	20	-	$^\circ\text{C}$	

Note 1: 設計による保証であり、量産検査していません。

2: $V_{DD\text{-OUT}}$ は V_{DD} ピンに出力される電圧です。 V_{DD} は内部発生のパイアス電圧です。

3: これは、全ての GPIO ピンのソース電流を合計した値です。個々のピンの最大ソース電流は 25 mA です。

4: $PE1 = 0x00h$ 、 $ABECON = 0x00h$ 、 $ATSTCON = 0x80h$ 、 $WPUGPA = 0x00h$ 、 $WPUGPB = 0x00h$ 、PIC
コアに対して SLEEP コマンドを発行、セクション 16.0 参照。

4.3 温度仕様

パラメータ	記号	最小値	代表値	最大値	単位	試験条件
温度レンジ						
仕様温度レンジ	T_A	-40	-	+125	$^\circ\text{C}$	
動作温度レンジ	T_A	-40	-	+125	$^\circ\text{C}$	
最高接合部温度	T_J	-	-	+150	$^\circ\text{C}$	
保管温度レンジ	T_A	-65	-	+150	$^\circ\text{C}$	
パッケージ熱抵抗						
熱抵抗、28L-QFN 5x5	θ_{JA}	-	35.3	-	$^\circ\text{C/W}$	

5.0 デジタル電気的特性

5.1 タイミングパラメータの記号

タイミングパラメータの記号は、以下のいずれかの形式で表します。

- | | | |
|-------------|-----------|-------------------------|
| 1. TppS2ppS | 3. Tcc:ST | (I ² C 仕様のみ) |
| 2. TppS | 4. Ts | (I ² C 仕様のみ) |

T		
F	周波数	T
		時間

小文字 (pp) の種類と意味:

pp		
cc	CCP1	osc
ck	CLKOUT	rd
cs	CS	rw
di	SDI	sc
do	SDO	ss
dt	データ入力	t0
io	I/O ポート	t1
mc	MCLR	wr
		OSC1
		\overline{RD}
		RD または \overline{WR}
		SCK
		\overline{SS}
		T0CKI
		T1CKI
		\overline{WR}

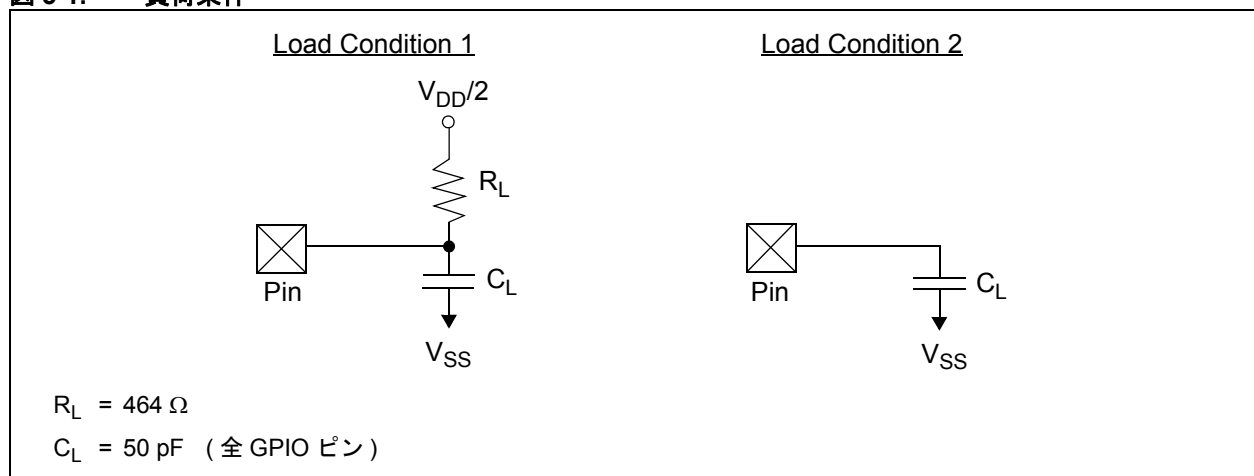
大文字の種類と意味:

S		
F	立ち下がり	P
H	HIGH	R
I	無効 (ハイインピーダンス)	V
L	LOW	Z
I²C のみ		
AA	出力アクセス	High
BUF	バスフリー	Low
		周期
		立ち上がり
		有効
		ハイインピーダンス
		HIGH
		LOW

Tcc:ST (I²C 仕様のみ)

CC		
HD	ホールド	SU
ST		
DAT	データ入力ホールド	STO
STA	スタート条件	
		セットアップ
		ストップ条件

図 5-1: 負荷条件



MCP19111

5.2 AC 特性 : MCP19111 (産業用温度レンジ、拡張温度レンジ)

図 5-2: 外部クロック タイミング

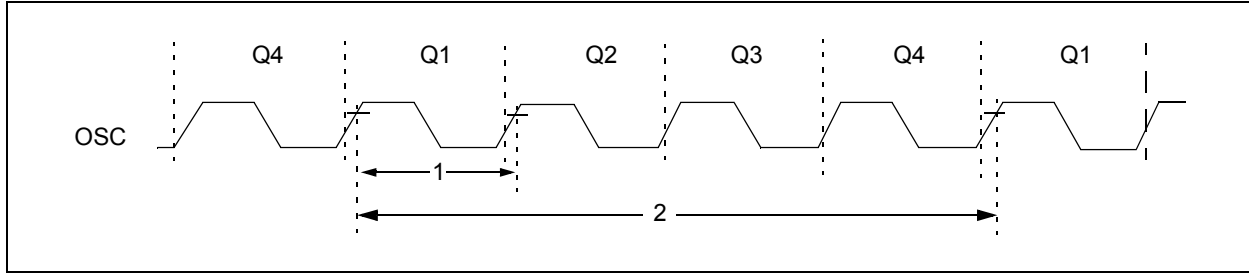


表 5-1: 外部クロックのタイミング要件

パラメータ No.	記号	特性	最小値	代表値†	最大値	単位	条件
	F_{OSC}	オシレータ周波数 (1)	-	8	-	MHz	
1	T_{OSC}	オシレータ周期 (1)	-	250	-	ns	
2	T_{CY}	命令サイクル時間 (1)	-	1000	-	ns	

* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り $V_{IN} = 12\text{ V}$ ($V_{DD} = 5\text{ V}$)、 $+25\text{ }^\circ\text{C}$ の場合の値です。これらのパラメータは設計上の目安であり、テストしていません。

Note 1: 命令サイクル周期 (T_{CY}) は、入力オシレータのタイムベース周期の 4 倍です。全ての仕様値は、標準動作条件下でデバイスにコードを実行させた時の、特定オシレータタイプの特性データに基づいています。

図 5-3: CLKOUT と I/O のタイミング

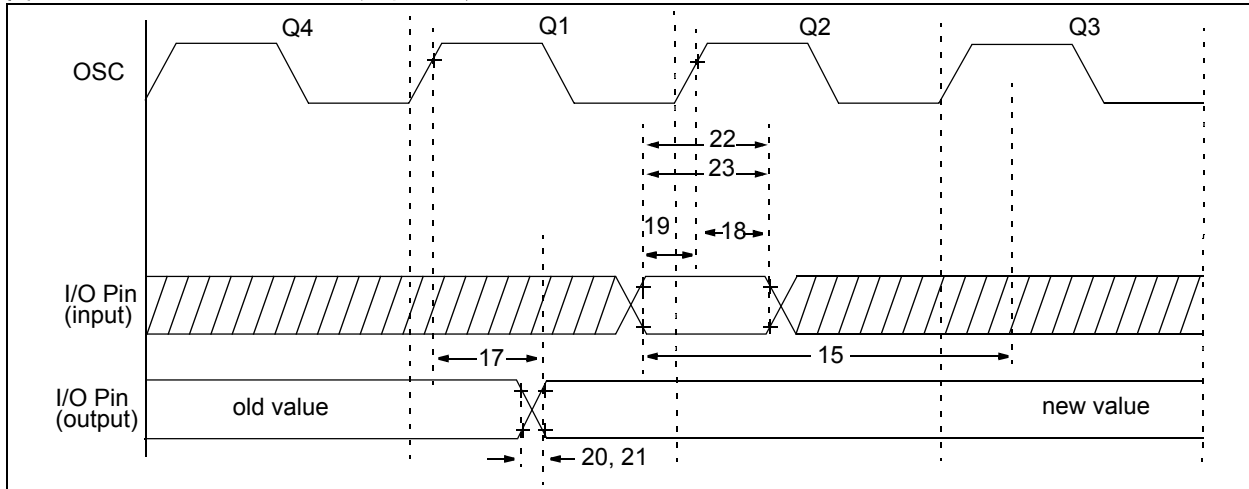


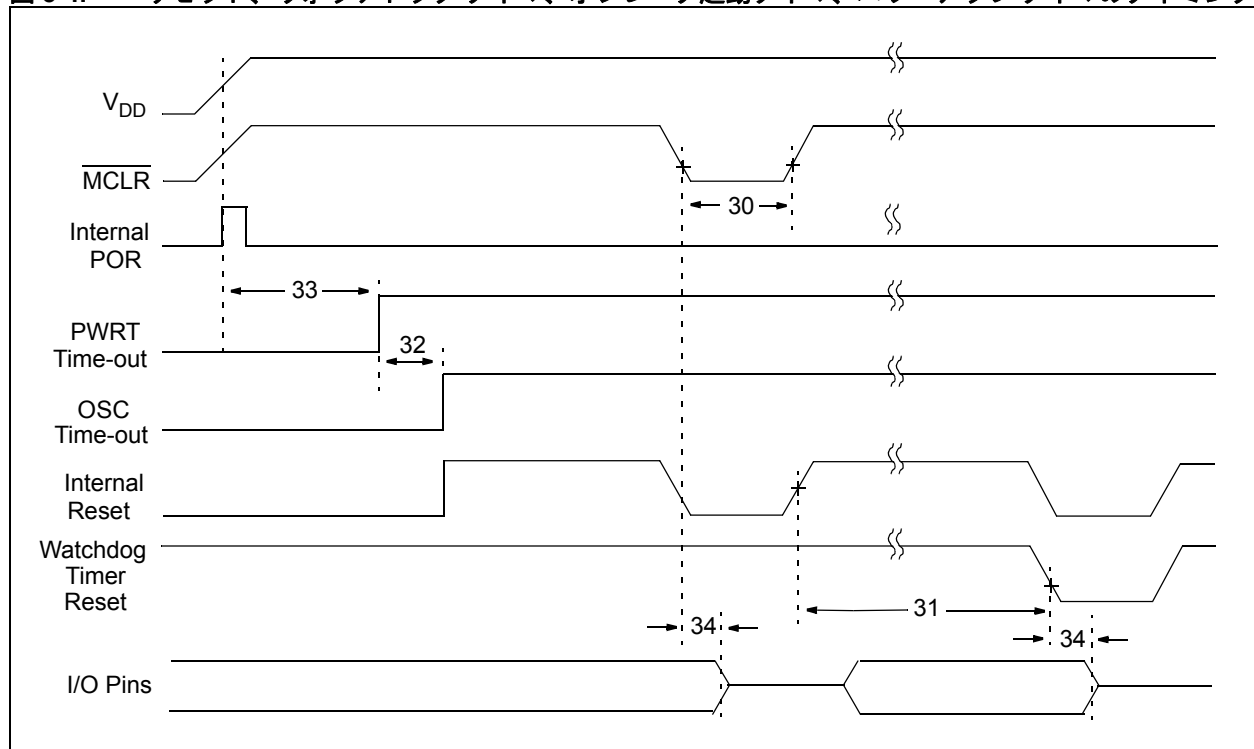
表 5-2: CLKOUT と I/O のタイミング要件

パラメータ No.	記号	特性	最小値	代表値 [†]	最大値	単位	条件
17	TosH2ioV	OSC1↑ (Q1 サイクル) から ポート出力有効	-	50	150*	ns	
			-	-	300	ns	
18	TosH2iol	OSC1↑ (Q2 サイクル) からポート入力 無効 (I/O 入力ホールド時間)	100	-	-	ns	
19	TioV2osH	ポート入力有効から OSC1 ↑ (I/O 入力セットアップ時間)	0	-	-	ns	
20	TioR	ポート出力立ち上がり時間	-	10	40	ns	
21	TioF	ポート出力立ち下がり時間	-	10	40	ns	
22	Tinp	INT ピン HIGH	25	-	-	ns	
22A		または LOW 時間	40	-	-	ns	
23	Trbp	ポート A 状態変化割り込み	Tcy	-	-	ns	
23A	Trbp	HIGH または LOW 時間					

* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り $V_{IN} = 12\text{ V}$ ($V_{DD} = 5\text{ V}$)、 $+25\text{ }^{\circ}\text{C}$ の場合の値です。

図 5-4: リセット、ウォッチドッグ タイマ、オシレータ起動タイマ、パワーアップ タイマのタイミング



MCP19111

表 5-3: リセット、ウォッチドッグ タイマ、オシレータ起動タイマ、パワーアップ タイマの要件

パラメータ No.	記号	特性	最小値	代表値†	最大値	単位	条件
30	T_{MCL}	MCLR パルス幅 (LOW)	2	-	-	μs	$V_{DD} = 5\text{ V}$ 、 -40 ~ +85 °C
31	T_{WDT}	ウォッチドッグ タイマ タイムアウト時間 (プリスケアラなし)	7	18	33	ms	$V_{DD} = 5\text{ V}$ 、 -40 ~ +85 °C
32	T_{OST}	オシレータ起動タイマ周期	-	$1024T_{OSC}$	-	-	$T_{OSC} = \text{OSC1}$ の周期
33*	T_{PWRT}	パワーアップ タイマ周期 (4 x T_{WDT})	28	64	132	ms	$V_{DD} = 5\text{ V}$ 、 -40 ~ +85 °C
34	T_{IOZ}	MCLR LOW またはウォッチドッグ タイマ リセットから I/O ハイインピーダンス	-	-	2.0	μs	

* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り $V_{IN} = 12\text{ V}$ ($V_{DD} = 5\text{ V}$)、+25 °C の場合の値です。これらのパラメータは設計上の目安であり、テストしていません。

図 5-5: Timer0 と Timer1 の外部クロック タイミング

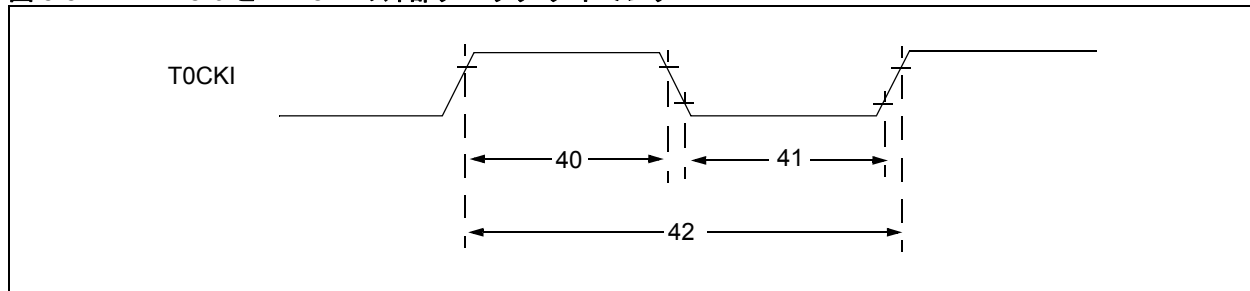


表 5-4: Timer0 と Timer1 の外部クロックの要件

パラメータ No.	記号	特性	最小値	代表値†	最大値	単位	条件
40*	T_{t0H}	TOCKI パルス幅 (HIGH)	プリスケアラなし	$0.5T_{CY} + 20$	-	-	ns
		プリスケアラあり	10	-	-	ns	
41*	T_{t0L}	TOCKI パルス幅 (LOW)	プリスケアラなし	$0.5T_{CY} + 20$	-	-	ns
		プリスケアラあり	10	-	-	ns	
42*	T_{t0P}	TOCKI 周期	以下のどちらか大きい方: 20 または $T_{CY} + 40$ N	-	-	ns	N = プリスケアラの値 (2, 4, ..., 256)

* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り $V_{IN} = 12\text{ V}$ ($V_{DD} = 5\text{ V}$)、+25 °C の場合の値です。これらのパラメータは設計上の目安であり、テストしていません。

図 5-6: PWM のタイミング

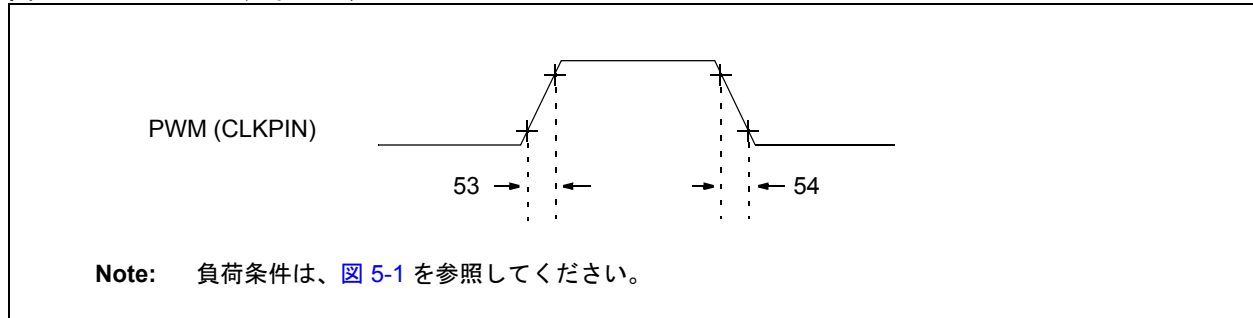


表 5-5: PWM の要件

パラメータ No.	記号	特性	最小値	代表値†	最大値	単位	条件
53*	TccR	PWM (CLKPIN) 出力立ち上がり時間	-	10	25	ns	
54*	TccF	PWM (CLKPIN) 出力立ち下がり時間	-	10	25	ns	

* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り $V_{IN} = 12\text{ V}$ ($V_{DD} = 5\text{ V}$)、 $+25\text{ }^\circ\text{C}$ の場合の値です。これらのパラメータは設計上の目安であり、テストはしていません。

表 5-6: MCP19111 A/D コンバータ (ADC) の特性:

標準動作条件 (特に明記しない場合)							
動作温度 $-40\text{ }^\circ\text{C} \leq T_A \leq +125\text{ }^\circ\text{C}$							
パラメータ No.	記号	特性	最小値	代表値†	最大値	単位	条件
AD01	N_R	分解能	-	-	10	bit	
AD02	E_{IL}	積分直線性誤差	-	-	± 1	LSb	$AV_{DD} = 5.0\text{ V}$
AD03	E_{DL}	微分直線性誤差	-	-	± 1	LSb	10 ビットまでノー ミッシングコード $AV_{DD} = 5.0\text{ V}$
AD04	E_{OFF}	オフセット誤差	-	+3.0	+5.0	LSb	$AV_{DD} = 5.0\text{ V}$
AD07	E_{GN}	ゲインエラー	-	± 2	± 5	LSb	$AV_{DD} = 5.0\text{ V}$
AD06 AD06A	V_{REF}	参照電圧 ⁽³⁾	-	AV_{DD}	-	V	
AD07	V_{AIN}	フルスケールレンジ	GND	-	AV_{DD}	V	
AD08	Z_{AIN}	アナログ電圧源の推奨インピーダンス	-	-	10	k Ω	

* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り $V_{IN} = 12\text{ V}$ ($V_{DD} = 5\text{ V}$)、 $+25\text{ }^\circ\text{C}$ の場合の値です。これらのパラメータは設計上の目安であり、テストしていません。

- Note 1:** 総絶対誤差には、積分直線性誤差、微分直線性誤差、オフセット誤差、ゲインエラーが含まれます。
- 2:** A/D 変換結果は、入力電圧が増大しても減少する事はありません。また、ミッシングコードもありません。
- 3:** ADC モジュールをオフにした場合、リーク電流以外にモジュールの消費電流は発生しません。パワーダウン電流の様子は、この ADC モジュールのリーク電流を含んだ値です。

MCP19111

表 5-7: MCP19111 の A/D 変換の要件

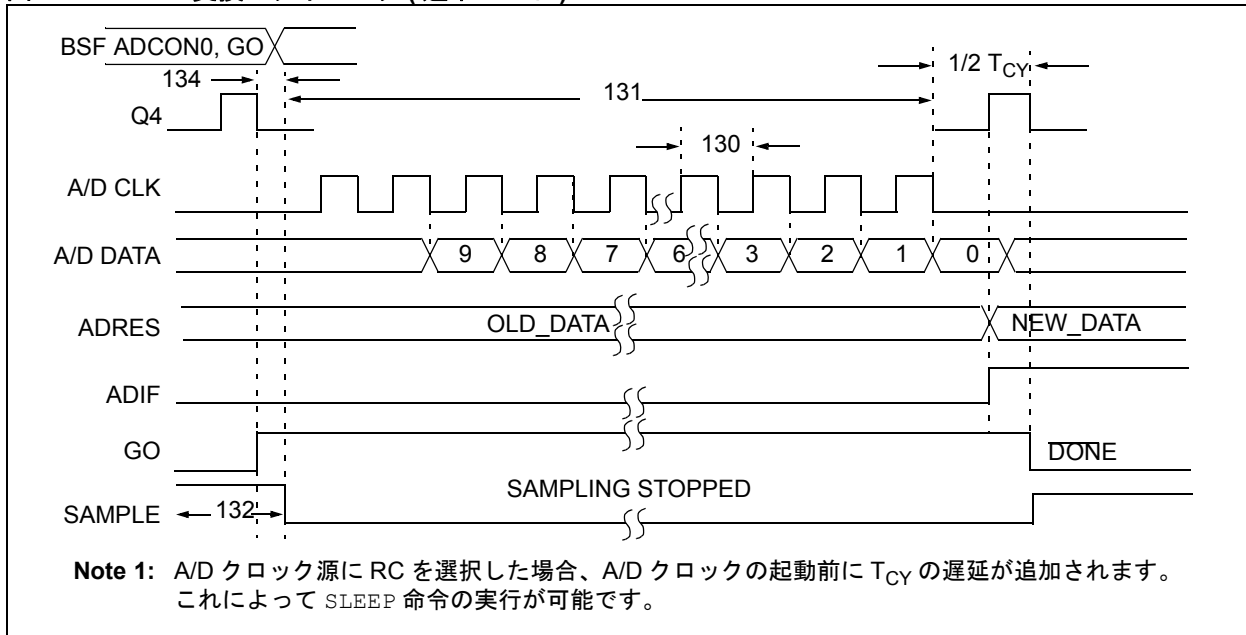
標準動作条件 (特に明記しない限り) 動作温度 $-40\text{ }^{\circ}\text{C} \leq T_A \leq +125\text{ }^{\circ}\text{C}$							
パラメータ No.	記号	特性	最小値	代表値†	最大値	単位	条件
AD130*	T_{AD}	A/D クロック周期	1.6	-	9.0	μs	T_{OSC} ベース、 $V_{REF} \geq 3.0\text{ V}$ T_{OSC} ベース、 V_{REF} フルレンジ ADCS<1:0>=11 (ADRC モード) @ $V_{DD} = 2.5\text{ V}$ @ $V_{DD} = 5.0\text{ V}$
			3.0	-	9.0	μs	
		A/D 内部 RC オシレータ周期	3.0	6.0	9.0	μs	
			1.6	4.0	6.0	μs	
AD131	T_{CNV}	変換時間 (アキュジション時間を除く) ⁽¹⁾	-	11	-	T_{AD}	A/D 変換結果レジスタに新しいデータを読み込むには GO/DONE ビットをセットします。
AD132*	T_{ACQ}	アキュジション時間	-	11.5	-	μs	
AD133*	T_{AMP}	アンプのセトリングタイム	-	-	5	μs	
AD134	T_{GO}	Q4 から A/D クロック起動まで	-	$T_{OSC}/2$ $T_{OSC}/2 + T_{CY}$	-	-	A/D クロック源に RC を選択した場合、A/D クロックの起動前に T_{CY} の遅延が追加されます。これによって SLEEP 命令の実行が可能です。

* これらのパラメータは特性データであり、テストしていません。

† 「代表値」欄のデータは、特に記載のない限り $V_{IN} = 12\text{ V}$ ($V_{DD} = 5\text{ V}$)、 $+25\text{ }^{\circ}\text{C}$ の場合の値です。これらのパラメータは設計上の目安であり、テストしていません。

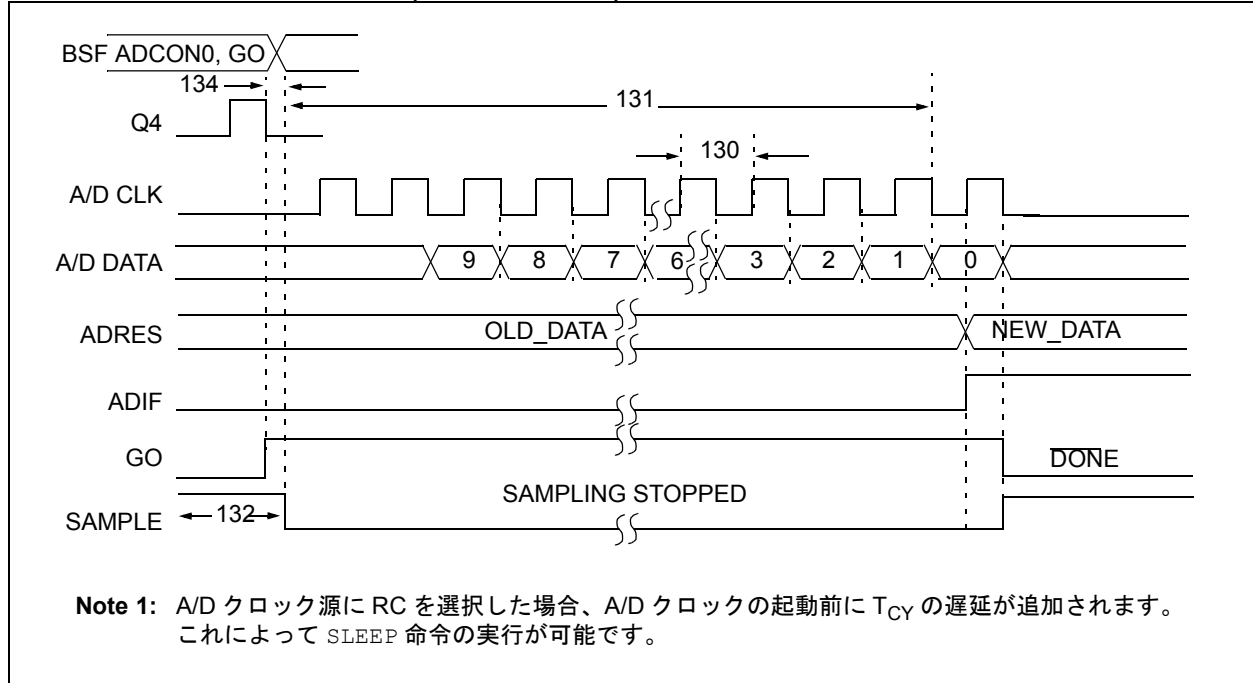
Note 1: ADRESH と ADRESL レジスタは、次の T_{CY} サイクルで読み出す事ができます。

図 5-7: A/D 変換のタイミング (通常モード)



Note 1: A/D クロック源に RC を選択した場合、A/D クロックの起動前に T_{CY} の遅延が追加されます。これによって SLEEP 命令の実行が可能です。

図 5-8: A/D 変換のタイミング (スリープモード)



MCP19111

NOTE:

6.0 MCP19111 の設定

MCP19111 は、デジタル周辺モジュールを備えたアナログコントローラです。これは、デバイスの設定を外付け部品の追加ではなく、レジスタの設定で行える事を意味します。以降のセクションでは、アナログ制御レジスタの設定方法について説明します。

入力低電圧ロックアウト回路を有効にするには、VINLVL<UVLOEN> ビットをセットします。

Note: 割り込み条件が発生すると、対応するイネーブルビットまたはグローバル イネーブルビット (INTCON レジスタの GIE) の状態に関係なく、VINIF 割り込みフラグビットがセットされます。

6.1 入力低電圧ロックアウト

VINLVL レジスタでは、入力低電圧ロックアウトを設定します。MCP19111 の V_{IN} ピンへの入力電圧が、ここで設定した値を下回ると、INTCON<VINIF> フラグがセットされます。このビットは、MCP19111 の V_{IN} 電圧が設定値を上回るとクリアされます。

レジスタ 6-1: VINLVL: 入力低電圧ロックアウト制御レジスタ

R/W-0	U-0	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
UVLOEN	-	UVLO5	UVLO4	UVLO3	UVLO2	UVLO1	UVLO0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **UVLOEN:** 低電圧ロックアウト DAC 制御ビット
 1 = 低電圧ロックアウト DAC を有効にする
 0 = 低電圧ロックアウト DAC を無効にする
- bit 6 **未実装:** 「0」として読み出し
- bit 5-0 **UVLO<5:0>:** 低電圧ロックアウト コンフィグレーション ビット
 $UVLO<5:0> = 26.5 \cdot \ln(UVLO_{SET_POINT}/4)$

MCP19111

6.2 出力過電流

MCP19111 には、サイクルごとのピーク電流制限機能があります。OCIF 割り込みフラグを監視する事で、カスタムの過電流フォルト処理を実装できます。

出力過電流を検出するために、MCP19111 はハイサイド MOFETの導通中にその両端に生じる電圧降下を検出します。過電流計測を一定の時間だけマスクするために、リーディング エッジ ブランキングを使っています。これにより、誤った過電流値の読み値を防ぎます。入力電圧が 20 V 超の場合、またはハイサイド MOSFET の $R_{DS(ON)}$ の値が設定可能な過電流しきい値ではピーク過電流保護に十分な効果が得られないような値の場合、過電流の状態を判断するために別の方法を使う必要があります。その場合、設定可能な出力低電圧保護機能と PE1<UVTEE> ビットを使う事で、過電流イベントによって出力電圧が低下した際、素早くスイッチングを停止できます。

出力過電流が検出されると、OCIF フラグがセットされ、ハイサイド駆動信号がただちに OFF になります。カスタムの過電流処理を一切実装しない場合でも、次のクロックサイクルのはじめにハイサイドの駆動信号は HIGH にアサートされます。過電流条件が解消されていない場合、ハイサイドの駆動信号は再度 OFF になります。

OCIF 割り込みフラグはソフトウェアでクリアする必要があります。ただし、過電流条件ではない後続のスイッチング サイクルが発生しなかった場合、ハードウェアは OCIF 割り込みフラグをただちにセットします。

レジスタ OCCON には、出力過電流の制限値とリーディング エッジ ブランキング量の両方を設定するためのビットが含まれます ([レジスタ 6-2](#) 参照)。

出力過電流ロックアウト回路を有効にするには、OCCON<OCEN>ビットをセットする必要があります。

Note: 割り込み条件が発生すると、対応するイネーブルビットまたはグローバル イネーブルビット (INTCON レジスタの GIE) の状態に関係なく、OCIF 割り込みフラグビットがセットされます。

レジスタ 6-2: OCCON: 出力過電流制御レジスタ

R/W-0	R/W-0	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
OCEN	OCLEB1	OCLEB0	OOC4	OOC3	OOC2	OOC1	OOC0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **OCEN:** 出力過電流 DAC 制御ビット
 1 = 出力過電流 DAC を有効にする
 0 = 出力過電流 DAC を無効にする
- bit 6-5 **OCLEB<1:0>:** リーディング エッジ ブランキング
 00 = 114 ns のブランキング
 01 = 213 ns のブランキング
 10 = 400 ns のブランキング
 11 = 780 ns のブランキング
- bit 4-0 **OOC<4:0>:** 出力過電流コンフィグレーション ビット
 00000 = 160 mV 低下
 00001 = 175 mV 低下
 00010 = 190 mV 低下
 00011 = 205 mV 低下
 00100 = 220 mV 低下
 00101 = 235 mV 低下
 00110 = 250 mV 低下
 00111 = 265 mV 低下
 01000 = 280 mV 低下
 01001 = 295 mV 低下
 01010 = 310 mV 低下
 01011 = 325 mV 低下
 01100 = 340 mV 低下
 01101 = 355 mV 低下
 01110 = 370 mV 低下
 01111 = 385 mV 低下
 10000 = 400 mV 低下
 10001 = 415 mV 低下
 10010 = 430 mV 低下
 10011 = 445 mV 低下
 10100 = 460 mV 低下
 10101 = 475 mV 低下
 10110 = 490 mV 低下
 10111 = 505 mV 低下
 11000 = 520 mV 低下
 11001 = 535 mV 低下
 11010 = 550 mV 低下
 11011 = 565 mV 低下
 11100 = 580 mV 低下
 11101 = 595 mV 低下
 11110 = 610 mV 低下
 11111 = 625 mV 低下

MCP19111

6.3 電流検出 AC ゲイン

インダクタ両端で計測される電流は、 $+I_{SEN}$ と $-I_{SEN}$ 間に接続されたコンデンサ (C_S) によって平均化される矩形波です。このきわめて小さな電圧にリップルを加えたものを電流検出 AC ゲイン回路によって増幅できます。ゲイン量は、CSGSCON レジスタによって制御します。

レジスタ 6-3: CSGSCON: 電流検出 AC ゲイン制御レジスタ

U-0	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
-	予約済み	予約済み	予約済み	CSGS3	CSGS2	CSGS1	CSGS0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **未実装:** 「0」として読み出し
- bit 6-4 **予約済み**
- bit 3-0 **CSGS<3:0>:** 電流検出 AC ゲイン設定ビット
- 0000 = 0 dB
 - 0001 = 1.0 dB
 - 0010 = 2.5 dB
 - 0011 = 4.0 dB
 - 0100 = 5.5 dB
 - 0101 = 7.0 dB
 - 0110 = 8.5 dB
 - 0111 = 10.0 dB
 - 1000 = 11.5 dB
 - 1001 = 13.0 dB
 - 1010 = 14.5 dB
 - 1011 = 16.0 dB
 - 1100 = 17.5 dB
 - 1101 = 19.0 dB
 - 1110 = 20.5 dB
 - 1111 = 22.0 dB

6.4 電流検出 DC ゲイン

検出されたインダクタ電流に DC ゲインを加えて、ADCによって読み出せるようにします。加える DC ゲイン量は、CSDGCON レジスタによって制御します。

一部の多相システムでは、デバイスと部品の差を考慮して、制御ループで使う電流検出信号にも DC ゲインを加える必要が生じる場合があります。DC ゲインを適用した電流検出信号を再度 AC 電流信号に加えるかどうかは、CSDGEN ビットで設定します (レジスタ 6-4 参照)。CSDGEN ビットがクリアされている場合、DC ゲインはそのまま適用されますが、適用後の信号を AC 電流信号には加えません。

レジスタ 6-4: CSDGCON: 電流検出 DC ゲイン制御レジスタ

R/W-0	U-0	U-0	U-0	R/W-x	R/W-x	R/W-x	R/W-x
CSDGEN	-	-	-	予約済み	CSDG2	CSDG1	CSDG0
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **CSDGEN:** 電流検出 DC ゲイン イネーブルビット
 1 = DC ゲイン電流検出信号を制御ループで使う
 0 = DC ゲイン電流検出信号は ADC によって読み出されるのみ
- bit 6-4 **未実装:** 「0」として読み出し
- bit 3 **予約済み**
- bit 2-0 **CSDG<2:0>:** 電流検出 DC ゲイン設定ビット
 000 = 19.5 dB
 001 = 21.8 dB
 010 = 24.1 dB
 011 = 26.3 dB
 100 = 28.6 dB
 101 = 30.9 dB
 110 = 33.2 dB
 111 = 35.7 dB

MCP19111

6.5 ゼロ電流電圧

多相システムでは、検出されるインダクタ電流にある程度のオフセットをかける必要が生じる場合があります。VZCCON レジスタを使うと、検出電流に正負のオフセットを適用できます。通常、VZCCON は 0x80h に設定されます。これは、インダクタ電流が 1.45 V を中心として検出される事に相当します。しかし、VZCCON レジスタを調整する事で、この中心電圧を約 3.28 mV 刻みで上下に変化させる事ができます。

レジスタ 6-5: VZCCON: ゼロ電流電圧制御レジスタ

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
VZC7	VZC6	VZC5	VZC4	VZC3	VZC2	VZC1	VZC0
bit 7							bit 0

凡例:

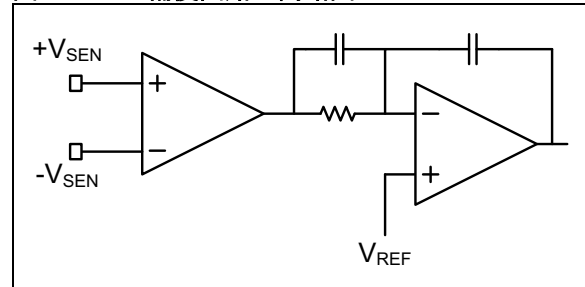
R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-0 **VZC<7:0>**: ゼロ電流電圧設定ビット
00000000 = -420.00 mV オフセット
00000001 = -416.72 mV オフセット
.
.
.
10000000 = 0 mV オフセット
.
.
.
11111110 = +413.12 mV オフセット
11111111 = +416.40 mV オフセット

6.6 補償の設定

MCP19111は、ピーク電流モード制御アーキテクチャを採用しています。コンバータのピーク電流を直接レギュレートするために、制御基準を使います。内部の電流ループによって、インダクタは実効的に電圧制御電流源として動作します。このため制御から出力への伝達関数が、コンデンサに電流を供給する電流源という単純な単極モデルに簡素化されます。ループ全体での目標とする応答は、補償のゼロ周波数とゲインを適切な位置に設定する事で調整できます。図 6-1 に、内部補償の概略図を示します。調整可能なゼロ周波数とゲインの設定については、レジスタ 6-6 を参照してください。

図 6-1: 補償回路の簡略図



レジスタ 6-6: CMPZCON: 補償設定制御レジスタ

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
CMPZF3	CMPZF2	CMPZF1	CMPZF0	CMPZG3	CMPZG2	CMPZG1	CMPZG0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-4 **CMPZF<3:0>**: 補償ゼロ周波数設定ビット

0000 = 1500 Hz
 0001 = 1850 Hz
 0010 = 2300 Hz
 0011 = 2840 Hz
 0100 = 3460 Hz
 0101 = 4300 Hz
 0110 = 5300 Hz
 0111 = 6630 Hz
 1000 = 8380 Hz
 1001 = 9950 Hz
 1010 = 12200 Hz
 1011 = 14400 Hz
 1100 = 18700 Hz
 1101 = 23000 Hz
 1110 = 28400 Hz
 1111 = 35300 Hz

bit 3-0 **CMPZG<3:0>**: 補償ゲイン設定ビット

0000 = 36.15 dB
 0001 = 33.75 dB
 0010 = 30.68 dB
 0011 = 28.43 dB
 0100 = 26.10 dB
 0101 = 23.81 dB
 0110 = 21.44 dB
 0111 = 19.10 dB
 1000 = 16.78 dB
 1001 = 14.32 dB
 1010 = 12.04 dB
 1011 = 9.54 dB
 1100 = 7.23 dB
 1101 = 4.61 dB
 1110 = 2.28 dB
 1111 = 0.00 dB

MCP19111

6.7 スロープ補償

エラーアンプの出力には負の電圧スロープを加算します。その目的は、以下の場合に分数調波による不安定性を防ぐ事です。

1. 動作デューティ サイクルが 50% より大きい
2. デューティ サイクルが大きく変化する

エラーアンプの出力に付加する負のスロープ量はレジスタ 6-7 で制御します。

スロープ補償を有効にするには、ABECON レジスタの SLCPBY ビットをセットします。

レジスタ 6-7: SLPCRCON: スロープ補償ランプ制御レジスタ

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
SLPG3	SLPG2	SLPG1	SLPG0	SLPS3	SLPS2	SLPS1	SLPS0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-4

SLPG<3:0>: スロープ補償振幅コンフィグレーション ビット

0000 = 0.017 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
0001 = 0.022 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
0010 = 0.030 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
0011 = 0.040 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
0100 = 0.053 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
0101 = 0.070 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
0110 = 0.094 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
0111 = 0.125 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
1000 = 0.170 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
1001 = 0.220 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
1010 = 0.300 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
1011 = 0.400 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
1100 = 0.530 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
1101 = 0.700 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
1110 = 0.940 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)
1111 = 1.250 V_{PK-PK} (デューティ サイクル 50% の波形で計測した場合)

bit 3-0

SLPS<3:0>: スロープ補償 ΔV/Δt コンフィグレーション ビット

6.7.1 SLPS<3:0> のコンフィグレーション

SLPS<3:0> は、付加されるランプの ΔV/Δt を直接制御します。このバイトには、以下の式に従ってスイッチング周波数に比例した値を設定します。

$$n = \left(\frac{F_{SW}}{100,000} \right) - 1$$

F_{SW} = デバイスのスイッチング周波数

n = SLPS<3:0> の値 (10 進数)

6.7.2 SLPG<3:0> のコンフィグレーション

SLPG<3:0> は、付加されるランプの振幅を制御します。上記の値は、デューティ サイクルが 50% の波形に対するものであり、SLPS<3:0> ビットがセクション 6.7.1 「SLPS<3:0> のコンフィグレーション」の式に従って設定されている場合にのみ有効です。より小さな振幅が必要な場合、SLPS<3:0> ビットをより低いスイッチング周波数に調整できます。

6.8 マスタエラー信号ゲイン

多相システムの動作では、全てのスレーブデバイスが制御信号としてマスタのエラーアンプ出力を使います。全ての位相で温度が均一に保たれるように、全ての位相の電流のバランスを取る事が重要です。部品のばらつきによって、バランスを取る事が難しくなります。各スレーブデバイスは、[レジスタ 6-8](#) を設定してマスタのエラー信号を増幅または減衰できます。

Note: 多相スレーブデバイスでは SLVGNCON レジスタを設定します。

レジスタ 6-8: SLVGNCON: マスタエラー信号入力ゲイン制御レジスタ

U-0	U-0	U-0	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	
-	-	-	SLVGN4	SLVGN3	SLVGN2	SLVGN1	SLVGN0	
bit 7								bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-5 **未実装:** 「0」として読み出し

bit 4-0 **SLVGN<4:0>:** マスタエラー信号ゲインビット

00000 = -3.3 dB
 00001 = -3.1 dB
 00010 = -2.9 dB
 00011 = -2.7 dB
 00100 = -2.5 dB
 00101 = -2.3 dB
 00110 = -2.1 dB
 00111 = -1.9 dB
 01000 = -1.7 dB
 01001 = -1.4 dB
 01010 = -1.2 dB
 01011 = -1.0 dB
 01100 = -0.8 dB
 01101 = -0.6 dB
 01110 = -0.4 dB
 01111 = -0.2 dB
 10000 = 0.0 dB
 10001 = 0.2 dB
 10010 = 0.4 dB
 10011 = 0.7 dB
 10100 = 0.9 dB
 10101 = 1.1 dB
 10110 = 1.3 dB
 10111 = 1.5 dB
 11000 = 1.7 dB
 11001 = 1.9 dB
 11010 = 2.1 dB
 11011 = 2.3 dB
 11100 = 2.6 dB
 11101 = 2.8 dB
 11110 = 3.0 dB
 11111 = 3.2 dB

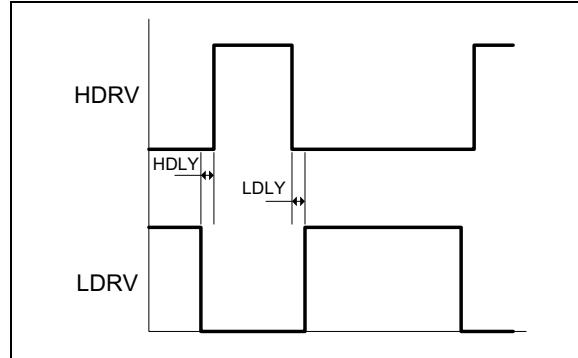
MCP19111

6.9 MOSFET ドライバのプログラマブル デッドタイム

ハイサイドとローサイドの駆動信号のターンオン遅延は、それぞれ独立して設定できます。これによって、各種 MOSFET および回路基板レイアウトに対して最適化できます。図 6-2 を参照してください。

PE1 レジスタの HDLYBY および LDLYBY ビットをセットすると、それぞれハイサイドとローサイドの遅延が有効になります。付加する遅延量は DEADCON レジスタによって制御します。詳細は、レジスタ 6-9 を参照してください。

図 6-2: MOSFET ドライバのデッドタイム



レジスタ 6-9: DEADCON: ドライバのデッドタイム制御レジスタ

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
HDLY3	HDLY2	HDLY1	HDLY0	LDLY3	LDLY2	LDLY1	LDLY0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-4 HDLY<3:0>: ハイサイド デッドタイム コンフィグレーション ビット

0000 = 11 ns 遅延
 0001 = 15 ns 遅延
 0010 = 19 ns 遅延
 0011 = 23 ns 遅延
 0100 = 27 ns 遅延
 0101 = 31 ns 遅延
 0110 = 35 ns 遅延
 0111 = 39 ns 遅延
 1000 = 43 ns 遅延
 1001 = 47 ns 遅延
 1010 = 51 ns 遅延
 1011 = 55 ns 遅延
 1100 = 59 ns 遅延
 1101 = 63 ns 遅延
 1110 = 67 ns 遅延
 1111 = 71 ns 遅延

bit 3-0 LDLY<3:0>: ローサイド デッドタイム コンフィグレーション ビット

0000 = 4 ns 遅延
 0001 = 8 ns 遅延
 0010 = 12 ns 遅延
 0011 = 16 ns 遅延
 0100 = 20 ns 遅延
 0101 = 24 ns 遅延
 0110 = 28 ns 遅延
 0111 = 32 ns 遅延
 1000 = 36 ns 遅延
 1001 = 40 ns 遅延
 1010 = 44 ns 遅延
 1011 = 48 ns 遅延
 1100 = 52 ns 遅延
 1101 = 56 ns 遅延
 1110 = 60 ns 遅延
 1111 = 64 ns 遅延

6.10 出力電圧のコンフィグレーション

エラーアンプの参照電圧は2つのレジスタで制御します。参照電圧は15 mVステップで粗調整し、さらに0.82 mVステップで微調整します(レジスタ6-10と6-11参照)。出力と +V_{SEN} ピン間に分圧回路を接続すると、より高い出力電圧が得られます。全てのピンで最大電圧定格を超えないように注意が必要です。

Note: 出力電圧設定レジスタを有効にするには、OVFCON<VOUTEN> ビットをセットします。

レジスタ 6-10: OVCCON: 出力電圧セットポイント粗調整制御レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
OVC7	OVC6	OVC5	OVC4	OVC3OVC3	OVC2	OVC1	OVC0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-0 **OVC<7:0>:** 出力電圧セットポイント粗調整コンフィグレーション ビット
 $OVC<7:0> = (V_{OUT}/15.8 \text{ mV}) + 15.8 \text{ mV}$

レジスタ 6-11: OVFCON: 出力電圧セットポイント微調整制御レジスタ

R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
VOUTEN	-	-	OVF4	OVF3	OVF2	OVF1	OVF0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7 **VOUTEN:** 出力電圧 DAC イネーブルビット
 1 = 出力電圧 DAC を有効にする
 0 = 出力電圧 DAC を無効にする

bit 6-5 **未実装:** 「0」として読み出し

bit 4-0 **OVF<4:0>:** 出力電圧セットポイント微調整コンフィグレーション ビット
 $OVF<4:0> = (V_{OUT} - V_{OUT_COARSE})/0.8 \text{ mV}$

MCP19111

6.11 出力低電圧

出力電圧は監視されており、出力低電圧しきい値を下回ると、UVIF フラグがセットされます。このフラグはソフトウェアでクリアする必要があります。詳細は、[セクション 15.3.1.4 「PIR2 レジスタ」](#)を参照してください。

出力低電圧しきい値は、[レジスタ 6-12](#)に示す OUVCON レジスタで制御します。

レジスタ 6-12: OUVCON: 出力低電圧検出レベル制御レジスタ

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
OUV7	OUV6	OUV5	OUV4	OUV3	OUV2	OUV1	OUV0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-0 **OUV<7:0>:** 出力低電圧検出レベル コンフィグレーション ビット
 $OUV<7:0> = (V_{OUT_UV_Detect_Level})/15 \text{ mV}$

6.12 出力過電圧

出力電圧は監視されており、出力過電圧しきい値を上回ると、OVIF フラグがセットされます。このフラグはソフトウェアでクリアする必要があります。詳細は、[セクション 15.3.1.4 「PIR2 レジスタ」](#)を参照してください。

出力過電圧しきい値は、[レジスタ 6-13](#)に示す OOVCON レジスタで制御します。

レジスタ 6-13: OOVCON: 出力過電圧検出レベル制御レジスタ

R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
OOV7	OOV6	OOV5	OOV4	OOV3	OOV2	OOV1	OOV0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-0 **OOV<7:0>:** 出力過電圧検出レベル コンフィグレーション ビット
 $OOV<7:0> = (V_{OUT_OV_Detect_Level})/15 \text{ mV}$

6.13 アナログ周辺モジュール制御

MCP19111 は、各種アナログ周辺モジュールを搭載しています。これらの周辺モジュールは、カスタマイズされた動作を実行できるように設定が可能です。詳細は、[レジスタ 6-14](#) を参照してください。

6.13.1 ダイオードエミュレーションモード

MCP19111 は、ダイオードエミュレーションまたは同期整流モードのどちらかで動作します。ダイオードエミュレーションモードの場合、ローサイド MOSFET 両端の電圧が約 0 V になると、LDRV 信号が OFF になります。この条件は、インダクタ電流が約 0 A に達した時に満たされます。HDRV と LDRV 信号はどちらも次のスイッチングサイクルが始まるまで LOW を保ちます。次のスイッチングサイクルの開始と共に、HDRV 信号が HIGH にアサートされ、ハイサイド MOSFET を ON にします。

同期整流モードの場合、LDRV 信号は次のスイッチングサイクルが始まるまで HIGH に保持されます。次のスイッチングサイクルの開始と共に、HDRV 信号が HIGH にアサートされ、ハイサイド MOSFET を ON にします。

MCP19111 の動作モードは、PE1<DECON> ビットで制御します。

6.13.2 ハイサイドストレンクス

ハイサイドドライバのソースおよびシンク電流のピーク値は、1 A ソース/シンクまたは 2 A ソース/シンクのどちらかに設定できます。ハイサイドストレンクスは PE1<DVRSTR> ビットで設定します。

6.13.3 MOSFET ドライバのデッドタイム

[セクション 6.9 「MOSFET ドライバのプログラマブルデッドタイム」](#) で説明した通り、MOSFET 駆動のデッドタイムは調整可能です。デッドタイムの設定を有効にするには、適切なバイパスビットをクリアする必要があります。PE1<HDLYBY> と PE1<LDLYBY> は遅延回路を制御します。対応するビットをクリアする事で、DEADCON レジスタで設定されたデッドタイムが、対応するターンオンエッジに付加されます。

6.13.4 出力電圧検出プルアップ/プルダウン

PE1<PUEN> ビットをセットすると、+V_{SEN} ピンのハイインピーダンスプルアップを設定できます。セットすると、+V_{SEN} ピンは内部で V_{DD} にプルアップされます。

PE1<PDEN> ビットをセットすると、-V_{SEN} のハイインピーダンスプルダウンを設定できます。セットすると、-V_{SEN} ピンは内部でグラウンドにプルダウンされます。

6.13.5 出力低電圧アクセラレータ

MCP19111 は、出力低電圧条件に素早く応答できるようにする制御回路も備えています。この回路は PE1<UVTEE> ビットで有効にします。このビットをセットすると、MCP19111 は出力低電圧条件に対して、HDRV と LDRV 信号の両方を LOW に設定し、ハイサイドとローサイドの MOSFET の両方をターンオフする事で応答します。

6.13.6 出力過電圧アクセラレータ

MCP19111 は、出力過電圧条件に素早く応答できるようにする制御回路も備えています。この回路は PE1<OVTEE> ビットで有効にします。このビットをセットすると、MCP19111 は出力過電圧条件に対して、HDRV と LDRV 信号の両方を LOW に設定し、ハイサイドとローサイドの MOSFET の両方をターンオフする事で応答します。

MCP19111

レジスタ 6-14: PE1: アナログ周辺モジュール イネーブル 1 制御レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DECON	DVRSTR	HDLYBY	LDLYBY	PDEN	PUEN	UVTEE	OVTEE
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **DECON:** ダイオード エミュレーション モード ビット
1 = ダイオード エミュレーション モードを有効にする
0 = 同期整流モードを有効にする
- bit 6 **DVRSTR:** ハイサイド ストレングス コンフィグレーション ビット
1 = ハイサイドのソース/シンク ストレングスを 1 A に設定する
0 = ハイサイドのソース/シンク ストレングスを 2 A に設定する
- bit 5 **HDLYBY:** ハイサイド デッドタイム バイパス ビット
1 = ハイサイド デッドタイム バイパスを有効にする
0 = ハイサイド デッドタイム バイパスを無効にする
- bit 4 **LDLYBY:** ローサイド デッドタイム バイパス ビット
1 = ローサイド デッドタイム バイパスを有効にする
0 = ローサイド デッドタイム バイパスを無効にする
- bit 3 **PDEN:** $-V_{SEN}$ 弱プルダウン イネーブルビット
1 = $-V_{SEN}$ の弱プルダウンを有効にする
0 = $-V_{SEN}$ の弱プルダウンを無効にする
- bit 2 **PUEN:** $+V_{SEN}$ 弱プルアップ イネーブルビット
1 = $+V_{SEN}$ の弱プルアップを有効にする
0 = $+V_{SEN}$ の弱プルアップを無効にする
- bit 1 **UVTEE:** 出力低電圧 アクセラレータ イネーブルビット
1 = 出力低電圧 アクセラレータを有効にする
0 = 出力低電圧 アクセラレータを無効にする
- bit 0 **OVTEE:** 出力過電圧 アクセラレータ イネーブルビット
1 = 出力過電圧 アクセラレータを有効にする
0 = 出力過電圧 アクセラレータを無効にする

6.14 アナログブロック イネーブル制御

レジスタ 6-15 に示す通り、各種アナログ回路ブロックを有効または無効に設定できます。ATSTCON レジスタも参照してください。

6.14.1 出力過電圧イネーブル

出力過電圧は、ABECON<OVDCEN> ビットをセットする事で有効になります。このビットをクリアすると、出力過電圧回路は無効になり、OOVCON レジスタの設定は無視されます。

6.14.2 出力低電圧イネーブル

出力低電圧は、ABECON<UVDCEN> ビットをセットする事で有効になります。このビットをクリアすると、出力低電圧回路は無効になり、OUVCON レジスタの設定は無視されます。

6.14.3 相対効率の計測

セクション 10.0「相対効率の計測」では、システムの相対効率計測に使う手順を解説します。ABECON<MEASEN> ビットをセットすると相対計測が始まります。

6.14.4 スロープ補償制御

レジスタ 6-7 で説明したスロープ補償は、ABECON<SLCPBY> ビットをセットする事でバイパスできます。通常動作の場合、このビットは常にセットされます。

6.14.5 電流計測

ピーク電流計測回路は ABECON<CRTMEN> ビットで制御します。このビットをセットすると電流計測回路が有効になります。通常動作の場合、このビットはセットされます。

6.14.6 内部温度の計測

デバイス内部の温度を ADC で計測できます。内部温度計測回路を有効にするには、ABECON<TMPSEN> ビットをセットします。

6.14.7 相対効率回路制御

セクション 10.0「相対効率の計測」では、システムの相対効率計測に使う手順を解説します。ABECON<RECIREN> ビットをセットすると相対効率計測回路が有効になります。

6.14.8 信号チェーン

ABECON<PATHEN> ビットは、電圧制御パスを有効にします。通常動作の場合、このビットはセットされます。

MCP19111

レジスタ 6-15: ABECON: アナログブロック イネーブル制御レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
OVDCCEN	UVDCEN	MEASEN	SLCPBY	CRTMEN	TMPSEN	RECIREN	PATHEN
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **OVDCCEN:** 出力過電圧 DAC 制御ビット
1 = 出力過電圧 DAC を有効にする
0 = 出力過電圧 DAC を無効にする
- bit 6 **UVDCEN:** 出力低電圧 DAC 制御ビット
1 = 出力低電圧 DAC を有効にする
0 = 出力低電圧 DAC を無効にする
- bit 5 **MEASEN:** 相対効率の計測制御ビット
1 = 相対効率の計測を開始する
0 = 相対効率の計測を行わない
- bit 4 **SLCPBY:** スロープ補償バイパス制御ビット
1 = スロープ補償を無効にする
0 = スロープ補償を有効にする
- bit 3 **CRTMEN:** 電流計測回路制御ビット
1 = 電流計測回路を有効にする
0 = 電流計測回路を無効にする
- bit 2 **TMPSEN:** 内部温度センサ制御ビット
1 = 内部温度センサ回路を有効にする
0 = 内部温度センサ回路を無効にする
- bit 1 **RECIREN:** 相対効率回路制御ビット
1 = 相対効率計測回路を有効にする
0 = 相対効率計測回路を無効にする
- bit 0 **PATHEN:** 信号チェーン回路制御ビット
1 = 信号チェーン回路を有効にする
0 = 信号チェーン回路を無効にする

7.0 代表性能曲線

Note: 以下の図表は限られたサンプル数に基づく統計的な結果であり、情報の提供のみを目的とします。ここに記載する性能特性は実験値ではなく、保証もいたしません。以下の図表の一部には、仕様動作レンジ外で計測されたデータも含まれます(例:仕様レンジ外の電源を使用)。従ってこれらのデータは保証範囲外です。

Note: 特に明記しない限り、 $V_{IN} = 12\text{ V}$ 、 $F_{SW} = 300\text{ kHz}$ 、 $T_A = +25\text{ }^\circ\text{C}$ の値です。

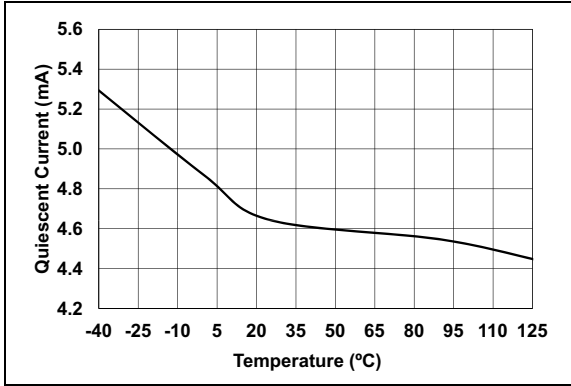


図 7-1: 温度に対する I_Q

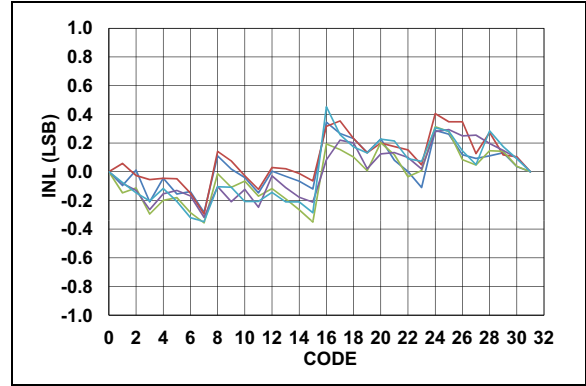


図 7-4: コードと温度 (-40 ~ +125 °C) に対する OVFCON DAC INL

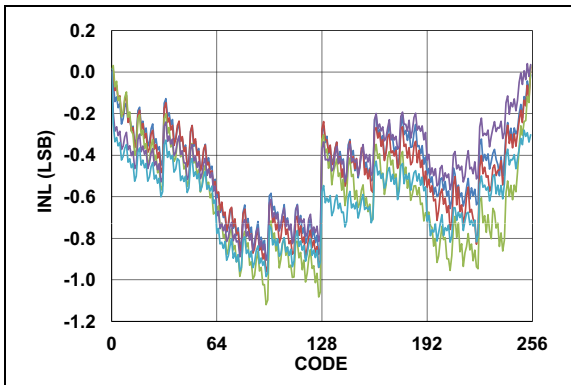


図 7-2: コードと温度 (-40 ~ +125 °C) に対する OVCCON DAC INL

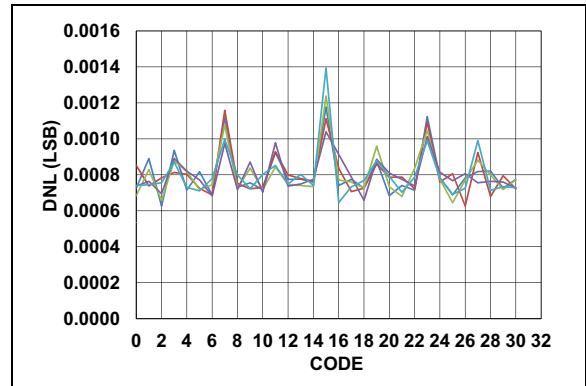


図 7-5: コードと温度 (-40 ~ +125 °C) に対する OVFCON DAC DNL

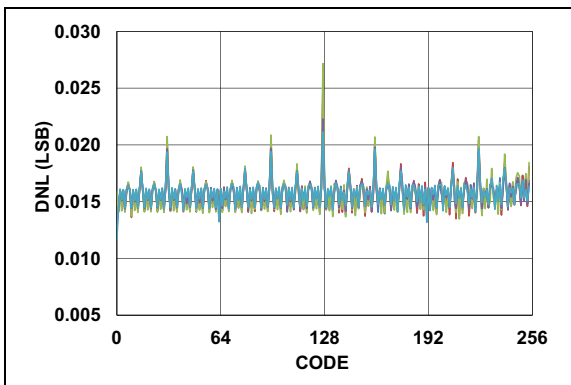


図 7-3: コードと温度 (-40 ~ +125 °C) に対する OVCCON DAC DNL

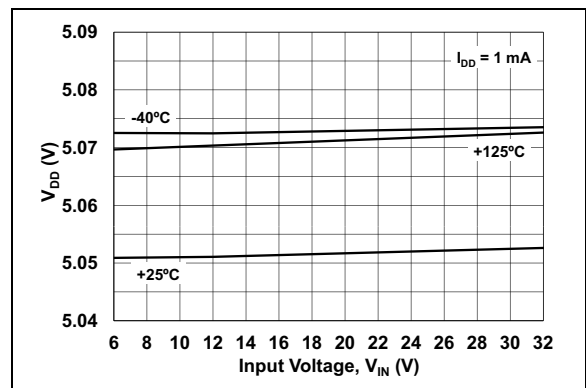


図 7-6: 入力電圧に対する V_{DD}

MCP19111

Note: 特に明記しない限り、 $V_{IN} = 12\text{ V}$ 、 $F_{SW} = 300\text{ kHz}$ 、 $T_A = +25\text{ }^\circ\text{C}$ の値です。

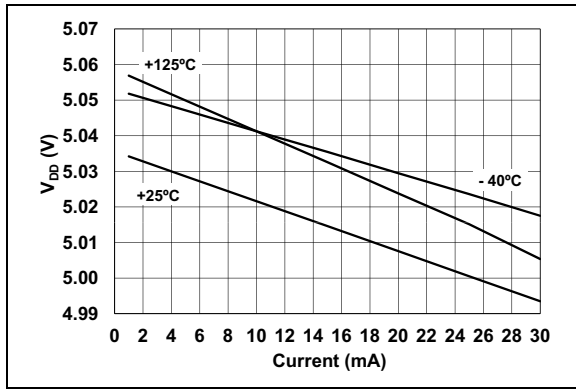


図 7-7: 出力電流に対する V_{DD}

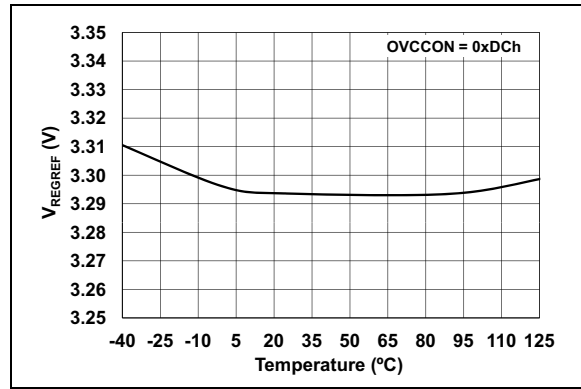


図 7-10: 温度に対する V_{REGREF}
($V_{REGREF} = 3.3\text{ V}$)

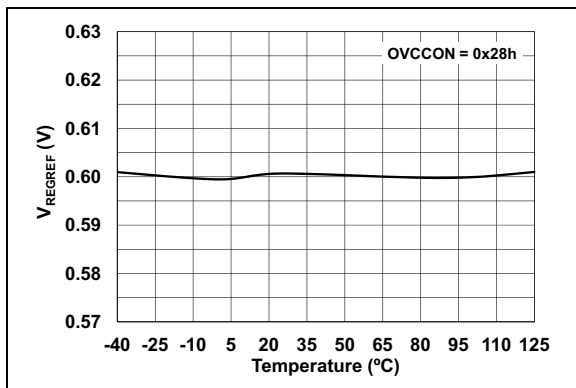


図 7-8: 温度に対する V_{REGREF}
($V_{REGREF} = 0.6\text{ V}$)

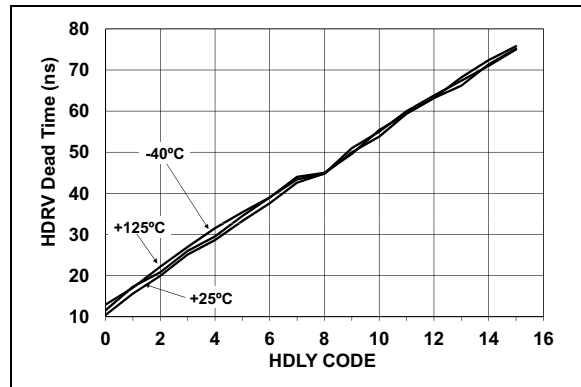


図 7-11: HDLY コードに対する HDRV デッド
タイム

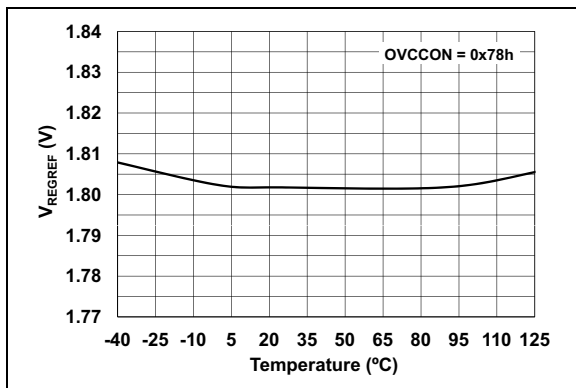


図 7-9: 温度に対する V_{REGREF}
($V_{REGREF} = 1.8\text{ V}$)

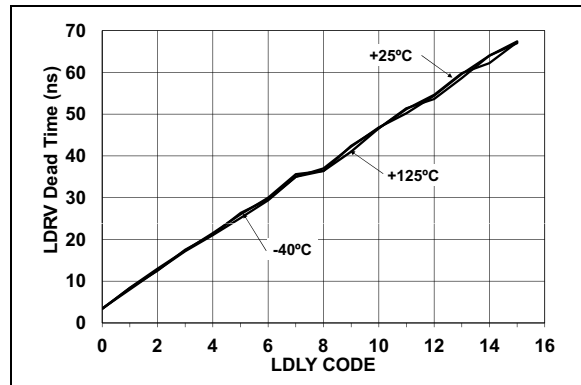


図 7-12: LDLY コードに対する LDRV デッド
タイム

Note: 特に明記しない限り、 $V_{IN} = 12\text{ V}$ 、 $F_{SW} = 300\text{ kHz}$ 、 $T_A = +25\text{ }^\circ\text{C}$ の値です。

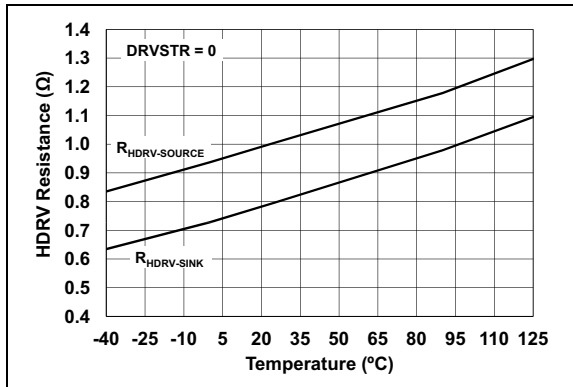


図 7-13: 温度に対する HDRV R_{DSon}

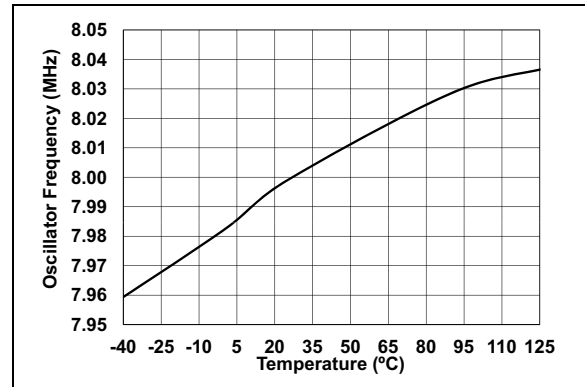


図 7-16: 温度に対するオシレータ周波数

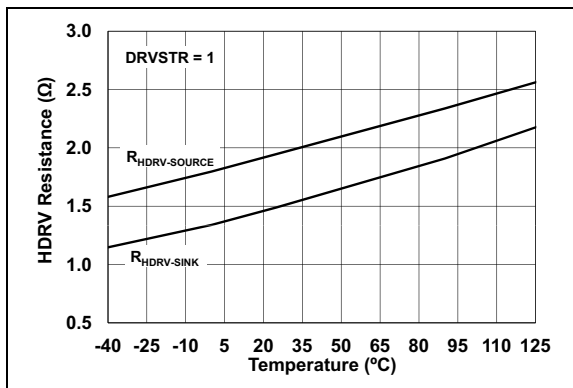


図 7-14: 温度に対する HDRV R_{DSon}

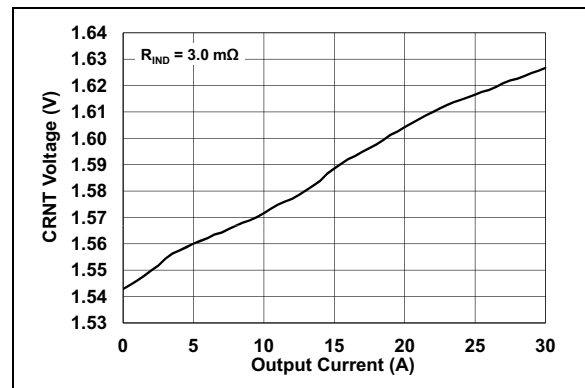


図 7-17: 出力電流に対する CRNT 電圧

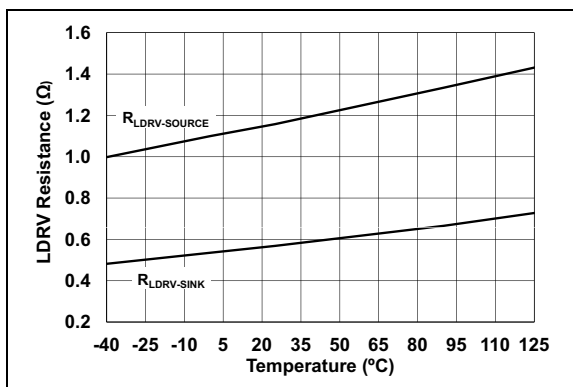


図 7-15: 温度に対する LDRV R_{DSon}

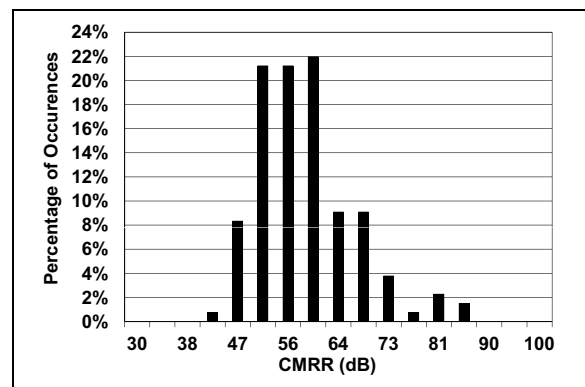


図 7-18: リモート検出アンプの CMRR

MCP19111

NOTE:

8.0 システム ベンチテスト

システム設計とベンチテストを容易にするために、MCP19111は各種の内部アナログ信号を出力するマルチプレクサを搭載しています。これらの信号は、ユニティ ゲイン バッファを介して GPA0 ピンで計測できます。GPA0 ピンは**レジスタ 8-1**に示す ATSTCON レジスタで設定します。

ユニティ ゲイン バッファから出力する信号は、**レジスタ 8-2**に示す BUFFCON レジスタで設定します。

8.1 アナログ ベンチテスト制御

8.1.1 ATSTCON レジスタ

ATSTCON レジスタには、MOSFET ドライバを無効にして、GPA0 ピンをユニティ ゲイン バッファの出力として設定するビットがあります (**レジスタ 8-1** 参照)。

Note 1: DRVDIS ビットは「1」にリセットされるため、ハイサイドとローサイドのドライバはリセット後に既知の状態になります。通常動作させるには、このビットをソフトウェアによってクリアする必要があります。

レジスタ 8-1: ATSTCON: アナログ ベンチテスト制御レジスタ

R/W-1	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-1
予約済み	-	-	予約済み	HIDIS	LODIS	BNCHEM	DRVDIS
bit 7				bit 0			

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **予約済み**
- bit 6-5 **未実装:** 「0」として読み出し
- bit 4 **予約済み**
- bit 3 **HIDIS:** ハイサイド ドライバ制御ビット
 1 = ハイサイド ドライバを無効にする
 0 = ハイサイド ドライバを有効にする
- bit 2 **LODIS:** ローサイド ドライバ制御ビット
 1 = ローサイド ドライバを無効にする
 0 = ローサイド ドライバを有効にする
- bit 1 **BNCHEM:** GPA0 ベンチテスト設定制御ビット
 1 = GPA0 をアナログ ベンチテスト出力用に設定する
 0 = GPA0 を通常動作用に設定する
- bit 0 **DRVDIS:** MOSFET ドライバ ディセーブル制御ビット
 1 = ハイサイドおよびローサイド ドライバを LOW に設定し、PHASE ピンをフローティングにする
 0 = ハイサイドおよびローサイド ドライバを通常動作用に設定する

MCP19111

8.2 ユニティ ゲイン バッファ

ユニティ ゲイン バッファ モジュールは、多相アプリケーションとベンチテスト モードで使います。

ATSTCON<BNCHEN> ビットをセットすると、デバイスはベンチテスト モードに移行し、BUFFCON レジスタの ASEL<4:0> ビットによって GPA0 ピンで計測する内部アナログ信号が決まります。

ユニティ ゲイン バッファを介して信号を計測する場合、計測された信号にバッファのオフセットを加える必要があります。工場計測されたバッファ オフセットはメモリ位置 2087h から読み出す事ができます。詳細は[セクション 11.1.1「プログラムメモリをデータとして読み出す」](#)を参照してください。

レジスタ 8-2: BUFFCON: ユニティ ゲイン バッファ制御レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MLTPH2	MLTPH1	MLTPH0	ASEL4	ASEL3	ASEL2	ASEL1	ASEL0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-5

MLTPH<2:0>: システム設定ビット

- 000 = デバイスをスタンダアロン ユニットとして設定する
- 001 = デバイスを多出力マスタとして設定する
- 010 = デバイスを多出力スレーブとして設定する
- 011 = デバイスを多相マスタとして設定する
- 100 = デバイスを多相スレーブとして設定する

bit 4-0

ASEL<4:0>: マルチプレクサ出力制御ビット

- 00000 = インダクタ電流に比例する電圧
- 00001 = エラーアンプ出力にスローブ補償を加えた PWM コンパレータへの入力
- 00010 = スローブ補償回路への入力
- 00011 = バンドギャップ リファレンス
- 00100 = 出力電圧リファレンス
- 00101 = 内部差動アンプ後の出力電圧
- 00110 = 未実装
- 00111 = 内部温度に比例する電圧
- 01000 = 電流検出回路用内部グラウンド、[セクション 6.5「ゼロ電流電圧」](#) 参照
- 01001 = 出力過電圧コンパレータ参照電圧
- 01010 = 出力低電圧コンパレータ参照電圧
- 01011 = エラーアンプ出力
- 01100 = 多相スレーブの場合、マスタから受信したエラーアンプ信号
- 01101 = 多相スレーブの場合、マスタから受信したゲイン適用エラー信号
[セクション 6.8「マスタエラー信号ゲイン」](#) 参照
- 01110 = 1/5 に分圧した V_{IN}
- 01111 = DC インダクタの電流
- 10000 = 未実装
-
-
-
- 11100 = 未実装
- 11101 = 過電流参照電圧
- 11110 = 未実装
- 11111 = 未実装

9.0 デバイスの校正

読み出し専用のメモリ位置 2080h から 208Fh には、工場出荷時に書き込まれた校正データが格納されています。これらのメモリ位置からの読み出し方法は、[セクション 18.0「フラッシュ プログラムメモリ制御」](#)を参照してください。

9.1 校正ワード 1

メモリ位置 2080h の DOV<3:0> ビットは、出力電圧リモート検出差動アンプのオフセット校正を設定します。適切に校正するには、ファームウェアでこれらの値を読み出し、DOVCAL レジスタに書き込む必要があります。

メモリ位置 2080h の FCAL<6:0> ビットは、内部オシレータの校正を設定します。適切に校正するには、ファームウェアでこれらの値を読み出し、OSCCAL レジスタに書き込む必要があります。

レジスタ 9-1: CALWD1: 校正ワード 1 レジスタ

U-0	U-0	R/P-1	R/P-1	R/P-1	R/P-1
-	-	DOV3	DOV2	DOV1	DOV0
bit 13				bit 8	

U-0	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
-	FCAL6	FCAL5	FCAL4	FCAL3	FCAL2	FCAL1	FCAL0
bit 7							bit 0

凡例:

R = 読み出し可能ビット	P = プログラム可能ビット	U = 未実装ビット、「0」として読み出し
-n = POR 時の値	「1」= ビットはセット	「0」= ビットはクリア
		x = ビットは未知

- bit 13-12 **未実装:** 「0」として読み出し
- bit 11-8 **DOV<3:0>:** 出力電圧リモート検出差動アンプのオフセット校正ビット
- bit 7 **未実装:** 「0」として読み出し
- bit 6-0 **FCAL<6:0>:** 内部オシレータ校正ビット

MCP19111

9.2 校正ワード 2

メモリ位置 2082h の TTA<3:0> ビットは、過熱シャットダウンのしきい値を校正します。適切に校正するには、ファームウェアでこれらの値を読み出し、TTACAL レジスタに書き込む必要があります。

メモリ位置 2082h の BGR<3:0> ビットは、内部バンドギャップを校正します。適切に校正するには、ファームウェアでこれらの値を読み出し、BGRCAL レジスタに書き込む必要があります。

レジスタ 9-2: CALWD2: 校正ワード 2 レジスタ

U-0	U-0	R/P-1	R/P-1	R/P-1	R/P-1
-	-	TTA3	TTA2	TTA1	TTA0
bit 13					bit 8

U-0	U-0	U-0	U-0	R/P-1	R/P-1	R/P-1	R/P-1
-	-	-	-	BGR3	BGR2	BGR1	BGR0
bit 7							bit 0

凡例:

R = 読み出し可能ビット	P = プログラミング可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	「1」= ビットはセット	「0」= ビットはクリア	x = ビットは未知

- bit 13-12 **未実装:** 「0」として読み出し
- bit 11-8 **TTA<3:0>:** 過熱シャットダウンしきい値校正ビット
- bit 7-4 **未実装:** 「0」として読み出し
- bit 3-0 **BGR<3:0>:** 内部バンドギャップ校正ビット

9.3 校正ワード3

メモリ位置 2083h の VRO<3:0> ビットは、出力電圧レギュレーションの参照電圧セットポイントのバッファアンプのオフセットを校正します。この結果、バンドギャップリファレンスを変更されます。適切に校正するには、ファームウェアでこれらの値を読み出し、VROCAL レジスタに書き込む必要があります。

メモリ位置 2083h の ZRO<3:0> ビットは、エラーアンプのオフセットを校正します。適切に校正するには、ファームウェアでこれらの値を読み出し、ZROCAL レジスタに書き込む必要があります。

レジスタ 9-3: CALWD3: 校正ワード3 レジスタ

U-0	U-0	R/P-1	R/P-1	R/P-1	R/P-1
-	-	VRO3	VRO2	VRO1	VRO0
bit 13				bit 8	

U-0	U-0	U-0	U-0	R/P-1	R/P-1	R/P-1	R/P-1
-	-	-	-	ZRO3	ZRO2	ZRO1	ZRO0
bit 7				bit 0			

凡例:

R = 読み出し可能ビット P = プログラミング可能 U = 未実装ビット、「0」として読み出し
 ビット
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 13-12 **未実装:** 「0」として読み出し
- bit 11-8 **VRO<3:0>:** 参照電圧オフセット校正ビット
- bit 7-4 **未実装:** 「0」として読み出し
- bit 3-0 **ZRO<3:0>:** エラーアンプのオフセット電圧校正ビット

MCP19111

9.4 校正ワード4

メモリ位置 2084h の TANA<9:0> ビットは、シリコン温度が +30 °C の時の内部温度センサの ADC 読み値を格納しています。内部温度センサの温度係数は 16 mV/°C です。

レジスタ 9-4: CALWD4: 校正ワード4 レジスタ

U-0	U-0	U-0	U-0	R/P-1	R/P-1
-	-	-	-	TANA9	TANA8
bit 13				bit 8	

R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
TANA7	TANA6	TANA5	TANA4	TANA3	TANA2	TANA1	TANA0
bit 7							bit 0

凡例:

R = 読み出し可能ビット

P = プログラミング可能
ビット

U = 未実装ビット、「0」として読み出し

-n = POR 時の値

「1」= ビットはセット

「0」= ビットはクリア

x = ビットは未知

bit 13-10 **未実装:** 「0」として読み出し

bit 9-0 **TANA<9:0>:** 30 °C における ADC 内部温度センサ校正ビット

$$TANA<9:0> = (\text{温度} \times 13.3 \text{ mV/}^\circ\text{C}) + 1.75$$

9.5 校正ワード 5

メモリ位置 2085h の DIFC<7:0> ビットは、出力電圧差動アンプのオフセット電圧情報を格納しています。この値は 8 ビットの 2 の補数で、差動アンプのオフセット調整に必要な OVCCON カウント数を表します。この値を使うと、差動アンプのオフセットを完全に取除けます。

例えば、差動アンプのオフセット計測値が -64 mV とします。OVCCON の 1 カウントは 16 mV に相当するため、この計測値は OVCCON レジスタの 4 カウントと表されます。従って、メモリ位置 2085h に格納される値は 0x84h になります。DIFC7 ビットがセットされている場合、負の数値を意味します。

レジスタ 9-5: CALWD5: 校正ワード 5 レジスタ

U-0	U-0	U-0	U-0	U-0	U-0
-	-	-	-	-	-
bit 13					bit 8

R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
DIFC7	DIFC6	DIFC5	DIFC4	DIFC3	DIFC2	DIFC1	DIFC0
bit 7							bit 0

凡例:

R = 読み出し可能ビット	P = プログラミング可能ビット	U = 未実装ビット、「0」として読み出し
-n = POR 時の値	「1」= ビットはセット	「0」= ビットはクリア
		x = ビットは未知

bit 13-8 **未実装:** 「0」として読み出し

bit 7-0 **DIFC<7:0>:** 差動アンプオフセット校正のための OVCCON 調整カウントビット

MCP19111

9.6 校正ワード6

メモリ位置 2086h の DIFF<7:0> ビットは、出力電圧差動アンプのオフセット電圧情報を格納しています。この値は 8 ビットの 2 の補数で、差動アンプのオフセット調整に必要な OVFCON カウント数を表します。この値を使うと、差動アンプのオフセットを完全に取り除けます。

例えば、差動アンプのオフセット計測値が +4.2 mV とします。OVFCON の 1 カウントは 0.7 mV に相当するため、この測定値は OVFCON レジスタの 6 カウントと表されます。従って、メモリ位置 2086h に格納される値は 0x06h になります。DIFF7 ビットがクリアされている場合、正の数値を意味します。

レジスタ 9-6: CALWD6: 校正ワード6 レジスタ

U-0	U-0	U-0	U-0	U-0	U-0
-	-	-	-	-	-
bit 13					bit 8

R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
DIFF7	DIFF6	DIFF5	DIFF4	DIFF3	DIFF2	DIFF1	DIFF0
bit 7							bit 0

凡例:

R = 読み出し可能ビット	P = プログラミング可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	「1」= ビットはセット	「0」= ビットはクリア	x = ビットは未知

bit 13-8 **未実装:** 「0」として読み出し

bit 7-0 **DIFF<7:0>:** 差動アンプオフセット校正のための OVFCON 調整カウントビット

9.7 校正ワード7

メモリ位置 2087h の BUFF<7:0> ビットは、ユニティゲインバッファのオフセット電圧を表します。値は 8 ビットの 2 の補数です。MSB は符号ビットです。MSB が 1 の場合、値は負です。

レジスタ 9-7: CALWD7: 校正ワード7 レジスタ

U-0	U-0	U-0	U-0	U-0	U-0
-	-	-	-	-	-
bit 13					bit 8

R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
BUFF7	BUFF6	BUFF5	BUFF4	BUFF3	BUFF2	BUFF1	BUFF0
bit 7							bit 0

凡例:

R = 読み出し可能ビット	P = プログラミング可能ビット	U = 未実装ビット、「0」として読み出し
-n = POR 時の値	「1」= ビットはセット	「0」= ビットはクリア
		x = ビットは未知

bit 13-8 **未実装:** 「0」として読み出し

bit 7-0 **BUFF<7:0>:** ユニティゲイン バッファのオフセット電圧校正ビット

MCP19111

NOTE:

10.0 相対効率の計測

入力電圧、出力電圧、負荷電流が一定の場合にハイサイド MOSFET のオン時間が何らかの変化を示すのは、システム効率が変化している事を意味します。MCP19111 には、ハイサイド MOSFET のオン時間を計測する機能があります。この機能によってシステムの相対効率を計測できるため、スイッチング周波数、ドライバのデッドタイム、ハイサイドのストレンクス等のシステムパラメータを変更して最適化を図れます。

10.1 相対効率の計測手順

相対効率の計測には、RELEFF レジスタ、ABECON<MEASEN>、ABECON<RECIREN>、ADC の RELEFF 入力を使います。以下に計測手順の概要を示します。

1. ABECON<RECIREN> ビットをセットして計測回路を有効にする。
2. ABECON<MEASEN> ビットをクリアする。
3. ADC を使って RELEFF チャンネルを読み出し、その値を High として格納する。
4. ADC を使って VZC チャンネルを読み出し、その値を Low として格納する。
5. ABECON<MEASEN> ビットをセットして計測サイクルを開始する。
6. RELEFF<MSDONE> ビットを監視する。相対効率の計測が完了すると、このビットがセットされます。

7. 計測が完了したら、ADC を使って RELEFF チャンネルを読み出す。この値が、式 10-1 の変数 Fractional になります。計測は RELEFF<MSDONE> ビットのセット後、約 50 ms で完了します。
8. RELEFF レジスタの RE<6:0> ビットを読み出し、値を Whole として格納する。
9. ABECON<MEASEN> ビットをクリアする。
10. 相対効率は以下の式によって求められる。

式 10-1:

$$Duty_Cycle = \frac{\left(Whole + \frac{Fractional - Low}{High - Low} \right)}{(PR2 + 1)}$$

Whole = 計測手順 8 で得た値
 Fractional = 計測手順 7 で得た値
 High = 計測手順 3 で得た値
 Low = 計測手順 4 で得た値

Note 1: RELEFF<MSDONE> ビットは自動的にセット/クリアされます。

レジスタ 10-1: RELEFF: 相対効率計測レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
MSDONE	RE6	RE5	RE4	RE3	RE2	RE1	RE0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7 **MSDONE:** 相対効率計測完了ビット
 1 = 相対効率の計測が完了した
 0 = 相対効率の計測は完了していない

bit 6-0 **RE<6:0>:** 相対効率計測結果の Whole クロックカウンタ

MCP19111

NOTE:

11.0 メモリ構成

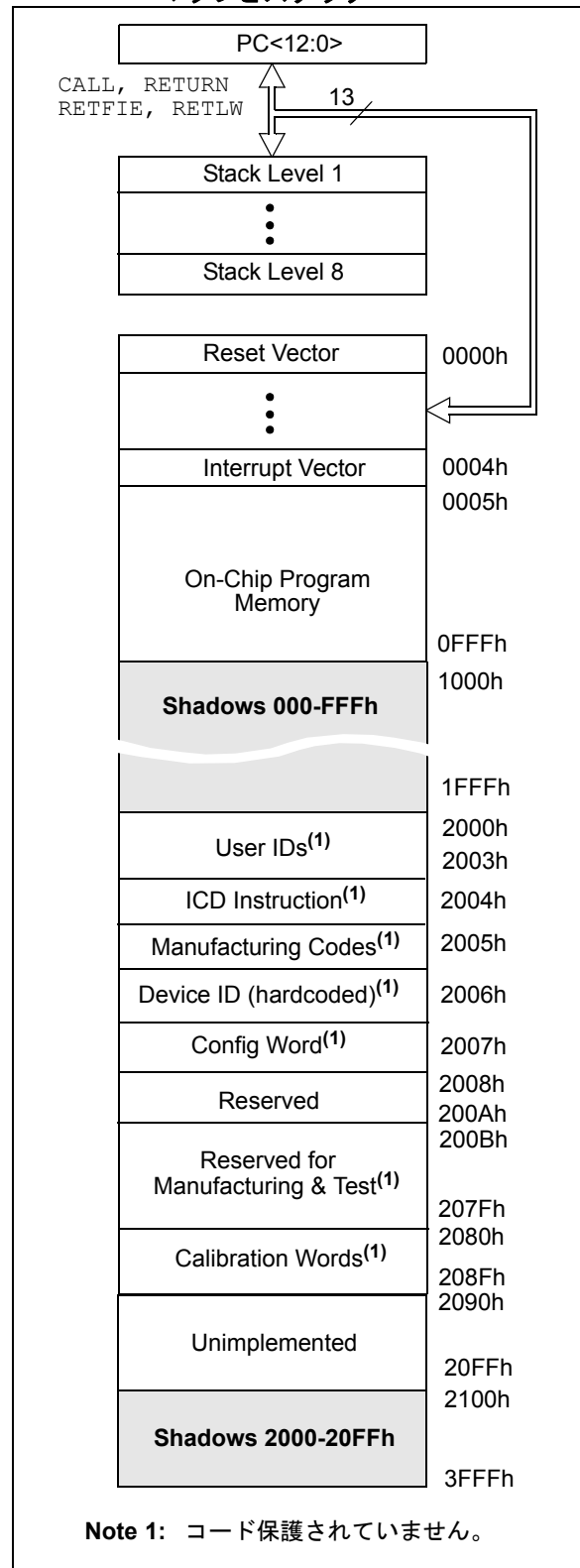
MCP19111 には下記の 2 種類のメモリがあります。

- プログラムメモリ
- データメモリ
 - 特殊機能レジスタ (SFR)
 - 汎用 RAM

11.1 プログラムメモリの構成

MCP19111 には 13 ビットのプログラムカウンタがあり、8K x 14 のプログラムメモリ空間に対するアドレッシングが可能です。物理的に実装されているのは、最初の 4K x 14 (0000h ~ 0FFFh) だけです。この境界を超えるアドレスを指定すると、最初の 4K x 14 の空間内でラップアラウンド (折り返し) が発生します。リセットベクタは 0000h、割り込みベクタは 0004h です (図 11-1 参照)。プログラムメモリバス (命令ワード) の幅は 14 ビットです。命令は全てが単一ワードであるため、MCP19111 の命令空間は 4K です。

図 11-1: MCP19111 のプログラムメモリマップとスタック



11.1.1 プログラムメモリをデータとして読み出す

プログラムメモリの定数へアクセスする方法は 2 つあります。1 つ目は、RETLW 命令テーブルを使う方法です。2 つ目は、ファイル選択レジスタ (FSR) を介してプログラムメモリを指定する方法です。

11.1.1.1 RETLW 命令

RETLW命令を使って定数テーブルへアクセスできます。例 11-1 に、推奨するテーブル作成方法を示します。

例 11-1: RETLW 命令

```
constants
    retlw DATA0      ;Index0 data
    retlw DATA1      ;Index1 data
    retlw DATA2
    retlw DATA3

my_function
    ;... LOTS OF CODE...
    movlw    DATA_INDEX
    call constants
    ;...THE CONSTANT IS IN W
```

11.1.1.2 ファイル選択レジスタ (FSR) による間接読み出し

FSR_xH レジスタの bit 7 をセットし、一致する INDF_x レジスタを読み出す事で、プログラムメモリへデータとしてアクセスできます。MOVLW 命令は、アドレス指定したワードの下位 8 ビットを W レジスタへ格納します。INDF レジスタを介してプログラムメモリへ書き込む事はできません。FSR を使ってプログラムメモリへアクセスする命令を完了するには、追加で 1 命令サイクルが必要です。例 11-2 に、FSR を介したプログラムメモリへのアクセスを示します。

ラベルがプログラムメモリ内の位置を指している場合、HIGH ディレクティブによりビット <7> がセットされます。

例 11-2: FSR を介したプログラムメモリへのアクセス

```
constants
    retlw DATA0      ;Index0 data
    retlw DATA1      ;Index1 data
    retlw DATA2
    retlw DATA3

my_function
    ;... LOTS OF CODE...
    movlw    LOW constants
    movwf   FSR1L
    movlw   HIGH constants
    movwf   FSR1H
    moviw  0[FSR1]
    ;THE PROGRAM MEMORY IS IN W
```

11.2 データメモリの構成

データメモリ (図 11-1 参照) は 4 つのバンクに分割されており、汎用レジスタ (GPR) と特殊機能レジスタ (SFR) を収めています。特殊機能レジスタは各バンクの先頭 32 アドレスに配置されています。バンク 0 のレジスタ位置 20h-7Fh、バンク 1 の A0h-EFh、バンク 2 の 120h-16Fh はスタティック RAM として実装された汎用レジスタです。その他の RAM はいずれも未実装で、読み出すと「0」が返されます。STATUS レジスタの RP<1:0> ビットがバンク選択ビットです。

RP1	RP0	
0	0	-> バンク 0 を選択
0	1	-> バンク 1 を選択
1	0	-> バンク 2 を選択
1	1	-> バンク 3 を選択

レジスタ間で値を移動する場合は W レジスタを経由する必要があります。これは、全てのレジスタ間移動に 2 命令サイクルが必要である事を意味します。

STATUS レジスタ (レジスタ 11-1 参照) の内容は、以下の通りです。

- ALU の演算状態
- リセット状態
- データメモリ (RAM) のバンク選択ビット

STATUS レジスタは、他の全てのレジスタと同様に、あらゆる命令の実行結果の格納先とする事ができます。STATUS レジスタが Z、DC、C のいずれかのビットに影響を及ぼす命令の格納先である場合、これら 3 つのビットへは書き込みできません。これらのビットはデバイスのロジックに従ってセットまたはクリアされます。また、 \overline{TO} と \overline{PD} ビットには書き込みできません。従って、STATUS レジスタを格納先とする命令を実行した場合、意図した結果とならない場合があります。

例えば、CLR \overline{F} STATUS は上位 3 ビットをクリアし、Z ビットをセットします。これにより、STATUS レジスタは「000u u1uu」(u= 不変)のままです。

従って、STATUS レジスタを変更する際は BCF、BSF、SWAPF、MOVWF 命令のみを使う事を推奨します。これらの命令はどのステータスビットにも影響を与えないためです。ステータスビットに影響を与えないその他の命令については、[セクション 29.0「命令セットの概要」](#)を参照してください。

Note 1: 減算では、C ビットが Borrow、DC ビットが Digit Borrow アウトビットとして動作します。

レジスタ 11-1: STATUS: STATUS レジスタ

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC ⁽¹⁾	C ⁽¹⁾
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **IRP:** レジスタバンク選択ビット (間接アドレス指定に使用)
 1 = 予約済み
 0 = バンク 0、1、2、3 (00h-FFh)
- bit 6-5 **RP<1:0>:** レジスタバンク選択ビット (直接アドレス指定に使用)
 00 = バンク 0 (00h-7Fh)
 01 = バンク 1 (80h-FFh)
 10 = バンク 2 (100h-17Fh)
 11 = バンク 3 (180h-1FFh)
- bit 4 **\overline{TO} :** タイムアウト ビット
 1 = 電源投入後、CLRWD \overline{T} 命令後、または SLEEP 命令後
 0 = WDT タイムアウトが発生した
- bit 3 **\overline{PD} :** パワーダウン ビット
 1 = 電源投入後、または CLRWD \overline{T} 命令による
 0 = SLEEP 命令の実行による
- bit 2 **Z:** ゼロビット
 1 = 算術演算または論理演算の結果がゼロである
 0 = 算術演算または論理演算の結果はゼロでない
- bit 1 **DC:** Digit Carry/ $\overline{\text{Digit Borrow}}$ ビット⁽¹⁾ (ADDWF、ADDLW、SUBLW、SUBWF 命令)
 1 = 演算結果の下位 4 ビット目からキャリーが発生した
 0 = 演算結果の下位 4 ビット目からキャリーは発生していない
- bit 0 **C:** Carry/ $\overline{\text{Borrow}}$ ビット⁽¹⁾ (ADDWF、ADDLW、SUBLW、SUBWF 命令)⁽¹⁾
 1 = 演算結果の最上位ビットからキャリーが発生した
 0 = 演算結果の最上位ビットからキャリーは発生していない

Note 1: $\overline{\text{Borrow}}$ の場合、極性は逆です。減算は、2 番目のオペランドの 2 の補数を加算する事で実行します。ローテート (RRF、RLF) 命令の場合、このビットにはソースレジスタの上位ビットまたは下位ビットのどちらかが読み込まれます。

11.2.1 特殊機能レジスタ

特殊機能レジスタは、目的とするデバイス動作を CPU と周辺機能が制御するために使うレジスタです (表 11-1 参照)。これらのレジスタはスタティック RAM で実装されています。

特殊レジスタはコアと周辺機能の 2 つに分類できます。このセクションでは、マイクロコントローラ コアに関連する特殊機能レジスタについて説明します。周辺機能の動作に関連するレジスタについては、その周辺機能のセクションの中で説明します。

表 11-2: MCP19111 特殊レジスタのまとめ (バンク 0)

アドレス	レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR リセット時 の値	その他全ての リセット 時の値 ⁽¹⁾
バンク 0											
00h	INDF	この位置をアドレス指定すると、FSRの内容によってデータメモリのアドレスが指定されます (物理レジスタではありません)。								xxxx xxxx	xxxx xxxx
01h	TMR0	Timer0 モジュールのレジスタ								xxxx xxxx	uuuu uuuu
02h	PCL	プログラム カウンタ (PC) の下位バイト								0000 0000	0000 0000
03h	STATUS	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	000q quuu
04h	FSR	データメモリの間接アドレスポインタ								xxxx xxxx	uuuu uuuu
05h	PORTGPA	GPA7	GPA6	GPA5	GPA4	GPA3	GPA2	GPA1	GPA0	xxxx xxxx	uuuu uuuu
06h	PORTGPB	GPB7	GPB6	GPB5	GPB4	-	GPB2	GPB1	GPB0	xxx- xxxx	uuu- uuuu
07h	PIR1	-	ADIF	BCLIF	SSPIF	-	-	TMR2IF	TMR1IF	-000 --00	-000 --00
08h	PIR2	UVIF	-	OCIF	OVIF	-	-	VINIF	DCERIF	0-00 --00	0-00 --00
09h	PCON	-	-	-	-	-	\overline{OT}	\overline{POR}	-	---- -qq-	---- -uu-
0Ah	PCLATH	-	-	-	プログラム カウンタ上位 5 ビットの書き込みバッファ					---0 0000	---0 0000
0Bh	INTCON	GIE	PEIE	TOIE	INTE	IOCE	TOIF	INTF	IOCF ⁽³⁾	0000 000x	0000 000u
0Ch	TMR1L	16 ビット TMR1 の下位バイト ホールドレジスタ								xxxx xxxx	uuuu uuuu
0Dh	TMR1H	16 ビット TMR1 の上位バイト ホールドレジスタ								xxxx xxxx	uuuu uuuu
0Eh	T1CON	-	-	T1CKPS1	T1CKPS0	-	-	TMR1CS	TMR1ON	--00 --00	--uu --uu
0Fh	TMR2	Timer2 モジュール レジスタ								0000 0000	uuuu uuuu
10h	T2CON	-	-	-	-	-	TMR2ON	T2CKPS1	T2CKPS0	---- -000	---- -000
11h	PR2	Timer2 モジュール周期レジスタ								1111 1111	1111 1111
12h	-	未実装								-	-
13h	PWMPHL	スレーブの位相シフトレジスタ								xxxx xxxx	uuuu uuuu
14h	PWMPHH	スレーブの位相シフトレジスタ								xxxx xxxx	uuuu uuuu
15h	PWMRL	PWM レジスタ下位バイト								xxxx xxxx	uuuu uuuu
16h	PWMRH	PWM レジスタ上位バイト								xxxx xxxx	uuuu uuuu
17h	-	未実装								-	-
18h	-	未実装								-	-
19h	OVCCON	OVC7	OVC6	OVC5	OVC4	OVC3	OVC2	OVC1	OVC0	0000 0000	0000 0000
1Ah	OVFCON	VOUTON	-	-	OVF4	OVF3	OVF2	OVF1	OVF0	0--0 0000	0--0 0000
1Bh	OSCTUNE	-	-	-	TUN4	TUN3	TUN2	TUN1	TUN0	---0 0000	---0 0000
1Ch	ADRESL	右シフトした結果の下位 8 ビット								xxxx xxxx	uuuu uuuu
1Dh	ADRESH	右シフトした結果の上位 2 ビット								---- --xx	uuuu uuuu
1Eh	ADCON0	-	CHS4	CHS3	CHS2	CHS1	CHS0	$\overline{GO/DONE}$	ADON	-000 0000	-000 0000
1Fh	ADCON1	-	ADCS2	ADCS1	ADCS0	-	-	-	-	-000 ----	-000 ----

- 凡例: - = 未実装、「0」として読み出し、u = 変化なし、x = 未知、q = 条件による、網掛け = 未実装
- Note
- 1: パワーアップ以外のリセットには、通常動作中の MCLR リセットやウォッチドッグ タイマリセットがあります。
 - 2: IRP と RP1 ビットは予約済みです。これらのビットは常にクリア状態を保ってください。
 - 3: MCLR および WDT リセットはデータラッチが保持している値には影響を与えません。IOCF ビットはリセットによってクリアされますが、不一致が検出されると再度セットされます。

MCP19111

表 11-3: MCP19111 特殊レジスタのまとめ (バンク 1)

アドレス	レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR リセット時 の値	その他全ての リセット 時の値 ⁽¹⁾
バンク 1											
80h	INDF	この位置をアドレス指定すると、FSR の内容によってデータメモリのアドレスが指定されます (物理レジスタではありません)。								xxxx xxxx	uuuu uuuu
81h	OPTION_REG	RAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
82h	PCL	プログラムカウンタ (PC) の下位バイト								0000 0000	0000 0000
83h	STATUS	IRP ⁽²⁾	RP1 ⁽²⁾	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	000q quuu
84h	FSR	データメモリの間接アドレスポインタ								xxxx xxxx	uuuu uuuu
85h	TRISGPA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	1111 1111	1111 1111
86h	TRISGPB	TRISB7	TRISB6	TRISB5	TRISB4	-	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
87h	PIE1	-	ADIE	BCLIE	SSPIE	-	-	TMR2IE	TMR1IE	-000 --00	-000 --00
88h	PIE2	UVIE	-	OCIE	OVIE	-	-	VINIE	DCERIE	0-00 --00	0-00 --00
89h	APFCON	-	-	-	-	-	-	-	CLKSEL	---- --0	---- --0
8Ah	PCLATH	-	-	-	プログラムカウンタ上位 5 ビットの書き込みバッファ					---0 0000	---0 0000
8Bh	INTCON	GIE	PEIE	TOIE	INTE	IOCE	TOIF	INTF	IOCF ⁽⁴⁾	0000 000x	0000 000u
8Ch	-	未実装								-	-
8Dh	-	未実装								-	-
8Eh	-	未実装								-	-
8Fh	-	未実装								-	-
90h	VINLVL	UVLOEN	-	UVLO5	UVLO4	UVLO3	UVLO2	UVLO1	UVLO0	0-xx xxxx	0-uu uuuu
91h	OCCON	OCEN	OCLEB1	OCLEB0	OOC4	OOC3	OOC2	OOC1	OOC0	0xxx xxxx	0uuu uuuu
92h	-	-	-	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	--xx xxxx	--uu uuuu
93h	CSGSCON	-	予約済み	予約済み	予約済み	CSGS3	CSGS2	CSGS1	CSGS0	-xxx xxxx	-uuu uuuu
94h	-	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	xxxx xxxx	uuuu uuuu
95h	CSDGCON	CSDGEN	-	-	-	予約済み	CSDG2	CSDG1	CSDG0	0--- xxxx	0--- uuuu
96h	-	-	-	-	-	予約済み	予約済み	予約済み	予約済み	---- xxxx	---- uuuu
97h	VZCCON	VZC7	VZC6	VZC5	VZC4	VZC3	VZC2	VZC1	VZC0	xxxx xxxx	uuuu uuuu
98h	CMPZCON	CMPZF3	CMPZF2	CMPZF1	CMPZF0	CMPZG3	CMPZG2	CMPZG1	CMPZG0	xxxx xxxx	uuuu uuuu
99h	OUVCON	OUV7	OUV6	OUV5	OUV4	OUV3	OUV2	OUV1	OUV0	xxxx xxxx	uuuu uuuu
9Ah	OOVCON	OOV7	OOV6	OOV5	OOV4	OOV3	OOV2	OOV1	OOV0	xxxx xxxx	uuuu uuuu
9Bh	DEADCON	HDLY3	HDLY2	HDLY1	HDLY0	LDLY3	LDLY2	LDLY1	LDLY0	xxxx xxxx	uuuu uuuu
9Ch	SLPCRCON	SLPG3	SLPG2	SLPG1	SLPG0	SLPS3	SLPS2	SLPS1	SLPS0	xxxx xxxx	uuuu uuuu
9Dh	SLVGNCON	-	-	-	SLVGN4	SLVGN3	SLVGN2	SLVGN1	SLVGN0	---x xxxx	---u uuuu
9Eh	RELEFF	MSDONE	RE6	RE5	RE4	RE3	RE2	RE1	RE0	0000 0000	0000 0000
9Fh	-	未実装								-	-

- 凡例: - = 未実装、「0」として読み出し、u = 変化なし、x = 未知、q = 条件による、網掛け = 未実装
- Note
- 1: パワーアップ以外のリセットには、通常動作中の \overline{MCLR} リセットやウォッチドッグタイマリセットがあります。
 - 2: IRP と RP1 ビットは予約済みです。これらのビットは常にクリア状態を保ってください。
 - 3: RA3 のプルアップは、コンフィグレーションワードでこのピンを \overline{MCLR} として設定した場合に有効になります。
 - 4: \overline{MCLR} および WDT リセットはデータラッチが保持している値には影響を与えません。IOCF ビットはリセットによってクリアされますが、不一致が検出されると再度セットされます。

表 11-4: MCP19111 特殊レジスタのまとめ (バンク 2)

アドレス	レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR リセット時 の値	その他全ての リセット 時の値 ⁽¹⁾	
バンク 2												
100h	INDF	この位置をアドレス指定すると、FSR の内容によってデータメモリのアドレスが指定されます (物理レジスタではありません)。								xxxx xxxx	xxxx xxxx	
101h	TMR0	Timer0 モジュールのレジスタ								xxxx xxxx	uuuu uuuu	
102h	PCL	プログラム カウンタ (PC) の下位バイト								0000 0000	0000 0000	
103h	STATUS	IRP ⁽²⁾	RP1 ⁽²⁾	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	000q quuu	
104h	FSR	データメモリの間接アドレスポインタ								xxxx xxxx	uuuu uuuu	
105h	WPUGPA	-	-	WPUA5	-	WPUA3	WPUA2	WPUA1	WPUA0	--1- 1111	--u- uuuu	
106h	WPUGPB	WPUB7	WPUB6	WPUB5	WPUB4	-	WPUB2	WPUB1	-	1111 -11-	uuuu -uu-	
107h	PE1	DECON	DVRSTR	HDLYBY	LDLYBY	PDEN	PUEN	UVTEE	OVTEE	0000 1100	0000 1100	
108h	BUFFCON	MLTPH2	MLTPH1	MLTPH0	ASEL4	ASEL3	ASEL2	ASEL1	ASEL0	0000 0000	0000 0000	
109h	ABECON	OVDCCEN	UVDCEN	MEASEN	SLCPBY	CRTMEN	TMPSEN	RECIREN	PATHEN	0000 0000	0000 0000	
10Ah	PCLATH	-	-	-	プログラム カウンタ上位 5 ビットの書き込みバッファ					---0 0000	---0 0000	
10Bh	INTCON	GIE	PEIE	TOIE	INTE	IOCE	TOIF	INTF	IOCF ⁽³⁾	0000 000x	0000 000u	
10Ch	-	未実装								-	-	
10Dh	-	未実装								-	-	
10Eh	-	未実装								-	-	
10Fh	-	未実装								-	-	
110h	SSPADD	ADD<7:0>								0000 0000	0000 0000	
111h	SSPBUF	同期シリアルポート受信 / 送信バッファレジスタ								xxxx xxxx	uuuu uuuu	
112h	SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM>3:0>					0000 0000	0000 0000
113h	SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	0000 0000	
114h	SSPCON3	ACKTIM	PCIE	SCIE	BOEN	SDAHT	SBCDE	AHEN	DHEN	0000 0000	0000 0000	
115h	SSPMSK	MSK<7:0>								1111 1111	1111 1111	
116h	SSPSTAT	SMP	CKE	D/\overline{A}	P	S	R/\overline{W}	UA	BF	-	-	
117h	SSPADD2	ADD2<7:0>								0000 0000	0000 0000	
118h	SSPMSK2	MSK2<7:0>								1111 1111	1111 1111	
119h	-	未実装								-	-	
11Ah	-	未実装								-	-	
11Bh	-	未実装								-	-	
11Ch	-	未実装								-	-	
11Dh	-	未実装								-	-	
11Eh	-	未実装								-	-	
11Fh	-	未実装								-	-	

- 凡例:** - = 未実装、「0」として読み出し、u = 変化なし、x = 未知、q = 条件による、網掛け = 未実装
- Note**
- 1: パワーアップ以外のリセットには、通常動作中の MCLR リセットやウォッチドッグ タイマリセットがあります。
 - 2: IRP と RP1 ビットは予約済みです。これらのビットは常にクリア状態を保ってください。
 - 3: MCLR および WDT リセットはデータラッチが保持している値には影響を与えません。IOCF ビットはリセットによってクリアされますが、不一致が検出されると再度セットされます。

MCP19111

表 11-5: MCP19111 特殊レジスタのまとめ (バンク 3)

アドレス	レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR リセット時 の値	その他全ての リセット 時の値 ⁽¹⁾	
バンク 3												
180h	INDF	この位置をアドレス指定すると、FSR の内容によってデータメモリのアドレスが指定されます (物理レジスタではありません)。								xxxx xxxx	uuuu uuuu	
181h	OPTION_REG	RP0	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111	
182h	PCL	プログラムカウンタ (PC) の下位バイト								0000 0000	0000 0000	
183h	STATUS	IRP ⁽²⁾	RP1 ⁽²⁾	RP0	T0	PD	Z	DC	C	0001 1xxx	000q quuu	
184h	FSR	データメモリの間接アドレスポインタ								xxxx xxxx	uuuu uuuu	
185h	IOCA	IOCA7	IOCA6	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	0000 0000	0000 0000	
186h	IOCB	IOCB7	IOCB6	IOCB5	IOCB4	-	IOCB2	IOCB1	IOCB0	0000 -000	0000 -000	
187h	ANSELA	-	-	-	-	ANSA3	ANSA2	ANSA1	ANSA0	---- 1111	---- 1111	
188h	ANSELB	-	-	ANSB5	ANSB4	-	ANSB2	ANSB1	-	--11 -11-	--11 -11-	
189h	-	未実装								-	-	
18Ah	PCLATH	-	-	-	プログラムカウンタ上位 5 ビットの書き込みバッファ				---	0000	---	0000
18Bh	INTCON	GIE	PEIE	T0IE	INTE	IOCE	T0IF	INTF	IOCF ⁽⁴⁾	0000 000x	0000 000u	
18Ch	PORTICD ⁽⁵⁾	インサーキット デバッグ ポート レジスタ										
18Dh	TRISICD ⁽⁵⁾	インサーキット デバッグ TRIS レジスタ										
18Eh	ICKBUG ⁽⁵⁾	インサーキット デバッグ レジスタ								0---	----	
18Fh	BIGBUG ⁽⁵⁾	インサーキット デバッグ ブレークポイント レジスタ								----	----	
190h	PMCON1	-	CALSEL	-	-	-	WREN	WR	RD	-0-- -000	-0-- -000	
191h	PMCON2	プログラムメモリ制御レジスタ 2 (物理レジスタではありません)								----	----	
192h	PMADRL	PMADRL7	PMADRL6	PMADRL5	PMADRL4	PMADRL3	PMADRL2	PMADRL1	PMADRL0	0000 0000	0000 0000	
193h	PMADRH	-	-	-	-	-	PMADRH2	PMADRH1	PMADRH0	---- -000	---- -000	
194h	PMDATL	PMDATL7	PMDATL6	PMDATL5	PMDATL4	PMDATL3	PMDATL2	PMDATL1	PMDATL0	0000 0000	0000 0000	
195h	PMDATH	-	-	PMDATH5	PMDATH4	PMDATH3	PMDATH2	PMDATH1	PMDATH0	--00 0000	--00 0000	
196h	-	未実装								-	-	
197h	-	未実装								-	-	
198h	OSCCAL	-	FCALT6	FCALT5	FCALT4	FCALT3	FCALT2	FCALT1	FCALT0	xxxx xxxx	uuuu uuuu	
199h	DOVCAL	-	-	-	-	DOVT3	DOVT2	DOVT1	DOVT0	xxxx xxxx	uuuu uuuu	
19Ah	TTACAL	-	-	-	-	TTA3	TTA2	TTA1	TTA0	xxxx xxxx	uuuu uuuu	
19Bh	BGRCAL	予約済み	予約済み	予約済み	予約済み	BGRT3	BGRT2	BGRT1	BGRT0	xxxx xxxx	uuuu uuuu	
19Ch	VROCAL	-	-	-	-	VROT3	VROT2	VROT1	VROT0	xxxx xxxx	uuuu uuuu	
19Dh	ZROCAL	-	-	-	-	ZROT3	ZROT2	ZROT1	ZROT0	xxxx xxxx	uuuu uuuu	
19Eh	-	未実装								-	-	
19Fh	ATSTCON	-	-	-	-	HIDIS	LODIS	BNCHEN	DRVDIS	1--0 0001	1--0 0001	

凡例:

- = 未実装、「0」として読み出し、u = 変化なし、x = 未知、q = 条件による、網掛け = 未実装
- Note** 1: パワーアップ以外のリセットには、通常動作中の MCLR リセットやウォッチドッグ タイマリセットがあります。
- 2: IRP と RP1 ビットは予約済みです。これらのビットは常にクリア状態を保ってください。
- 3: RA3 のプルアップは、コンフィグレーションワードでこのピンを MCLR として設定した場合に有効になります。
- 4: MCLR および WDT リセットはデータラッチが保持している値には影響を与えません。IOCF ビットはリセットによってクリアされますが、不一致が検出されると再度セットされます。
- 5: DBGEN = 0 かつ ICKBUG < INBUG > = 1 の場合のみアクセスできます。

11.3.0.1 OPTION レジスタ

OPTION レジスタは、以下を設定する各種制御ビットを含む読み書き可能なレジスタです。

- Timer0/WDT プリスケアラ
- 外部 GPA2/INT 割り込み
- Timer0
- PORTGPA と PORTGPB の弱プルアップ

Note 1: Timer0に1:1のプリスケアラを割り当てるには、OPTION レジスタの PSA ビットに「1」を設定して、WDT にプリスケアラを割り当てます。[セクション 23.1.3「ソフトウェアでプログラム可能なプリスケアラ」](#)を参照してください。

レジスタ 11-2: OPTION_REG: OPTION レジスタ (Note 1)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
$\overline{\text{RAPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **$\overline{\text{RAPU}}$** : PORT GPx プルアップ イネーブルビット
 1 = ポート GPx のプルアップを無効にする
 0 = ポート GPx のプルアップを有効にする
- bit 6 **INTEDG**: 割り込みエッジ選択ビット
 0 = INT ピンの立ち上がりエッジで割り込み
 1 = INT ピンの立ち下がりエッジで割り込み
- bit 5 **T0CE**: TMR0 クロック源選択ビット
 1 = T0CKI ピンの遷移
 0 = 内部命令サイクルクロック
- bit 4 **T0SE**: TMR0 ソースエッジ選択ビット
 1 = T0CKI ピンの High から Low への遷移時にインクリメントする
 0 = T0CKI ピンの Low から High への遷移時にインクリメントする
- bit 3 **PSA**: プリスケアラ割り当てビット
 1 = プリスケアラを WDT に割り当てる
 0 = プリスケアラを Timer0 モジュールに割り当てる
- bit 2-0 **PS<2:0>**: プリスケアラ比選択ビット

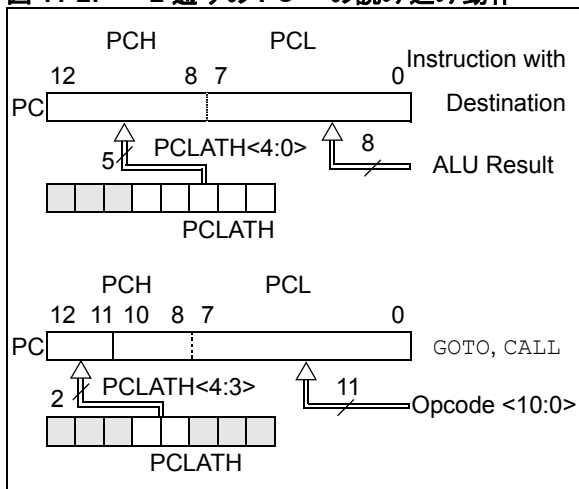
Bit Value	TMR0 Rate	WDT Rate
000	1: 2	1: 1
001	1: 4	1: 2
010	1: 8	1: 4
011	1: 16	1: 8
100	1: 32	1: 16
101	1: 64	1: 32
110	1: 128	1: 64
111	1: 256	1: 128

Note 1: 個々の WPUx ビットも有効にする必要があります。

11.4 PCL と PCLATH

プログラムカウンタ (PC) は 13 ビット幅です。下位バイトには、読み書き可能なレジスタである PCL レジスタの値が格納されます。上位バイト (PC<12:8>) には PCLATH の値が格納され、これらは直接読み書きできません。何らかのリセットが発生すると、PC はクリアされます。図 11-2 に、2 通りの PC 読み込み方法を示します。図 11-2 の上の例は、PCL への書き込みを実行した場合の PC への読み込み動作です (PCLATH<4:0> → PCH)。図 11-2 の下の例は、CALL または GOTO 命令を実行した場合の PC への読み込み動作です (PCLATH<4:3> → PCH)。

図 11-2: 2 通りの PC への読み込み動作



11.4.1 PCL の書き換え

PCL レジスタを格納先とする命令を実行すると、プログラムカウンタ PC<12:8> ビット (PCH) が PCLATH レジスタの内容で置換されます。このため、目的とする上位 5 ビットを PCLATH レジスタに書き込むだけで、プログラムカウンタの内容全体を変更できます。下位 8 ビットを PCL レジスタに書き込むと、プログラムカウンタの 13 ビット全てが PCLATH レジスタに格納された値と PCL レジスタに書き込む値に変更されます。

11.4.2 計算型 GOTO

計算型 GOTO は、プログラムカウンタにオフセットを加算する事によって実行されます (ADDWF PCL)。PCL レジスタを変更してルックアップテーブルまたはプログラム分岐テーブルにジャンプする (計算型 GOTO) 場合は注意が必要です。PCLATH にテーブルの開始アドレスを設定する場合を考えると、テーブル長が 255 命令を超えるか、メモリアドレスの下位 8 ビットがテーブルの途中で 0xFFh から 0X00h にロールオーバーする場合、テーブルの先頭とテーブル内の目標位置の間でアドレス ロールオーバーが発生するたびに PCLATH をインクリメントする必要があります。

詳細は、アプリケーションノート AN556『Implementing a Table Read』 (DS00556) を参照してください。

11.4.3 計算型関数呼び出し

計算型の関数 CALL を使うと、プログラムで関数テーブルを維持し、ステートマシンまたはルックアップテーブルを実行するもう 1 つの方法が得られます。計算型の関数 CALL を使ってテーブル読み出しを実行する場合、PCL のメモリ境界 (各 256 バイトブロック) を越えたテーブル位置へのアクセスには注意が必要です。

CALL 命令を使う場合、PCH<2:0> と PCL レジスタには CALL 命令のオペランドが読み込まれます。PCH<6:3> には PCLATH<6:3> が読み込まれます。

11.4.4 スタック

MCP19111 は、8 段 x 1 ビット幅のハードウェアスタックを装備しています (図 11-1 参照)。スタック空間は、プログラム空間とデータ空間のどちらにも属しません。また、スタックポインタは読み書き不可です。CALL 命令が実行された場合、または割り込みによって分岐が発生した場合、PC の値がスタックにプッシュされます。RETURN、RETLW、RETFIE 命令のいずれかが実行されると、スタックから値がポップされます。PCLATH はプッシュまたはポップ動作の影響を受けません。

スタックはリングバッファとして機能します。つまり、スタックが 8 回プッシュされると、9 回目にプッシュされた値は、1 回目のプッシュで格納された値を上書きします。10 回目のプッシュでは 2 回目のプッシュ値が上書きされます (以降同様)。

Note 1: スタックオーバーフローまたはスタックアンダーフロー条件を示すステータスビットは存在しません。

2: PUSH または POP と呼ばれる命令/ニーモニックはありません。これらは、CALL、RETURN、RETLW、RETFIE 命令の実行時、または割り込みアドレスへのベクタ処理時に発生する動作を指しています。

11.5 間接アドレス指定、INDF と FSR レジスタ

INDF レジスタは物理レジスタではありません。INDF レジスタのアドレスを指定すると、間接アドレス指定が実行されます。

間接アドレス指定は INDF レジスタによって可能です。INDF レジスタを使う全ての命令は、実際には FSR (ファイル選択レジスタ) が指すデータにアクセスします。INDF 自体を間接読み出した場合は 00h が返されます。INDF レジスタに直接書き込んで書き込み動作は発生しません (ただし、ステータスビットが変化する場合があります)。図 11-3 に示すように、8 ビットの FSR と STATUS レジスタの IRP ビットを連結する事で、実質 9 ビットのアドレスが得られます。

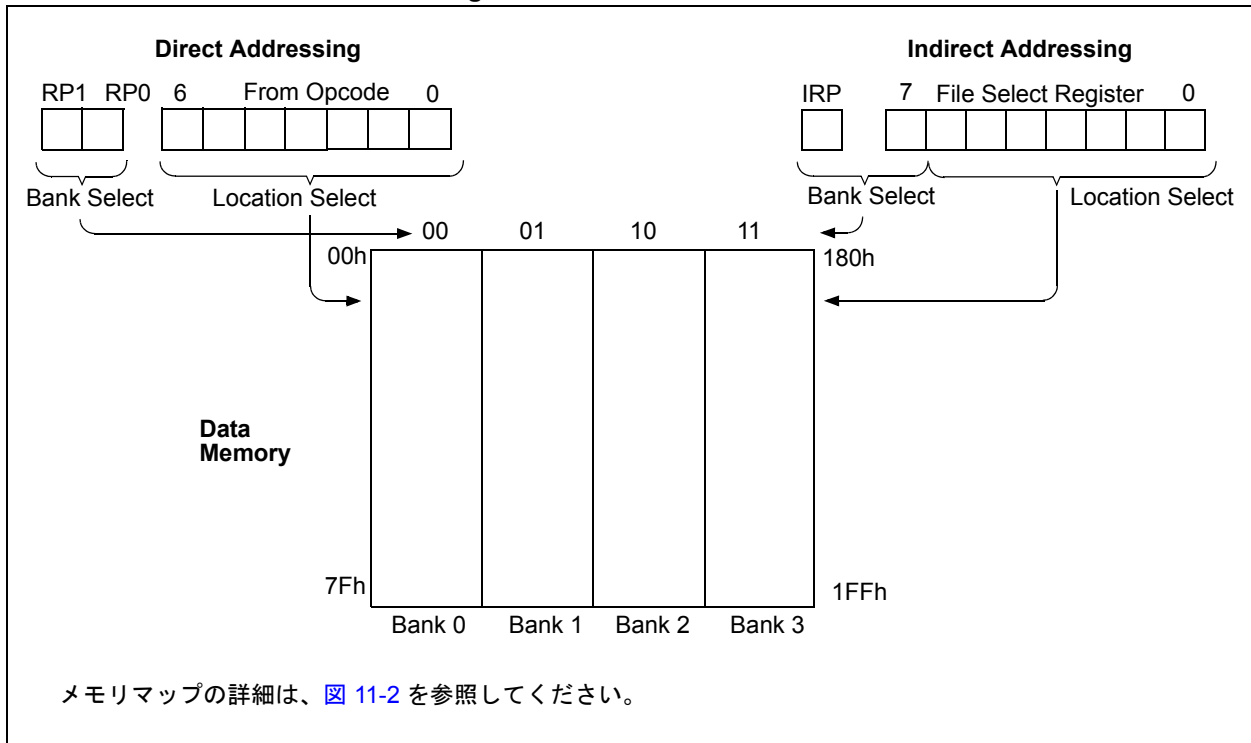
例 11-3 に、間接アドレス指定を用いて RAM 位置の 40h~7Fh をクリアする簡単なプログラムを示します。

例 11-3: 間接アドレス指定

```

MOVLW 0x40 ;initialize pointer
MOVWF FSR ;to RAM
NEXT CLR F INDF ;clear INDF register
      INC F FSR ;inc pointer
      BTFS FSR,7 ;all done?
      GOTO NEXT ;no clear next
CONTINUE ;yes continue
    
```

図 11-3: Direct/Indirect Addressing



MCP19111

NOTE:

12.0 デバイス コンフィグレーション

デバイス コンフィグレーションは、コンフィグレーションワード、コード保護、デバイス ID から構成されます。

Note: コンフィグレーションワードの DBGEN ビットは、デバッガやプログラマ等のデバイス開発ツールによって自動的に管理されます。デバイスの通常動作中は、このビットを「1」に保つ必要があります。

12.1 コンフィグレーションワード

複数のコンフィグレーションワードビットによって、各種タイマの有効化とメモリ保護オプションの選択ができます。これらはコンフィグレーションワードとして 2007h に実装されます。

レジスタ 12-1: CONFIG - コンフィグレーションワードレジスタ

R/P-1	U-1	R/P-1	R/P-1	U-1	U-1
DBGEN	-	WRT1	WRT0	-	-
bit 13			bit 8		

U-1	R/P-1	R/P-1	R/P-1	R/P-1	U-1	U-1	U-1
-	CP	MCLR	PWRT	WDTE	-	-	-
bit 7			bit 0				

凡例:

R = 読み出し可能ビット	P = プログラミング可能ビット	U = 未実装ビット、「0」として読み出し
-n = POR 時の値	「1」= ビットはセット	「0」= ビットはクリア x = ビットは未知

- bit 13 **DBGEN:** ICD デバッグビット
1 = ICD デバッグモードを無効にする
0 = ICD デバッグモードを有効にする
- bit 12 **未実装:** 「1」として読み出し
- bit 11-10 **WRT<1:0>:** フラッシュ プログラム メモリ自己書き込みイネーブルビット
11 = 書き込み保護を OFF にする
10 = 000h ~ 3FFh を書き込み保護し、400h ~ FFFh を PMCON1 制御によって変更可能にする
01 = 000h ~ 7FFh を書き込み保護し、800h ~ FFFh を PMCON1 制御によって変更可能にする
00 = 000h ~ FFFh を書き込み保護し、全プログラムメモリを書き込み保護する
- bit 9-7 **未実装:** 「1」として読み出し
- bit 6 **CP:** コード保護
1 = プログラムメモリのコード保護を無効にする
0 = プログラムメモリのコード保護を有効にする
- bit 5 **MCLR:** MCLR ピン機能選択
1 = MCLR ピンに MCLR 機能を割り当て、内部弱プルアップを有効にする
0 = MCLR ピンに代替機能を割り当て、MCLR 機能は内部で無効にする
- bit 4 **PWRT:** パワーアップ タイマ イネーブルビット⁽¹⁾
1 = PWRT を無効にする
0 = PWRT を有効にする
- bit 3 **WDTE:** ウォッチドッグ タイマ イネーブルビット
1 = WDT を有効にする
0 = WDT を無効にする
- bit 2-0 **未実装:** 「1」として読み出し

Note 1: ビットは予約済みでありユーザは制御できません。

MCP19111

12.2 コード保護

コード保護を使うと、不正なアクセスからデバイスを保護できます。プログラムメモリへの内部アクセスは、コード保護のいかなる設定の影響も受けません。

12.2.1 プログラムメモリ保護

コンフィグレーションワードの \overline{CP} ビットによって、プログラムメモリ空間全体が外部の読み書きから保護されます。 $\overline{CP} = 0$ の場合、プログラムメモリに対する外部の読み書きが禁止され、読み出し動作には全て「0」が返されます。保護ビットの設定に関わらず、CPU は常にプログラムメモリを読み出す事ができます。プログラムメモリへの書き込みの可否は、書き込み保護設定で決まります。詳細は、[セクション 12.3「書き込み保護」](#)を参照してください。

12.3 書き込み保護

書き込み保護によって、意図しない自己書き込みからデバイスを保護できます。ブートローダ ソフトウェア等のアプリケーションを保護する一方、プログラムメモリの他の部分に対する変更を許可する事ができます。

コンフィグレーションワードの $WRT<1:0>$ ビットによって、保護するプログラムメモリブロックのサイズを定義します。

12.4 ID ロケーション

ユーザがチェックサムまたはその他のコード識別番号を格納できる ID ロケーションとして、4 つのメモリ位置 (2000h ~ 2003h) が指定されています。通常動作中はこれらの位置にアクセスできませんが、プログラム/ベリファイモードでは読み書き可能です。MPLAB 統合開発環境 (IDE) では、ID ロケーションの下位 7 ビットだけが報告されます。

12.5 デバイス ID とリビジョン ID

メモリ位置 2006h は、デバイス ID とリビジョン ID を格納しています。上位 9 ビットはデバイス ID を、下位 5 ビットはリビジョン ID を格納しています。

デバイス ID とリビジョン ID の読み出しには、デバイス プログラマやデバッグ等の開発ツールを使います。

レジスタ 12-2: DEVICEID: デバイス ID レジスタ (1)

R	R	R	R	R	R
DEV<8:3>					
bit 13				bit 8	

R	R	R	R	R	R	R	R
DEV<2:0>				REV<4:0>			
bit 7				bit 0			

凡例:

R = 読み出し可能ビット	P = プログラミング可能ビット	U = 未実装ビット、「0」として読み出し	
-n = POR 時の値	「1」= ビットはセット	「0」= ビットはクリア	x = ビットは未知

bit 13-5 **DEV<8:0>**: デバイス ID ビット

デバイス	DEVICEID<13:0> の値	
	DEV<8:0>	REV<4:0>
MCP19111	10 1111 100	x xxxxx

bit 4-0 **REV<4:0>**: リビジョン ID ビット
デバイスのリビジョンを示します。

Note 1: この位置には書き込む事ができません。

13.0 オシレータモード

MCP19111 のオシレータ設定は、8 MHz 内部オシレータの 1 種類だけです。

13.1 内部オシレータ (INTOSC)

内部オシレータ モジュールは 8 MHz のシステムクロック源を提供します。内部オシレータの周波数は、OSCTUNE レジスタの校正値によってトリミングできます。

13.2 オシレータの校正

8 MHz の内部オシレータは工場では校正済みです。工場での校正値は読み出し専用の校正ワード 1 レジスタに格納されています。これらの値を校正ワード 1 レジスタから読み出し、OSCCAL レジスタに保存する必要があります。プログラムメモリからの読み出し手順は、[セクション 18.0「フラッシュ プログラムメモリ制御」](#)を参照してください。

Note 1: 内部オシレータを校正するには、校正ワード 1 レジスタの FCAL<6:0> ビットを OSCCAL レジスタに書き込む必要があります。

13.3 ユーザモードでの周波数調整

ベース周波数は、工場における校正に加えてユーザアプリケーションでも調整できます。この周波数調整機能によって、ユーザは工場で校正された周波数とは異なる値を設定できます。周波数を調整するには OSCTUNE レジスタ ([レジスタ 13-1 参照](#)) に書き込みます。

レジスタ 13-1: OSCTUNE – オシレータ調整レジスタ

U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
-	-	-	TUN4	TUN3	TUN2	TUN1	TUN0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-5 **未実装:** 「0」として読み出し

bit 4-0 **TUN<4:0>:** 周波数調整ビット

01111 = 最大周波数

01110 =

•

•

•

00001 =

00000 = 中心周波数、オシレータ モジュールは工場では校正された周波数で動作する。

11111 =

•

•

•

10000 = 最小周波数

MCP19111

13.3.1 電源投入時、復帰時、ベース周波数変更時のオシレータ遅延

OSCTUNE レジスタを使って内部オシレータの周波数をシフトさせるアプリケーションでは、内部オシレータの周波数がただちに安定しません。この場合、周波数は新しい値へ徐々にシフトします。この周波数シフトに要する時間は、ベース周波数の 8 サイクル未満です。

電源投入時にパワーアップ タイマが有効な場合、これがタイムアウトするまでデバイスがリセット状態に保持されます。

スリープからの復帰または POR の後は、メモリバイアスが安定してプログラム実行を開始できるようになるまでの時間を確保するために、~ 10 μ s の内部遅延が適用されます。

表 13-1: クロック源に関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ内容記載ページ
OSCTUNE	-	-	-	TUN4	TUN3	TUN2	TUN1	TUN0	81

凡例: - = 未実装、「0」として読み出し。網掛けの部分はクロック源では使いません。

表 13-2: クロック源に関連する校正ワードのまとめ

レジスタ名	Bit	Bit -/7	Bit -/6	Bit 13/5	Bit 12/4	Bit 11/3	Bit 10/2	Bit 9/1	Bit 8/0	レジスタ内容記載ページ
CALWD1	13:8	-	-	-	-	DOV3	DOV2	DOV1	DOV0	57
	7:0	-	FCAL6	FCAL5	FCAL4	FCAL3	FCAL2	FCAL1	FCAL0	

凡例: - = 未実装、「0」として読み出し。網掛けの部分はクロック源では使いません。

14.0 リセット

リセットロジックは、MCP19111 を既知の状態に移行させるために使います。リセット要因はデバイスのステータスビットによって判断できます。

このデバイスは以下の方法でリセットできます。

- パワーオン リセット (POR)
- 過熱リセット (OT)
- MCLR リセット
- WDT リセット

V_{DD} を安定させるために、必要に応じて POR イベント後のリセット時間を延長するパワーアップ タイマを有効にする事もできます。

一部のレジスタはいかなるリセット条件にも影響されません (POR 時の状態は未知、POR 以外の全てのリセットでは状態が変化しない)。その他のレジスタのほとんどは以下の場合に「リセット状態」へと移行します。

- パワーオン リセット
- MCLR リセット
- スリープ中の MCLR リセット
- WDT リセット

WDT 復帰と WDT リセットではレジスタのリセット方法が異なります。復帰は通常動作の再開と見なされるためです。TO ビットと PD ビットは、表 14-2 に示す通り、各種リセット状況に応じて個別にセット/クリアされます。これらのビットを使うと、ソフトウェアでリセットの種類を判定できます。全レジスタのリセット状態に関する詳細は表 14-2 を参照してください。

図 14-1 に、内蔵リセット回路の概略ブロック図を示します。

MCLR リセットパスにはノイズフィルタがあり、小さなパルスは無視されます。パルス幅の仕様は、[セクション 5.0 「デジタル電氣的特性」](#) を参照してください。

図 14-1: 内蔵リセット回路の概略ブロック図

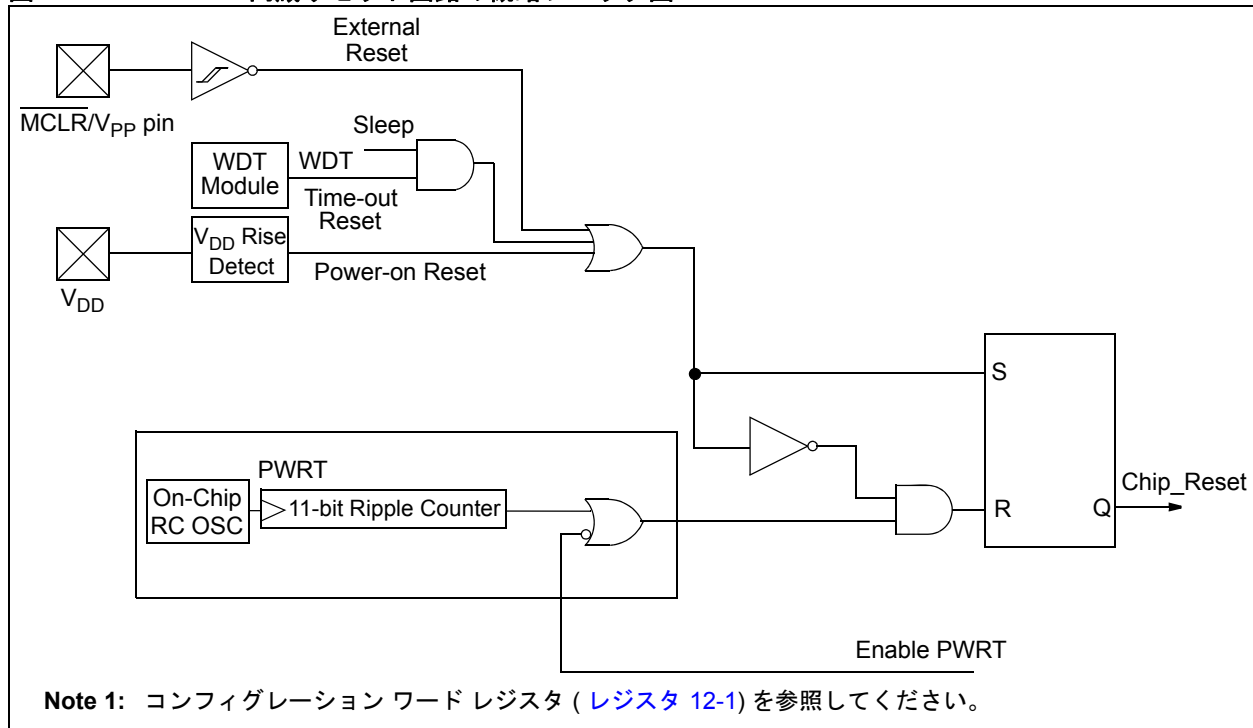


表 14-1: 各種状態におけるタイムアウト

電源投入		スリープからの 復帰
PWRTE = 0	PWRTE = 1	
T_{PWRT}	-	-

MCP19111

表 14-2: ステータス /PCON ビットとその意味

POR	\overline{TO}	\overline{PD}	条件
0	1	1	パワーオン リセット
u	0	u	WDT リセット
u	0	0	WDT 復帰
u	u	u	通常動作中の \overline{MCLR} リセット
u	1	0	スリープ中の \overline{MCLR} リセット

凡例: u = 不変、x = 未知

14.1 パワーオン リセット (POR)

V_{DD} が適切な動作に十分な電圧に達するまで、内蔵 POR 回路はチップをリセット状態に保持します。POR は抵抗を介して \overline{MCLR} ピンを V_{DD} に接続するだけで利用できます。このため、外付けの RC 部品を使わずにパワーオン リセット回路を構築できます。

Note: V_{DD} が低下した場合、POR 回路は内部リセットを生成しません。POR を再度有効にするには、 V_{DD} を V_{SS} まで低下させ、最低 100 μ s はその状態を維持する必要があります。

デバイスがリセット状態を終了して通常動作を開始する際、デバイスの動作パラメータ (電圧、周波数、温度等) は正常動作の要件を満たす必要があります。これらの条件を満たさない場合、動作条件が満たされるまでデバイスをリセット状態に維持する必要があります。

14.2 \overline{MCLR}

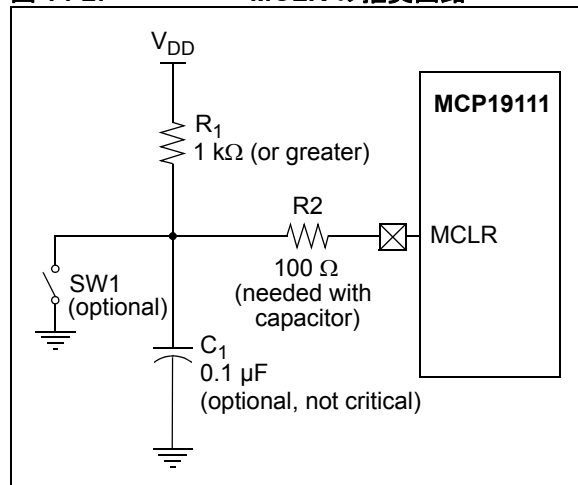
MCP19111 の \overline{MCLR} リセットパスにはノイズフィルタがあります。このフィルタによって、小さなパルスは無視されます。

WDT リセットは \overline{MCLR} ピンを Low に駆動しない事に注意が必要です。

仕様を超える電圧を \overline{MCLR} ピンに印加すると、 \overline{MCLR} リセットが発生すると同時に、ESD イベント中にデバイス仕様を超える過剰な電流が流れる可能性があります。そのため、マイクロチップ社は現在 \overline{MCLR} ピンの V_{DD} 直結を推奨していません。図 14-2 に示すような RC ネットワークの使用を推奨しています。

内部 \overline{MCLR} のオプションは、コンフィグレーションワードレジスタの MCLRE ビットをクリアすると有効になります。MCLRE = 0 の場合、チップに対するリセット信号は内部で生成されます。MCLRE = 1 の場合、 \overline{MCLR} ピンが外部リセット入力として機能します。このモードでは、 \overline{MCLR} ピンに V_{DD} への弱プルアップが適用されます。

図 14-2: \overline{MCLR} の推奨回路



14.3 パワーアップ タイマ (PWRT)

パワーアップ タイマは、電源投入時のみ POR リセットから 64 ms (公称) 固定のタイムアウトを提供します。パワーアップ タイマは内部 RC オシレータによって動作します。PWRT がアクティブである限り、チップはリセット状態に維持されます。PWRT 遅延によって V_{DD} は許容レベルまで立ち上がる事ができます。コンフィグレーション ビット (PWRT \overline{E}) によってパワーアップ タイマを無効 (セット時) または有効 (クリア時またはプログラム時) に設定できます。

以下の要因によって、パワーアップ タイマの遅延はチップごとにばらつきがあります。

- V_{DD} の変動
- 温度の変動
- プロセスの変更

Note: \overline{MCLR} ピンに V_{SS} を下回る電圧スパイクが印加されて 80 mA を超える電流が生じると、ラッチアップが発生する場合があります。このため、 \overline{MCLR} ピンに「Low」レベルを印加する場合は V_{SS} に直接プルダウンせず、50 ~ 100 Ω の直列抵抗を挿入します。

14.4 ウォッチドッグ タイマ (WDT) リセット

ウォッチドッグ タイマは、タイムアウト期間内にファームウェアが \overline{CLRWDT} 命令を発行しなかった場合にリセットを生成します。STATUS レジスタの \overline{TO} ビットと PD ビットの変化が WDT リセットを示します。詳細は、[セクション 17.0「ウォッチドッグ タイマ \(WDT\)」](#) を参照してください。

14.5 パワーアップ タイマ

必要に応じてパワーアップ タイマを使い、POR イベント後のデバイス実行を遅延させる事ができます。このタイマは通常、デバイスが動作を開始する前に V_{DD} を安定化させるために使います。

パワーアップ タイマはコンフィグレーション ワードの PWRT \overline{E} ビットによって制御します。

14.6 起動シーケンス

POR の解除後にデバイスが実行を開始するには、以下の条件が満たされる必要があります。

- パワーアップ タイマのカウンタ終了 (有効な場合)
- オシレータ起動タイマのカウンタ終了
- \overline{MCLR} の解除 (有効な場合)

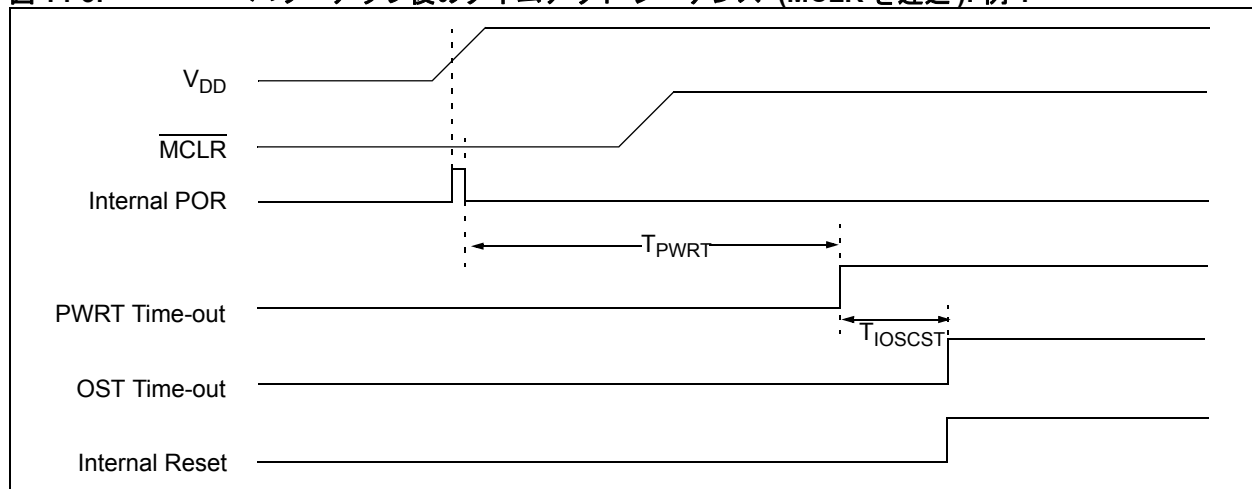
タイムアウトの合計時間は、PWRT \overline{E} ビットの状態によって異なります。例えば、PWRT \overline{E} ビットがクリア (PWRT 無効) の場合、タイムアウトは一切発生しません。[図 14-3](#)、[14-4](#)、[14-5](#) にタイムアウトシーケンスを示します。

タイムアウトは POR パルスを起点にカウントするため、 \overline{MCLR} を長時間 Low に保持すると、PWRT が先にタイムアウトします。その後 \overline{MCLR} を High にすると、ただちに実行が開始します ([図 14-4](#) 参照)。この方法は、テスト時や並列に動作する複数の MCP19111 を同期させる場合に便利です。

14.6.1 電源制御 (PCON) レジスタ

電源制御レジスタ PCON (アドレス 8Eh) には、直近のリセットタイプを示す 2 つのステータスビットがあります。

図 14-3: パワーアップ後のタイムアウトシーケンス (\overline{MCLR} を遅延): 例 1



MCP19111

図 14-4: パワーアップ後のタイムアウトシーケンス ($\overline{\text{MCLR}}$ を遅延): 例 2

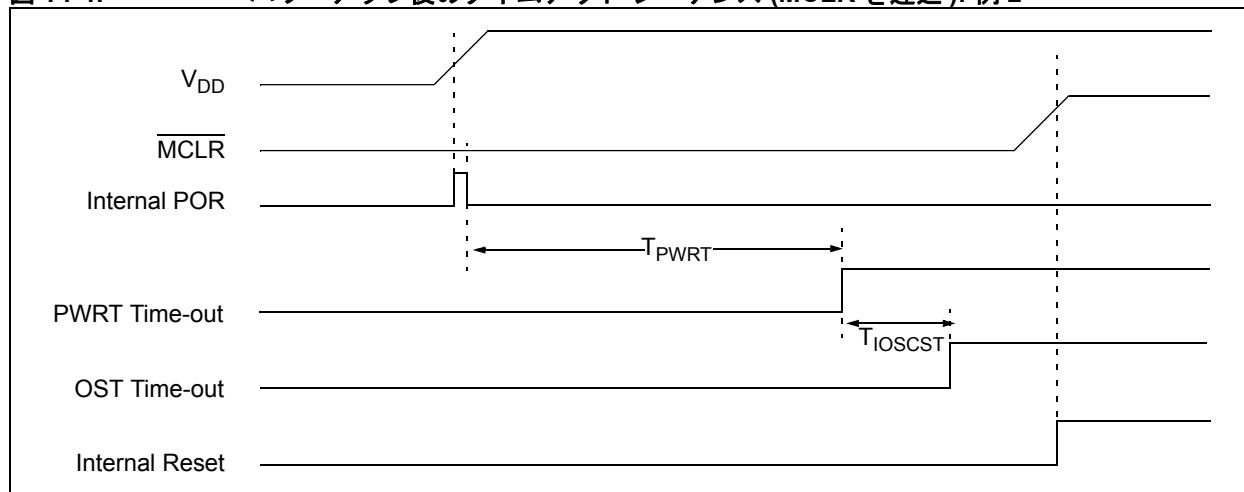


図 14-5: パワーアップ後のタイムアウトシーケンス ($\overline{\text{MCLR}}$ と V_{DD} 同期)

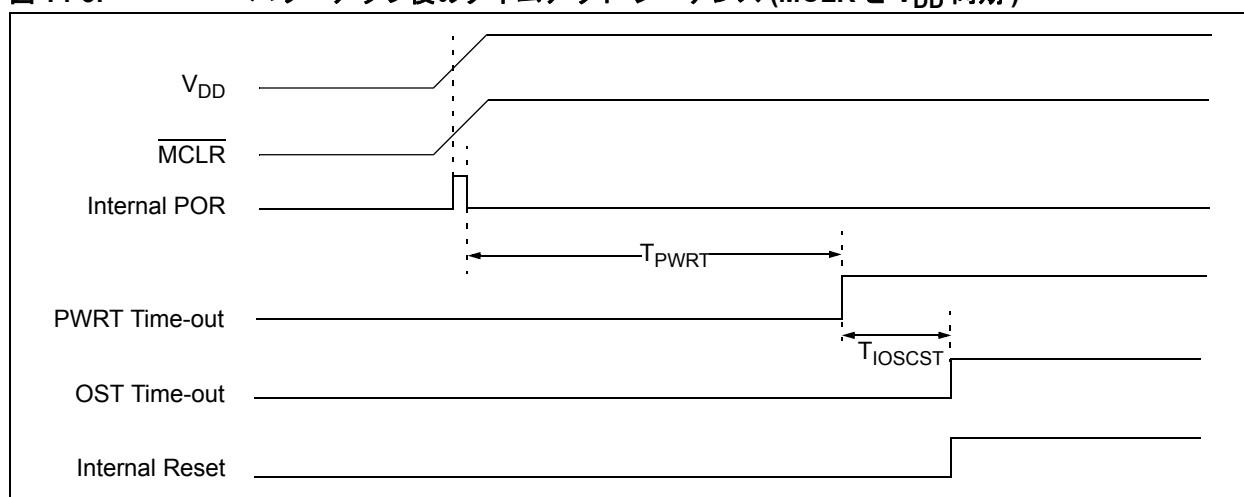


表 14-3: レジスタの初期値

レジスタ	アドレス	パワーオン リセット	MCLR リセット WDT リセット	割り込みによる スリープからの復帰 WDT タイムアウトによる スリープからの復帰
W	-	xxxx xxxx	uuuu uuuu	uuuu uuuu
INDF	00h/80h/ 100h/180h	xxxx xxxx	xxxx xxxx	uuuu uuuu
TMR0	01h/101h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	02h/82h/ 102h/182h	0000 0000	0000 0000	PC + 1 ⁽³⁾
STATUS	03h/83h/ 103h/183h	0001 1xxx	000q quuu ⁽⁴⁾	uuuq quuu ⁽⁴⁾
FSR	04h/84h/ 104h/184h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTGPA	05h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTGPB	06h	xxx- xxxx	uuu- uuuu	uuu- uuuu
PIR1	07h	-000 --00	-000 --00	-uuu --uu
PIR2	08h	0-00 --00	0-00 --00	u-uu --uu
PCON	09h	---- -qq-	---- -uu-	---- -uu-
PCLATH	0Ah/8Ah/ 10Ah/18Ah	---0 0000	---0 0000	---u uuuu
INTCON	0Bh/8Bh/ 10Bh/18Bh	0000 000x	0000 000u	uuuu uuuu ⁽²⁾
TMR1L	0Ch	xxxx xxxx	uuuu uuuu	uuuu uuuu
TMR1H	0Dh	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1CON	0Eh	--00 --00	--uu --uu	--uu --uu
TMR2	0Fh	0000 0000	uuuu uuuu	uuuu uuuu
T2CON	10h	---- -000	---- -000	---- -uuu
PR2	11h	1111 1111	1111 1111	uuuu uuuu
PWMPHL	13h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWMPHH	14h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWMRL	15h	xxxx xxxx	uuuu uuuu	uuuu uuuu
PWMRH	16h	xxxx xxxx	uuuu uuuu	uuuu uuuu
OVCCON	19h	0000 0000	0000 0000	uuuu uuuu
OVFCON	1Ah	0--0 0000	0--0 0000	u--u uuuu
OSCTUNE	1Bh	---0 0000	---0 0000	---u uuuu
ADRESL ⁽¹⁾	1Ch	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADRESH ⁽¹⁾	1Dh	---- --xx	---- --uu	---- --uu
ADCON0 ⁽¹⁾	1Eh	-000 0000	-000 0000	-uuu uuuu
ADCON1 ⁽¹⁾	1Fh	-000 ----	-000 ----	-uuu ----
OPTION_REG	81h/181h	1111 1111	1111 1111	uuuu uuuu
TRISGPA	85h	1111 1111	1111 1111	uuuu uuuu
TRISGPB	86h	1111 1111	1111 1111	uuuu uuuu

凡例: u = 不変、x = 未知、- = 未実装ビット、「0」として読み出し、q = 条件による

Note 1: V_{DD} の低下が著しいとパワーオンリセットが発生し、レジスタごとに異なる影響を受けます。

2: INTCON と PIRx(またはどちらか一方) の 1 つまたは複数のビットが影響を受けます (復帰するため) 。

3: 割り込みによって復帰し、GIE ビットがセットされている場合、PC には割り込みベクタ (0004h) が読み込まれます。

4: 各条件下でのリセット値は、表 14-5 を参照してください。

MCP19111

表 14-3: レジスタの初期値 (続き)

レジスタ	アドレス	パワーオン リセット	MCLR リセット WDT リセット	割り込みによる スリープからの復帰 WDT タイムアウトによる スリープからの復帰 (続き)
PIE1	87h	-000 --00	-000 --00	-uuu --uu
PIE2	88h	0-00 --00	0-00 --00	u-uu --uu
APFCON	89h	---- ---0	---- ---0	---- ---u
VINLVL	90h	0-xx xxxx	0-uu uuuu	u-uu uuuu
OCCON	91h	0xxx xxxx	0uuu uuuu	uuuu uuuu
CSGSCON	93h	-xxx xxxx	-uuu uuuu	-uuu uuuu
CSDGCON	95h	0--- xxxx	0--- uuuu	u--- uuuu
VZCCON	97h	xxxx xxxx	uuuu uuuu	uuuu uuuu
CMPZCON	98h	xxxx xxxx	uuuu uuuu	uuuu uuuu
OUVCON	99h	xxxx xxxx	uuuu uuuu	uuuu uuuu
OOVCON	9Ah	xxxx xxxx	uuuu uuuu	uuuu uuuu
DEADCON	9Bh	xxxx xxxx	uuuu uuuu	uuuu uuuu
SLPCRCON	9Ch	xxxx xxxx	uuuu uuuu	uuuu uuuu
SLVGNCON	9Dh	---x xxxx	---u uuuu	---u uuuu
RELEFF	9Eh	0000 0000	0000 0000	uuuu uuuu
WPUGPA	105h	--1- 1111	--u- uuuu	--u- uuuu
WPUGPB	106h	1111 -11-	uuuu -uu-	uuuu -uu-
PE1	107h	0000 1100	0000 1100	uuuu uuuu
BUFFCON	108h	000- 0000	000- 0000	uuu- uuuu
ABECON	109h	0000 0000	0000 0000	uuuu uuuu
SSPADD	110h	0000 0000	0000 0000	uuuu uuuu
SSPBUF	111h	xxxx xxxx	uuuu uuuu	uuuu uuuu
SSPCON1	112h	0000 0000	0000 0000	uuuu uuuu
SSPCON2	113h	0000 0000	0000 0000	uuuu uuuu
SSPCON3	114h	0000 0000	0000 0000	uuuu uuuu
SSPMSK	115h	1111 1111	1111 1111	uuuu uuuu
SSPSTAT	116h			
SSPADD2	117h	0000 0000	0000 0000	uuuu uuuu
SSPMSK2	118h	1111 1111	1111 1111	uuuu uuuu
IOCA	185h	0000 0000	0000 0000	uuuu uuuu
IOCB	186h	0000 -000	0000 -000	uuuu -uuu
ANSELA	187h	---- 1111	---- 1111	---- uuuu
ANSELB	188h	--11 -11-	--11 -11-	--uu -uu-
PMCON1	190h	-0-- -000	-0-- -000	-u-- -uuu
PMCON2	191h	---- ----	---- ----	---- ----
PMADRL	192h	0000 0000	0000 0000	uuuu uuuu
PMADRH	193h	---- -000	---- -000	---- -uuu
PMDATL	194h	0000 0000	0000 0000	uuuu uuuu

凡例: u = 不変、x = 未知、- = 未実装ビット、「0」として読み出し、q = 条件による

- Note** 1: V_{DD}の低下が著しいとパワーオンリセットが発生し、レジスタごとに異なる影響を受けます。
 2: INTCONとPIRx(またはどちらか一方)の1つまたは複数のビットが影響を受けます(復帰するため)。
 3: 割り込みによって復帰し、GIEビットがセットされている場合、PCには割り込みベクタ(0004h)が読み込まれます。
 4: 各条件下でのリセット値は、表 14-5 を参照してください。

表 14-3: レジスタの初期値 (続き)

レジスタ	アドレス	パワーオン リセット	$\overline{\text{MCLR}}$ リセット WDT リセット	割り込みによる スリープからの復帰 WDT タイムアウトによる スリープからの復帰 (続き)
PMDATH	195h	--00 0000	--00 0000	--uu uuuu
OSCCAL	198h	-xxx xxxx	-uuu uuuu	-uuu uuuu
DOVCAL	199h	---- xxxx	---- uuuu	---- uuuu
TTACAL	19Ah	---- xxxx	---- uuuu	---- uuuu
BGRCAL	19Bh	---- xxxx	---- uuuu	---- uuuu
VROCAL	19Ch	---- xxxx	---- uuuu	---- uuuu
ZROCAL	19Dh	---- xxxx	---- uuuu	---- uuuu
ATSTCON	19F	1--- 0001	1--- 0001	u--- uuuu

凡例: u = 不変、x = 未知、- = 未実装ビット、「0」として読み出し、q = 条件による

Note 1: V_{DD} の低下が著しいとパワーオンリセットが発生し、レジスタごとに異なる影響を受けます。

2: INTCON と PIRx(またはどちらか一方)の1つまたは複数のビットが影響を受けます(復帰するため)。

3: 割り込みによって復帰し、GIE ビットがセットされている場合、PC には割り込みベクタ (0004h) が読み込まれます。

4: 各条件下でのリセット値は、表 14-5 を参照してください。

14.7 リセット原因の特定

リセットが発生すると STATUS および PCON レジスタのビット値が変化します。これらのビットを観察するとリセットの原因が分かります。表 14-4 と表 14-5 にこれらのレジスタのリセット条件を示します。

表 14-4: リセットステータスビットとその意味

POR	TO	PD	条件
0	1	1	パワーオンリセット
u	0	u	WDT リセット
u	0	0	スリープからの WDT 復帰
u	1	0	スリープからの割り込み復帰
u	u	u	通常動作中の $\overline{\text{MCLR}}$ リセット
u	1	0	スリープ中の $\overline{\text{MCLR}}$ リセット
0	0	x	禁止、 $\overline{\text{TO}}$ は POR でセット
0	x	0	禁止、 $\overline{\text{PD}}$ は POR でセット

表 14-5: 特殊レジスタのリセット条件 (Note 2)

条件	プログラムカウンタ	STATUS レジスタ	PCON レジスタ
パワーオンリセット	0000h	0001 1xxx	---- -u0-
通常動作中の $\overline{\text{MCLR}}$ リセット	0000h	000u uuuu	---- -uu-
スリープ中の $\overline{\text{MCLR}}$ リセット	0000h	0001 0uuu	---- -uu-
WDT リセット	0000h	0000 uuuu	---- -uu-
スリープからの WDT 復帰	PC + 1	uuu0 0uuu	---- -uu-
スリープからの割り込み復帰	PC + 1 ⁽¹⁾	uuu1 0uuu	---- -uu-

凡例: u = 不変、x = 未知、- = 未実装ビット、「0」として読み出し

Note 1: 割り込みによる復帰で GIE (グローバルイネーブルビット) がセットされている場合、リターンアドレスがスタックにプッシュされ、PC+1 の実行後に PC に割り込みベクタ (0004h) が読み込まれます。

2: 未実装のステータスビットは「0」として読み出されます。

MCP19111

14.8 電源制御 (PCON) レジスタ

電源制御 (PCON) レジスタには、以下のリセットの種類を見分けるためのフラグビットがあります。

- パワーオン リセット ($\overline{\text{POR}}$)
- 過熱 ($\overline{\text{OT}}$)

レジスタ 14-1 に PCON レジスタの各ビットを示します。

レジスタ 14-1: PCON - 電源制御レジスタ

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	U-0
-	-	-	-	-	$\overline{\text{OT}}$	$\overline{\text{POR}}$	-
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7-3 **未実装:** 「0」として読み出し
- bit 2 **OT:** 過熱リセット ステータスビット
 1 = 過熱リセットは発生していない
 0 = 過熱リセットが発生した (発生後はソフトウェアによるセットが必要)
- bit 1 **POR:** パワーオン リセット ステータスビット
 1 = パワーオン リセットは発生していない
 0 = パワーオン リセットが発生した (発生後はソフトウェアによるセットが必要)
- bit 0 **未実装:** 「0」として読み出し

TABLE 0-1: リセットに関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ内容記載ページ
PCON	-	-	-	-	-	$\overline{\text{OT}}$	$\overline{\text{POR}}$	-	90
STATUS	IPR	RP1	RP0	$\overline{\text{TO}}$	$\overline{\text{PD}}$	Z	DC	C	69

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分はリセットでは使いません。

Note 1: パワーアップ以外のリセットには、通常動作中の $\overline{\text{MCLR}}$ リセットやウォッチドッグ タイマリセットがあります。

15.0 割り込み

MCP19111 には、以下の複数の割り込み要因があります。

- 外部割り込み (INT ピン)
- 状態変化 (IOC) 割り込み
- Timer0 オーバーフロー割り込み
- Timer1 オーバーフロー割り込み
- Timer2 一致割り込み
- ADC 割り込み
- システム過電圧エラー
- システム低電圧エラー
- システム過電流エラー
- SSP
- BCL
- システム入力低電圧エラー

割り込み制御レジスタ (INTCON) と周辺機能割り込み要求レジスタ (PIRx) は、個々の割り込み要求をフラグビットに記録します。INTCON レジスタには、個別の割り込みイネーブルビットとグローバル割り込みイネーブルビットも含まれます。

INTCON レジスタの GIE (グローバル割り込みイネーブルビット) は、セット時にはマスクされていない全ての割り込みを有効にし、クリア時には全ての割り込みを無効にします。各割り込みは、INTCON レジスタと PIRx レジスタの対応するイネーブルビットによって個別に無効にできます。GIE はリセット時にクリアされます。

割り込み処理時には以下の動作が自動的に実行されます。

- GIE をクリアして以降の割り込みを無効にする
- リターンアドレスをスタックにプッシュする
- PC に 0004h を読み込む

割り込みサービスルーチン (ISR) のファームウェアでは、割り込みフラグビットをポーリングして割り込み要因を判断します。割り込み動作の繰り返しを避けるため、ISR 終了前に割り込みフラグビットをクリアする必要があります。ISR 実行中に発生する割り込みは全て割り込みフラグで記録されますが、GIE ビットがクリアされているためプロセッサがその割り込みベクタにリダイレクトする事はありません。

Note 1: 各割り込みフラグビットは、対応するマスクビットまたは GIE ビットの状態に関わらずセットされます。

- 2:** GIE ビットをクリアする命令が実行された場合、次のサイクルで実行するため保留されていた割り込みは全て無視されます。無視された割り込みは、GIE ビットが再度セットされた時に処理するために保留されたままです。

RETFIE 命令では、割り込み前に実行していたアドレスをスタックからポップし、シャドウレジスタに保存されていたコンテキストを復元し、GIE ビットをセットする事によって、ISR から通常動作に戻ります。

割り込み動作の詳細は、各周辺機能の章を参照してください。

15.1 割り込みレイテンシ

INT ピンや PORTGPx の状態変化割り込み等の外部割り込みイベントによる割り込みのレイテンシは 3 ~ 4 命令サイクルです。正確なレイテンシは割り込みイベントが発生した時点によって異なります (図 15-2 参照)。このレイテンシは、1 サイクル命令と 2 サイクル命令のどちらでも同じです。

15.2 GPA2/INT 割り込み

GPA2/INT ピンの外部割り込みはエッジトリガ方式です。OPTION レジスタの INTEDG ビットがセットされている場合は立ち上がりエッジ、クリアされている場合は立ち下がりエッジで割り込みが発生します。GPA2/INT ピンで有効なエッジが発生すると、INTCON レジスタの INTF ビットがセットされます。INTCON レジスタの INTE 制御ビットをクリアすると、この割り込みを無効にできます。INTF ビットは、再度この割り込みを有効にする前に、ソフトウェアの割り込みサービスルーチン内でクリアしておく必要があります。スリープに移行する前に INTE ビットをセットしておけば、GPA2/INT 割り込みによってプロセッサをスリープから復帰させる事ができます。スリープの詳細は [セクション 16.0「パワーダウンモード\(スリープ\)」](#) を参照してください。スリープから GPA2/INT 割り込みによって復帰する場合のタイミングについては、[セクション 16.1「スリープからの復帰」](#) を参照してください。

Note: アナログ チャンネルをデジタル入力として設定するために ANSEL レジスタを初期化する必要があります。アナログ入力として設定されたピンは「0」を読み出し、割り込みを生成できません。

MCP19111

図 15-1: 割り込みロジック

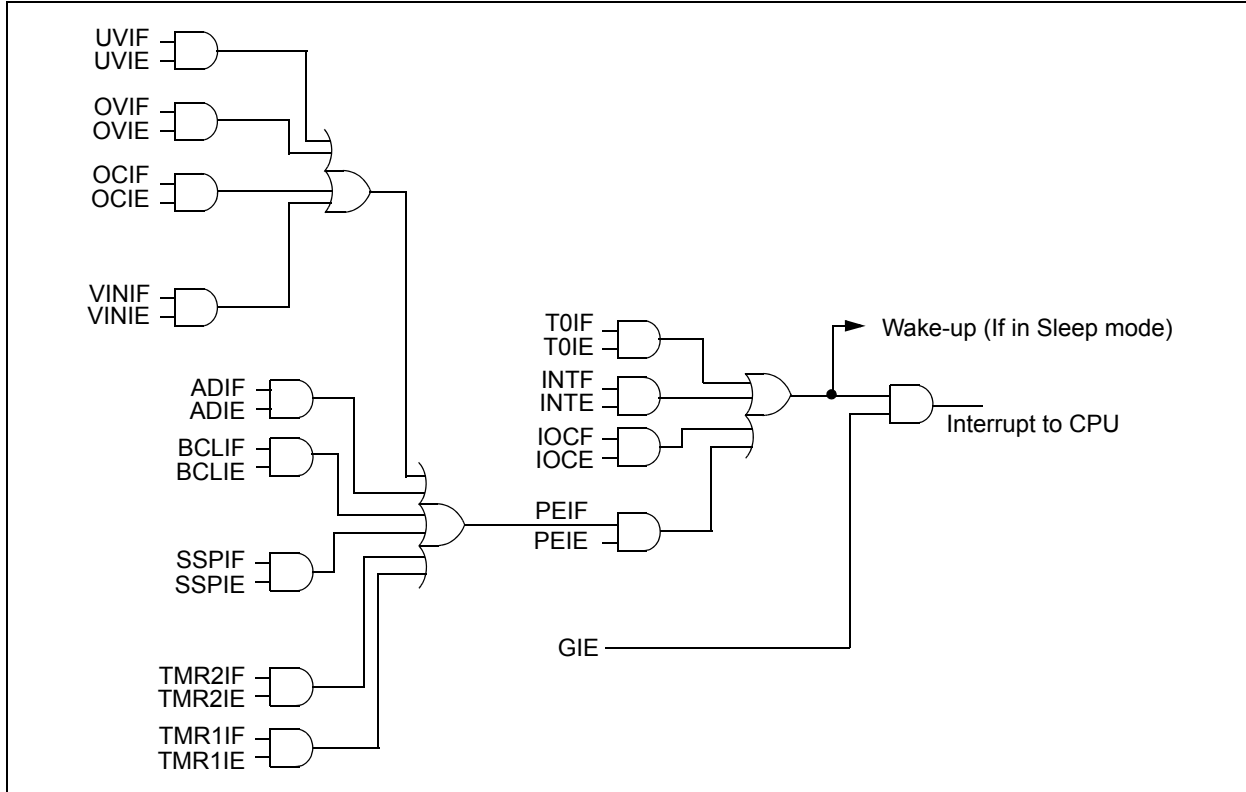
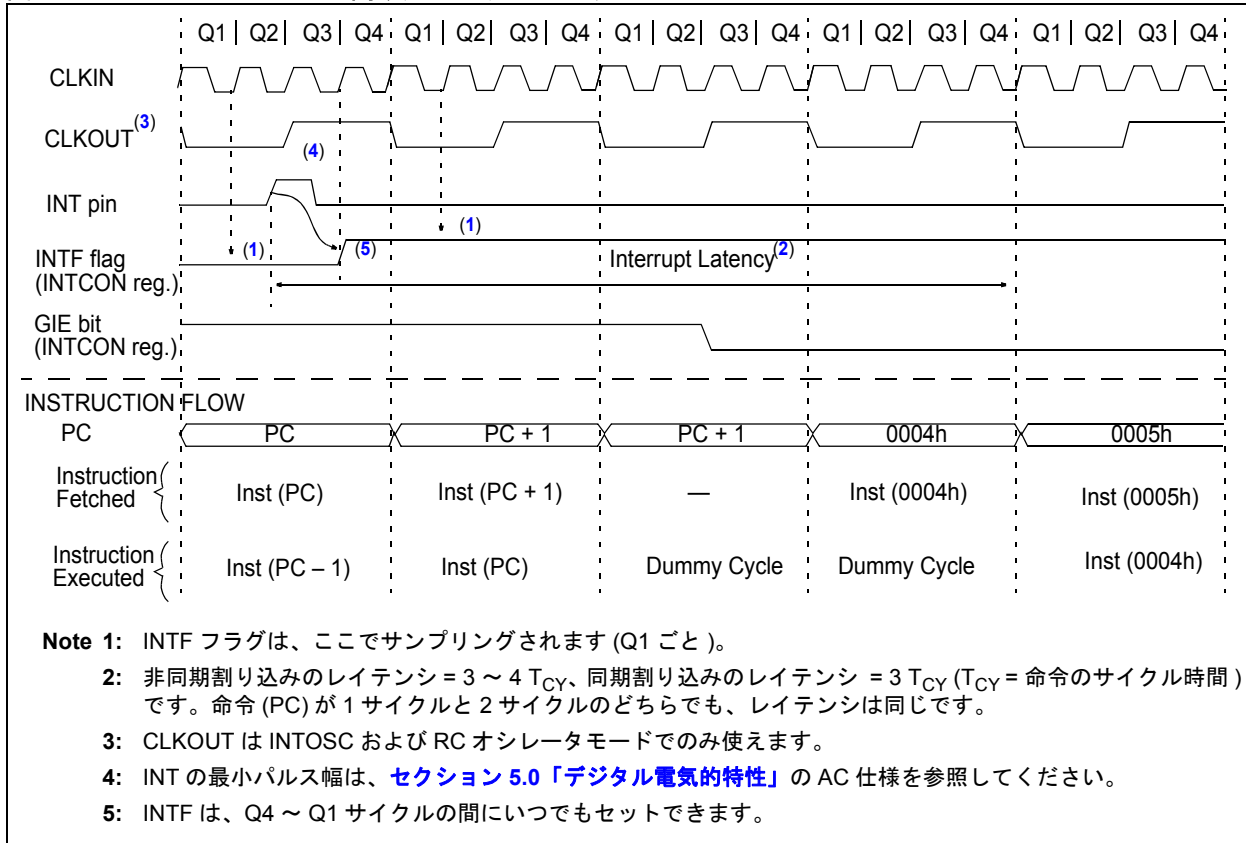


図 15-2: INT ピン割り込みのタイミング



15.3 割り込み制御レジスタ

15.3.1 INTCON レジスタ

INTCON レジスタは読み書き可能なレジスタであり、TMR0 レジスタ オーバーフロー割り込み、状態変化割り込み、外部 INT ピン割り込みに関する各種イネーブル/フラグビットが含まれます。

Note: 割り込み条件が発生すると、対応するイネーブルビットまたはグローバルイネーブルビット (INTCON レジスタの GIE) の状態に関係なく割り込みフラグビットがセットされます。ユーザソフトウェアは、割り込みを有効にする前に、対応する割り込みフラグビットを確実にクリアしておく必要があります。

レジスタ 15-1: INTCON - 割り込み制御レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	TOIE	INTE	IOCE	TOIF	INTF	IOCF
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **GIE:** グローバル割り込みイネーブルビット
 1 = マスクされていない全ての割り込みを有効にする
 0 = 全ての割り込みを無効にする
- bit 6 **PEIE:** 周辺機能割り込みイネーブルビット
 1 = マスクされていない全ての周辺機能割り込みを有効にする
 0 = 全ての周辺機能割り込みを無効にする
- bit 5 **TOIE:** TMR0 オーバーフロー割り込みイネーブルビット
 1 = TMR0 割り込みを有効にする
 0 = TMR0 割り込みを無効にする
- bit 4 **INTE:** INT 外部割り込みイネーブルビット
 1 = INT 外部割り込みを有効にする
 0 = INT 外部割り込みを無効にする
- bit 3 **IOCE:** 状態変化割り込みイネーブルビット⁽¹⁾
 1 = 状態変化割り込みを有効にする
 0 = 状態変化割り込みを無効にする
- bit 2 **TOIF:** TMR0 オーバーフロー割り込みフラグビット⁽²⁾
 1 = TMR0 レジスタがオーバーフローした (ソフトウェアによるクリアが必要)
 0 = TMR0 レジスタはオーバーフローしていない
- bit 1 **INTF:** 外部割り込みフラグビット
 1 = 外部割り込みが発生した (ソフトウェアによるクリアが必要)
 0 = 外部割り込みは発生していない
- bit 0 **IOCF:** 状態変化割り込みフラグビット
 1 = 状態変化割り込みピンの少なくとも 1 つの状態が変化した
 0 = 状態変化割り込みピンの状態は変化していない

Note 1: IOC レジスタも有効にする必要があります。

2: TMR0 がロールオーバーすると TOIF ビットがセットされます。TMR0 はリセット時に変化しないため、TOIF ビットをクリアする前に初期化します。

MCP19111

15.3.1.1 PIE1 レジスタ

PIE1 レジスタは、[レジスタ 15-2](#) に示す周辺機能割り込みイネーブルビットを収めています。

Note 1: 周辺機能割り込みを有効にするには、INTCON レジスタの PEIE ビットをセットする必要があります。

レジスタ 15-2: PIE1 - 周辺機能割り込みイネーブル レジスタ 1

U-0	R/W-0	R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0
-	ADIE	BCLIE	SSPIE	-	-	TMR2IE	TMR1IE
bit 7						bit 0	

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **未実装:** 「0」として読み出し
- bit 6-0 **ADIE:** ADC 割り込みイネーブルビット
 1 = ADC 割り込みを有効にする
 0 = ADC 割り込みを無効にする
- bit 6-0 **BCLIE:** MSSP バスコリジョン割り込みイネーブルビット
 1 = MSSP バスコリジョン割り込みを有効にする
 0 = MSSP バスコリジョン割り込みを無効にする
- bit 6-0 **SSPIE:** 同期シリアルポート (MSSP) 割り込みイネーブルビット
 1 = MSSP 割り込みを有効にする
 0 = MSSP 割り込みを無効にする
- bit 6-0 **未実装:** 「0」として読み出し
- bit 6-0 **TMR2IE:** Timer2 割り込みイネーブル
 1 = Timer2 割り込みを有効にする
 0 = Timer2 割り込みを無効にする
- bit 6-0 **TMR1IE:** Timer1 割り込みイネーブル
 1 = Timer1 割り込みを有効にする
 0 = Timer1 割り込みを無効にする

15.3.1.2 PIE2 レジスタ

PIE2 レジスタは、[レジスタ 15-3](#) に示す周辺機能割り込みイネーブルビットを収めています。

Note 1: 周辺機能割り込みを有効にするには、INTCON レジスタの PEIE ビットをセットする必要があります。

レジスタ 15-3: PIE2 - 周辺機能割り込みイネーブル レジスタ 2

U-0	U-0	R/W-0	R/W-0	U-0	U-0	R/W-0	U-0
UVIE	-	OCIE	OVIE	-	-	VINIE	-
bit 7						bit 0	

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **UVIE:** 出力低電圧割り込みイネーブルビット
 1 = UV 割り込みを有効にする
 0 = UV 割り込みを無効にする
- bit 6 **未実装:** 「0」として読み出し
- bit 5 **OCIE:** 出力過電流割り込みイネーブルビット
 1 = OC 割り込みを有効にする
 0 = OC 割り込みを無効にする
- bit 4 **OVIE:** 出力過電圧割り込みイネーブルビット
 1 = OV 割り込みを有効にする
 0 = OV 割り込みを無効にする
- bit 3-2 **未実装:** 「0」として読み出し
- bit 1 **VINIE:** V_{IN} UVLO 割り込みイネーブル
 1 = V_{IN} UVLO 割り込みを有効にする
 0 = V_{IN} UVLO 割り込みを無効にする
- bit 0 **未実装:** 「0」として読み出し

MCP19111

15.3.1.3 PIR1 レジスタ

PIR1 レジスタは、[レジスタ 15-4](#) に示す周辺機能割り込みフラグビットを収めています。

Note 1: 割り込み条件が発生すると、対応するイネーブルビットまたはグローバルイネーブルビット (INTCON レジスタの GIE) の状態に関係なく割り込みフラグビットがセットされます。ユーザソフトウェアは、割り込みを有効にする前に、対応する割り込みフラグビットを確実にクリアしておく必要があります。

レジスタ 15-4: PIR1 - 周辺機能割り込みフラグレジスタ 1

U-0	R/W-0	R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0
-	ADIF	BCLIF	SSPIF	-	-	TMR2IF	TMR1IF
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **未実装:** 「0」として読み出し
- bit 6 **ADIF:** ADC 割り込みフラグビット
 1 = A/D 変換が完了した
 0 = A/D 変換は完了していない、または開始していない
- bit 5 **BCLIF:** MSSP バスコリジョン割り込みフラグビット
 1 = 割り込みを保留中である
 0 = 割り込みを保留中ではない
- bit 4 **SSPIF:** 同期シリアルポート (MSSP) 割り込みフラグビット
 1 = 割り込みを保留中である
 0 = 割り込みを保留中ではない
- bit 3-2 **未実装:** 「0」として読み出し
- bit 1 **TMR2IF:** Timer2/PR2 一致割り込みフラグ
 1 = Timer2 と PR2 が一致した (ソフトウェアによるクリアが必要)
 0 = Timer2 と PR2 は一致していない
- bit 0 **TMR1IF:** Timer1 割り込みフラグ
 1 = Timer1 がロールオーバーした (ソフトウェアによるクリアが必要)
 0 = Timer1 はロールオーバーしていない

15.3.1.4 PIR2 レジスタ

PIR2 レジスタは、[レジスタ 15-5](#) に示す周辺機能割り込みフラグビットを収めています。

Note 1: 割り込み条件が発生すると、対応するイネーブルビットまたはグローバルイネーブルビット (INTCON レジスタの GIE) の状態に関係なく割り込みフラグビットがセットされます。ユーザソフトウェアは、割り込みを有効にする前に、対応する割り込みフラグビットを確実にクリアしておく必要があります。

レジスタ 15-5: PIR2 - 周辺機能割り込みフラグレジスタ 2

R/W-0	U-0	R/W-0	R/W-0	U-0	U-0	R/W-0	U-0
UVIF	-	OCIF	OVIF	-	-	VINIF	-
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **UVIF:** 出力低電圧エラー割り込みフラグビット
 1 = 出力低電圧エラーが発生した
 0 = 出力低電圧エラーは発生していない
- bit 6 **未実装:** 「0」として読み出し
- bit 5 **OCIF:** 出力過電流エラー割り込みフラグビット
 1 = 出力過電流エラーが発生した
 0 = 出力過電流エラーは発生していない
- bit 4 **OVIF:** 出力過電圧エラー割り込みフラグビット
 1 = 出力過電圧エラーが発生した
 0 = 出力過電圧エラーは発生していない
- bit 3-2 **未実装:** 「0」として読み出し
- bit 1 **VINIF:** V_{IN} ステータスビット
 1 = V_{IN} が許容レベルを下回っている
 0 = V_{IN} は許容レベルである
- bit 0 **未実装:** 「0」として読み出し

表 15-1: 割り込みに関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ内容記載ページ
INTCON	GIE	PEIE	T0IE	INTE	IOCE	T0IF	INTF	IOCF	93
OPTION_REG	RAPU	INTEDG	T0CE	T0SE	PSA	PS2	PS1	PS0	75
PIE1	-	ADIE	BCLIE	SSPIE	-	-	TMR2IE	TMR1IE	94
PIE2	UVIE	-	OCIE	OVIE	-	-	VINIE	-	95
PIR1	-	ADIF	BCLIF	SSPIF	-	-	TMR2IF	TMR1IF	96
PIR2	UVIF	-	OCIF	OVIF	-	-	VINIF	-	97

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分は割り込みでは使いません。

MCP19111

15.4 割り込み処理中のコンテキスト保存

割り込みの処理中、スタックにはリターン先の PC 値だけを保存します。通常、割り込み中は重要なレジスタ (例: W レジスタ、STATUS レジスタ) の内容を保存しておきます。そのためにはソフトウェアによる実装が必要です。

GPR 末尾の 16 バイトに一時ホールドレジスタとして W_TEMP と STATUS_TEMP を確保します (図 11-2 参照)。これら 16 個のメモリ位置は全てのバンクで共通のため、バンク指定は不要です。これにより、コンテキストの保存と復元が簡単にできます。例 15-1 に示すコードを使うと、以下の動作が可能です。

- W レジスタの保存
- STATUS レジスタの保存
- ISR コードの実行
- ステータス (およびバンク選択ビットレジスタ) の復元
- W レジスタの復元

Note: MCP19111 では PCLATH を保存する必要がありません。しかし、ISR とメインコードの両方で計算型 GOTO を使っている場合、PCLATH を保存して ISR 内で復元する必要があります。

例 15-1: ステータス レジスタと W レジスタの RAM への保存

```
MOVWF  W_TEMP           ;Copy W to TEMP register
SWAPF  STATUS,W         ;Swap status to be saved into W
                          ;Swaps are used because they do not affect the status bits
MOVWF  STATUS_TEMP      ;Save status to bank zero STATUS_TEMP register
:
:(ISR)                   ;Insert user code here
:
SWAPF  STATUS_TEMP,W    ;Swap STATUS_TEMP register into W
                          ;(sets bank to original state)
MOVWF  STATUS           ;Move W into STATUS register
SWAPF  W_TEMP,F         ;Swap W_TEMP
SWAPF  W_TEMP,W         ;Swap W_TEMP into W
```

16.0 パワーダウンモード(スリープ)

SLEEP 命令を実行すると、パワーダウンモードに移行します。

スリープに移行したデバイスの状態は、以下の通りです。

1. WDT がクリアされる。スリープ中の動作を有効に設定している場合、値はクリアされてもカウントは継続する。
2. STATUS レジスタの $\overline{\text{PD}}$ ビットがクリアされる。
3. STATUS レジスタの $\overline{\text{TO}}$ ビットがセットされる。
4. CPU クロックは無効化されない。
5. Timer1 オシレータは影響を受けない。このオシレータによって駆動される周辺機能は、スリープ中も動作を継続できる。
6. ADC は影響を受けない。
7. I/O ポートは SLEEP 命令実行前の状態 (High 駆動、Low 駆動、ハイインピーダンス) を維持する。
8. WDT 以外のリセットはスリープの影響を受けない。
9. アナログ回路は SLEEP 命令実行の影響を受けない。

スリープ中の周辺機能の動作に関する詳細は、各機能の章を参照してください。

消費電流を最小限に抑えるために、以下の条件に注意します。

- I/O ピンをフローティングにしない
- I/O ピンから電流をシンクする外部回路
- I/O ピンから電流をソースする内部回路
- 内部弱プルアップ回路によるピンからの電流流入
- Timer1 オシレータを使うモジュール

ハイインピーダンス入力の I/O ピンは、外部で V_{DD} または GND に接続して、フローティング入力によるスイッチング電流が流れないようにします。

SLEEP 命令はアナログ回路に影響を与えません。アナログ回路の有効化の状態は、SLEEP 命令の実行によって変化しません。

電流をソースする内部回路の例として DAC 等のモジュールがあります。このモジュールの詳細は、[セクション 22.0 「A/D コンバータ \(ADC\) モジュール」](#)を参照してください。

16.1 スリープからの復帰

以下のイベントのいずれかによってスリープから復帰できます。

1. $\overline{\text{MCLR}}$ ピンへの外部リセット入力 (有効な場合)
2. POR リセット
3. ウォッチドッグ タイマ (有効な場合)
4. 全ての外部割り込み
5. スリープ中も動作可能な周辺機能による割り込み (詳細は各周辺機能の章参照)

上記の 1 ~ 2 ではデバイスがリセットされます。3 ~ 5 は、プログラム実行の継続と見なされます。デバイスリセットまたは復帰イベントのどちらが発生したかを判断する方法は、[セクション 14.7 「リセット原因の特定」](#)を参照してください。

以下の周辺機能割り込みによってデバイスをスリープから復帰させる事ができます。

1. Timer1 割り込み: Timer1 は非同期カウンタとして動作している必要があります。
2. A/D 変換
3. 状態変化割り込み
4. INT ピンからの外部割り込み

SLEEP 命令の実行中、次の命令 (PC + 1) がプリフェッチされます。割り込みイベントでデバイスを復帰させるには、対応する割り込みイネーブルビットを有効にしておく必要があります。復帰は、GIE ビットの状態に関係なく実行されます。GIE ビットが無効の場合、デバイスは SLEEP 命令の次の命令から実行を再開します。GIE ビットが有効の場合、デバイスは SLEEP 命令の次の命令を実行後、割り込みサービスルーチン (ISR) を呼び出します。SLEEP 命令の次の命令を実行したくない場合は、SLEEP 命令の後に NOP 命令を配置します。

デバイスがスリープから復帰すると、復帰の理由に関係なく WDT はクリアされます。

MCP19111

16.1.1 割り込みによる復帰

グローバル割り込みが無効 (GIE がクリア) で、何らかの割り込み要因のイネーブルビットとフラグビットの両方がセットされると、以下のいずれかが発生します。

- SLEEP 命令の**実行前**に割り込みが発生した場合
 - SLEEP 命令が NOP として実行される。
 - WDT と WDT プリスケイラはクリアされない。
 - STATUS レジスタの \overline{TO} ビットはセットされない。
 - STATUS レジスタの \overline{PD} ビットはクリアされない。

- SLEEP 命令の**実行中または実行後**に割り込みが発生した場合
 - SLEEP 命令が最後まで実行される。
 - デバイスがただちにスリープから復帰する。
 - WDT と WDT プリスケイラがクリアされる。
 - STATUS レジスタの \overline{TO} ビットがセットされる。
 - STATUS レジスタの \overline{PD} ビットがクリアされる。

SLEEP 命令の実行前にフラグビットをチェックしたとしても、その後 SLEEP 命令が完了するまでにフラグビットがセットされる可能性があります。SLEEP 命令が実行されたかどうかを判断するには、 \overline{PD} ビットを調べます。 \overline{PD} ビットがセットされている場合、SLEEP 命令が NOP として実行された事を示します。

図 16-1: 割り込みによるスリープからの復帰

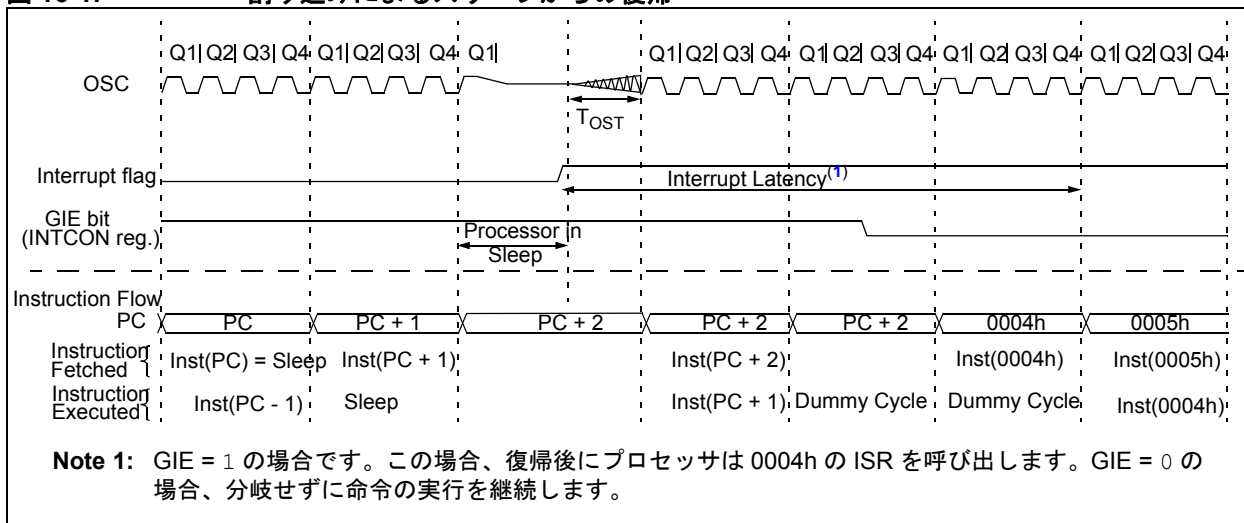


表 16-1: パワーダウン モードに関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ内容記載ページ
INTCON	GIE	PEIE	T0IE	INTE	IOCE	T0IF	INTF	IOCF	93
IOCA	IOCA7	IOCA6	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	120
IOCB	IOCB7	IOCB6	IOCB5	IOCB4	-	IOCB2	IOCB1	IOCB0	120
PIE1	-	ADIE	BCLIE	SSPIE	-	-	TMR2IE	TMR1IE	94
PIE2	UVIE	-	OCIE	OVIE	-	-	VINIE	-	95
PIR1	-	ADIF	BCLIF	SSPIF	-	-	TMR2IF	TMR1IF	96
PIR2	UVIF	-	OCIF	OVIF	-	-	VINIF	-	97
STATUS	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	69

凡例: - = 未実装、「0」として読み出し。網掛けの部分はパワーダウン モードでは使いません。

17.0 ウォッチドッグ タイマ (WDT)

ウォッチドッグ タイマ (WDT) はフリーランニング タイマです。WDT は、コンフィグレーション ワードの WDTE ビットをセット (既定値) すると有効になります。通常動作中に WDT タイムアウトが発生すると、デバイスをリセットします。デバイスがスリープ中に WDT タイムアウトが発生すると、デバイスを復帰させて通常動作を再開します。

コンフィグレーション ワードの WDTE ビットをクリアすると、WDT を無効にできます。詳細は、[セクション 12.1「コンフィグレーションワード」](#)を参照してください。

17.1 ウォッチドッグ タイマ (WDT) の動作

通常動作中に WDT タイムアウトが発生すると、デバイスをリセットします。デバイスがスリープ中に WDT タイムアウトが発生すると、デバイスを復帰させて通常動作を再開します。これを WDT 復帰と呼びます。WDTE コンフィグレーション ビットをクリアすると、WDT を無効にできます。

ポストスケーラはソフトウェアで制御でき、プログラム実行中に変更可能です。

17.2 WDT 周期

WDT のタイムアウト周期は 18 ms (公称値) です (プリスケアラなしの場合)。タイムアウト周期は温度、 V_{DD} 、デバイスごとの製造ばらつきによって変動します (表 5-4 参照)。これより長いタイムアウト周期が必要な場合、最大 1:128 の分周比を持つプリスケアラを WDT に割り当てる事ができます。これは、OPTION レジスタへの書き込みという形でソフトウェア制御できます。この方法により、最大 2.3 秒のタイムアウト周期を実現できます。

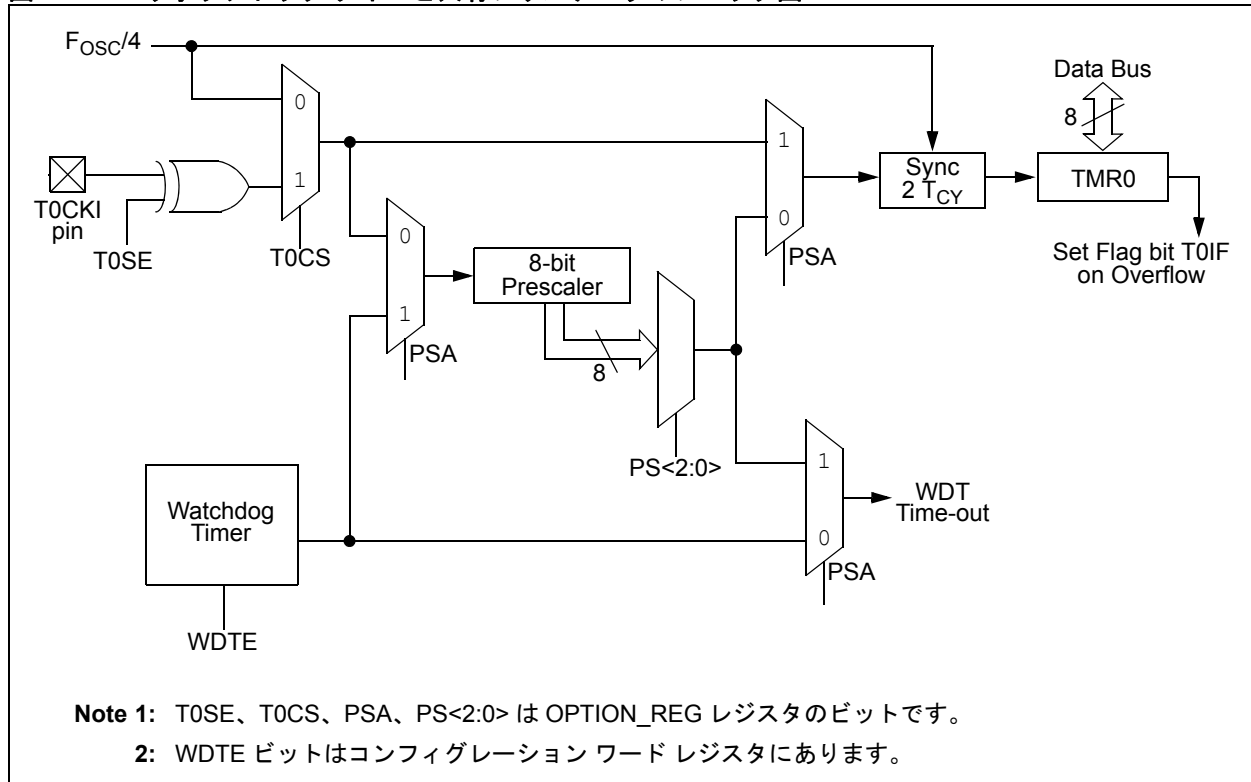
CLRWDT および SLEEP 命令は WDT とプリスケアラ (使用している場合) をクリアし、WDT タイムアウトによるデバイスリセットが発生しないようにします。

WDT タイムアウトは STATUS レジスタの \overline{TO} ビットをクリアします。

17.3 WDT のプログラミング時の注意事項

最悪条件 (すなわち V_{DD} = 最小、温度 = 最大、WDT プリスケアラ = 最大) の場合、WDT タイムアウト発生まで数秒かかる事があります。

図 17-1: ウォッチドッグ タイマと共有プリスケアラのブロック図



MCP19111

表 17-1: WDT のステータス

条件	WDT
WDTE = 0	クリア
CLRWDT コマンド	
スリープ終了	

表 17-2: ウォッチドッグ タイマに関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ 内容記載 ページ
OPTION_REG	RAPU	INTEDG	T0CS	T0SE	PSA	PS<2:0>			75

凡例： 網掛け部分はウォッチドッグ タイマでは使用しません。

表 17-3: ウォッチドッグ タイマに関連するコンフィグレーションワードのまとめ

レジスタ名	Bits	Bit -/7	Bit -/6	Bit 13/5	Bit 12/4	Bit 11/3	Bit 10/2	Bit 9/1	Bit 8/0	レジスタ 内容記載 ページ
CONFIG	13:8	-	-	DBGEN	-	WRT1	WRT0	-	-	79
	7:0	-	CP	MCLRE	PWRTE	WDTE	-	-	-	

凡例： - = 未実装ビット、「1」として読み出し。網掛けの部分はウォッチドッグ タイマでは使いません。

Note 1: コンフィグレーションワードレジスタの詳細は、[レジスタ 12-1](#) を参照してください。

18.0 フラッシュ プログラムメモリ制御

フラッシュ プログラムメモリは、通常動作中 (V_{IN} の全レンジで) 読み書きが可能です。このメモリは、レジスタファイル空間に直接割り当てられていません。特殊機能レジスタ (レジスタ 18-1 ~ 18-5 参照) を使って間接アドレス指定します。このメモリの読み書きに使用する SFR は、以下の 6 つです。

- PMCON1
- PMCON2
- PMDATL
- PMDATH
- PMADRL
- PMADRH

プログラムメモリ ブロックにアクセスする場合、PMDATH と PMDATL レジスタの 2 バイトワードに読み書きする 14 ビットデータを格納し、PMADRL と PMADRH レジスタの 2 バイトワードにアクセス先フラッシュの 13 ビットアドレスを格納します。このデバイスには 4K ワードのフラッシュ プログラムメモリがあり、アドレスレンジは 0000h ~ 0FFFh です。

プログラムメモリは、1 ワード単位での読み出しと 4 ワード単位の書き込みが可能です。4 ワード書き込みでは、書き込み位置の行を自動的に消去してから新しいデータを書き込みます (Erase-before-Write)。

書き込み時間は、内蔵タイマで制御します。書き込み/消去の電圧はデバイスの動作電圧レンジよりも高く、内蔵チャージポンプで生成されます。

デバイスのコード保護が有効でも、CPU はフラッシュ プログラムメモリを読み書きできます。

フラッシュ プログラムメモリ自己書き込みイネーブル (WRT<1:0>) ビットの設定によっては、デバイスがプログラムメモリの一部のブロックに書き込みできない場合がありますが、その場合もプログラムメモリの読み出しは可能です。

フラッシュ プログラムメモリ コード保護 (\overline{CP}) ビットがセットされている場合、プログラムメモリのコード保護が有効であり、デバイス プログラマ (ICSP) はデータ / プログラムメモリにアクセスできません。

18.1 PMADRH および PMADRL レジスタ

PMADRH および PMADRL レジスタは、最大 4K ワードのプログラムメモリをアドレス指定できます。

プログラムメモリのアドレス値を選択する場合、アドレスの上位バイト (MSB) を PMADRH レジスタに書き込み、下位バイト (LSB) を PMADRL レジスタへ書き込みます。

18.2 PMCON1 および PMCON2 レジスタ

PMCON1 は、データ プログラムメモリへのアクセスを制御するレジスタです。

RD 制御ビットと WR 制御ビットで、それぞれ読み出しと書き込みを開始します。これらのビットは、ソフトウェアではセットのみ可能でクリアはできません。読み出しまたは書き込み操作が完了すると、ハードウェアでクリアされます。WR ビットをソフトウェアではクリアできないようになっているため、書き込み動作中に誤って処理が中断される事はありません。

WREN ビットをセットすると、書き込み動作が許可されます。WREN ビットは、電源投入時にクリアされます。

CALSEL ビットは、校正ワードの位置に格納された校正ビットを SFR トリムレジスタに転送する必要がある場合に、ユーザがテストメモリ内のアドレスを読み出せるようにします。CALSEL ビットは読み出し時のみ有効で、CALSEL = 1 に設定して書き込みを試みても実行されません。

PMCON2 は物理レジスタではありません。PMCON2 レジスタは全て「0」として読み出されます。PMCON2 レジスタは、フラッシュメモリの書き込みシーケンスでのみ使います。

MCP19111

18.3 フラッシュ プログラムメモリ 制御レジスタ

レジスタ 18-1: PMDATL: プログラムメモリ データ下位バイトレジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PMDATL<7:0>							
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-0 **PMDATL<7:0>**: プログラムメモリに対する書き込み / 読み出しデータの低位 8 ビット

レジスタ 18-2: PMADRL: プログラムメモリ アドレス下位バイトレジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PMADRL<7:0>							
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-0 **PMADRL<7:0>**: プログラムメモリの読み出し / 書き込み先アドレスの低位 8 ビット

レジスタ 18-3: PMDATH: プログラムメモリ データ上位バイトレジスタ

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
-	-	PMDATH<5:0>					
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-6 **未実装**: 「0」として読み出し

bit 5-0 **PMDATH<5:0>**: プログラムメモリの読み出し / 書き込み先データの上位 6 ビット

レジスタ 18-4: PMADRH: プログラムメモリ アドレス上位バイトレジスタ

U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0
-	-	-	-	PMADRH<3:0>			
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-4 **未実装:** 「0」として読み出し

bit 3-0 **PMADRH<3:0>:** プログラムメモリの読み出しアドレス上位 4 ビットを指定

レジスタ 18-5: PMCON1: プログラムメモリ制御レジスタ 1

U-1	R/W-0	U-0	U-0	U-0	R/W-0	R/S-0	R/S-0
-	CALSEL	-	-	-	WREN	WR	RD
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7 **未実装:** 「1」として読み出し

bit 6 **CALSEL:** プログラムメモリ校正空間選択ビット

- 1 = 校正トリムレジスタ領域を読み出す (読み出しのみ有効)
- 0 = ユーザ領域を読み出す

bit 5-3 **未実装:** 「0」として読み出し

bit 2 **WREN:** プログラムメモリ書き込みイネーブルビット

- 1 = 書き込みサイクルを許可する
- 0 = EEPROM への書き込みを禁止する

bit 1 **WR:** 書き込み制御ビット

- 1 = プログラムメモリへの書き込みサイクルを開始する (書き込みが完了するとこのビットはハードウェアによってクリアされる。WR ビットはソフトウェアではセットのみ可能で、クリアできない)
- 0 = フラッシュメモリへの書き込みサイクルが完了した

bit 0 **RD:** 読み出し制御ビット

- 1 = プログラムメモリの読み出しを開始する (読み出し動作は 1 サイクルで完了する。読み出しが完了すると RD ビットはハードウェアでクリアされる。RD ビットはソフトウェアではセットのみ可能で、クリアはできない)
- 0 = フラッシュメモリの読み出しを開始しない

MCP19111

18.3.1 フラッシュ プログラムメモリの読み出し

プログラムメモリを読み出すには、2 バイトの読み出し先アドレスを PMADRL および PMADRH レジスタに書き込んでから制御ビット RD (PMCON1<0>) をセットする必要があります。読み出し制御ビットをセットした後、プログラムメモリフラッシュコントローラは2つ後の命令サイクルでデータを読み出します。このため、「BSF PMCON1, RD」命令から2つ後のサイクルの命令は無視されます。データは、その直後のサイクルで PMDATL および PMDATH レジスタに格納されます。これらは、その後の命令で2バイトとして読み出すことができます。PMDATL および PMDATH レジスタに格納された値は、次の読み出し操作を行うか、ユーザが(書き込み操作の際に)これらのレジスタにデータを書き込むまで保持されます。

例 18-1: フラッシュプログラムの読み出し

```

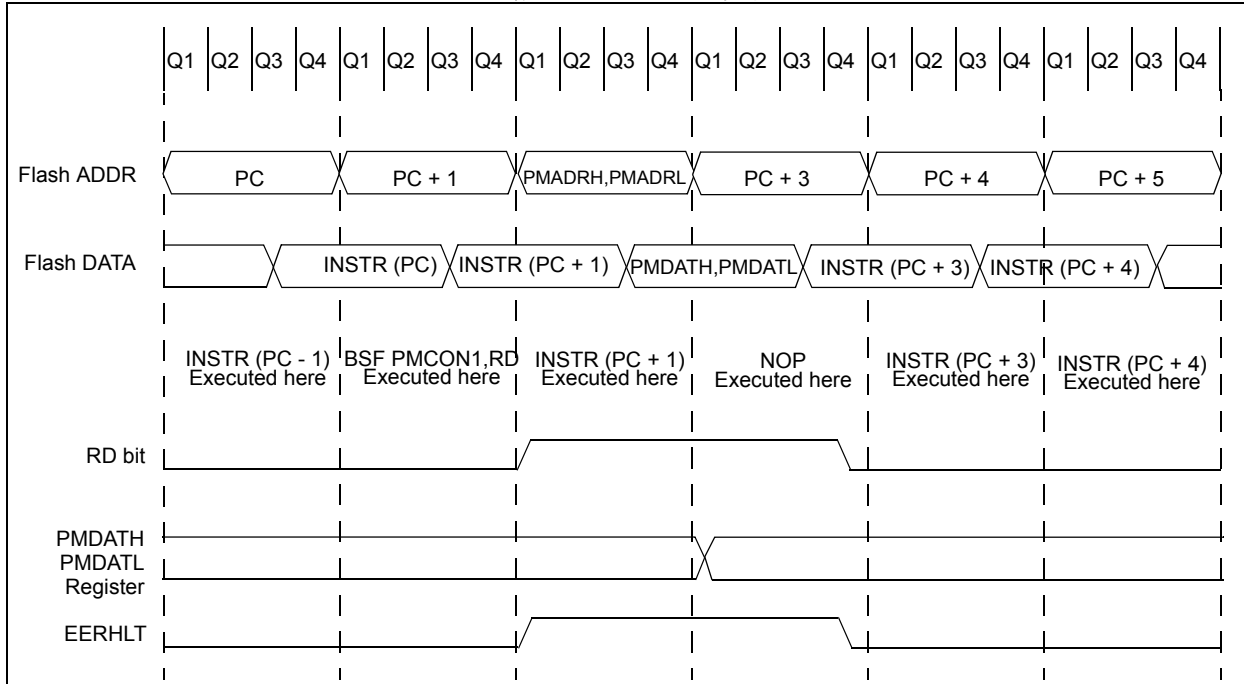
BANKSELPM_ADDR; Change STATUS bits RP1:0 to select bank with PMADR
MOVLWMS_PROG_PM_ADDR;
MOVWFPADRH; MS Byte of Program Address to read
MOVLWLS_PROG_PM_ADDR;
MOVWFPADRL; LS Byte of Program Address to read
BANKSELPMCON1; Bank to containing PMCON1
BSF PMCON1, RD; EE Read

NOP      ; First instruction after BSF PMCON1,RD executes normally

NOP      ; Any instructions here are ignored as program
          ; memory is read in second cycle after BSF PMCON1,RD
          ;

BANKSELPMDATL; Bank to containing PMADRL
MOVFPMDATL, W; W = LS Byte of Program PMDATL
MOVFPMDATH, W; W = MS Byte of Program PMDATL
    
```

図 18-1: フラッシュプログラムメモリの読み出しサイクル実行 - 通常モード



18.3.2 フラッシュ プログラムメモリへの書き込み

フラッシュ プログラムメモリのワードは、WRT1:WRT0 ビット (セクション 12.1「**コンフィグレーションワード**」参照) で書き込み保護が有効に設定されていない場合のみ書き込みが可能です。

Note: 書き込み保護ビットを使うと、ユーザのプログラムがユーザコードによって書き換えられるのを防ぐことができます。書き込み保護ビットは、ICSP によるプログラミングには影響しません。コード保護ビットでコード保護を有効にすると、ICSP インターフェイスからはプログラムメモリに書き込みできません。

フラッシュ プログラムメモリは 4 ワードのブロック単位で書き込む必要があります。詳細は、[図 18-2](#) と [18-3](#) を参照してください。1 ブロックは、境界に整列したアドレス PMADRL<1:0> = 00 から上に向かって連続した 4 ワードで構成されます。プログラムメモリに対する全てのブロック書き込みは、16 ワードの消去と 4 ワード単位の書き込みとして行われます。書き込み動作は常に境界に整列し、境界を越えた書き込みは行えません。

プログラムデータを書き込むには、まずバッファレジスタにデータを格納する必要があります ([図 18-2](#) 参照)。そのためには、書き込み先のアドレスを PMADRL と PMADRH に書き込んでからデータを PMDATL と PMDATH に書き込みます。アドレスとデータを設定したら、以下のイベントシーケンスを実行する必要があります。

1. PMCON2 レジスタに 55h、AAh を順に書き込む (フラッシュ プログラミング シーケンス)。
 2. PMCON1 レジスタの WR 制御ビットをセットする。
- 4 つのバッファレジスタ全てに正しいデータを書き込んでおく必要があります。4 ワードブロックに書き込むデータが 4 ワードより少ない場合は、書き込みを行わないプログラムメモリ位置からデータ読み出しを実行する必要があります。この操作により、書き込みを行わないプログラムメモリ位置からのデータが PMDATL および PMDATH レジスタに格納されます。次に、データをバッファレジスタに転送するイベントシーケンスを実行する必要があります。

バッファレジスタからプログラムメモリへデータを転送するには、PMADRL と PMADRH が 4 ワードブロックの最後のアドレスを指し示している必要があります (PMADRL<1:0> = 11)。次に、以下のイベントシーケンスを実行する必要があります。

1. PMCON2 レジスタに 55h、AAh を順に書き込む (フラッシュ プログラミング シーケンス)。
2. PMCON1 レジスタの WR 制御ビットをセットして書き込みを開始する。

ユーザは、プログラムメモリに書き込む全てのワードの書き込みを同じシーケンスに従って開始し、各プログラムワードを 000、001、010、011 の順番に書き込む必要があります。そして、最後のワード (PMADRL<1:0> = 11) の書き込みを実行すると、16 ワードのブロックが自動的に消去され、4 ワードのバッファレジスタの内容がプログラムメモリに書き込まれます。

「BSF PMCON1,WR」命令の後、プロセッサは消去 / 書き込み動作の準備に 2 サイクル必要とします。このため、WR ビットをセットした後、2 つの NOP 命令を発行する必要があります。データはバッファレジスタに書き込まれているため、ブロックの最初の 3 ワードの書き込みは、見かけ上ただちに実行されます。消去を伴うサイクル (すなわち 16 ワードの消去ブロックの最後のワード) でのみ、プロセッサは 4 ms (typ.) の間内部動作を停止します。クロックと周辺モジュールは動作を継続しているため、これはスリープとは異なります。4 ワードの書き込みサイクル後、プロセッサは PMCON1 書き込み命令後の 3 番目の命令から動作を再開します。上記のシーケンスを上位 12 ワードに対して繰り返す必要があります。

Note: 消去は、行の境界直後の 4 ワード書き込みの場合 (すなわち、PMADRL<3:0> = xxxx0011 で PMCON1<WR> をセットした場合) のみ開始します。

バッファレジスタとテストモードの制御信号のブロック図は、[図 18-2](#) を参照してください。

18.3.3 誤書き込み防止

状況によっては、デバイスによるプログラムメモリへの書き込みを禁止したい場合があります。プログラムメモリへの誤書き込みを防ぐために、各種のメカニズムが用意されています。まず、電源投入時には WREN ビットがクリアされます。また、パワーアップ タイマ (継続時間は 72 ms) の動作中も、プログラムメモリへの書き込みは行えません。

書き込み開始シーケンスと WREN ビットにより、パワーグリップまたはソフトウェアの誤動作による誤書き込みを防止します。

18.3.4 コード保護中の動作

デバイスのコード保護を有効にしても、CPU はプログラムメモリに対してスクランブルされていないデータの読み書きが可能です。テストモードのアクセスは禁止されます。

18.3.5 書き込み保護中の動作

プログラムメモリが書き込み保護されている場合、CPU はプログラムメモリからの読み出しと実行が行えます。プログラムメモリで書き込み保護が有効に設定されている領域は、PMCON レジスタを使って CPU が書き換える事はできません。書き込み保護は、ICSP モードでは無効です。

MCP19111

図 18-2: 4K フラッシュ プログラムメモリに対するブロック書き込み

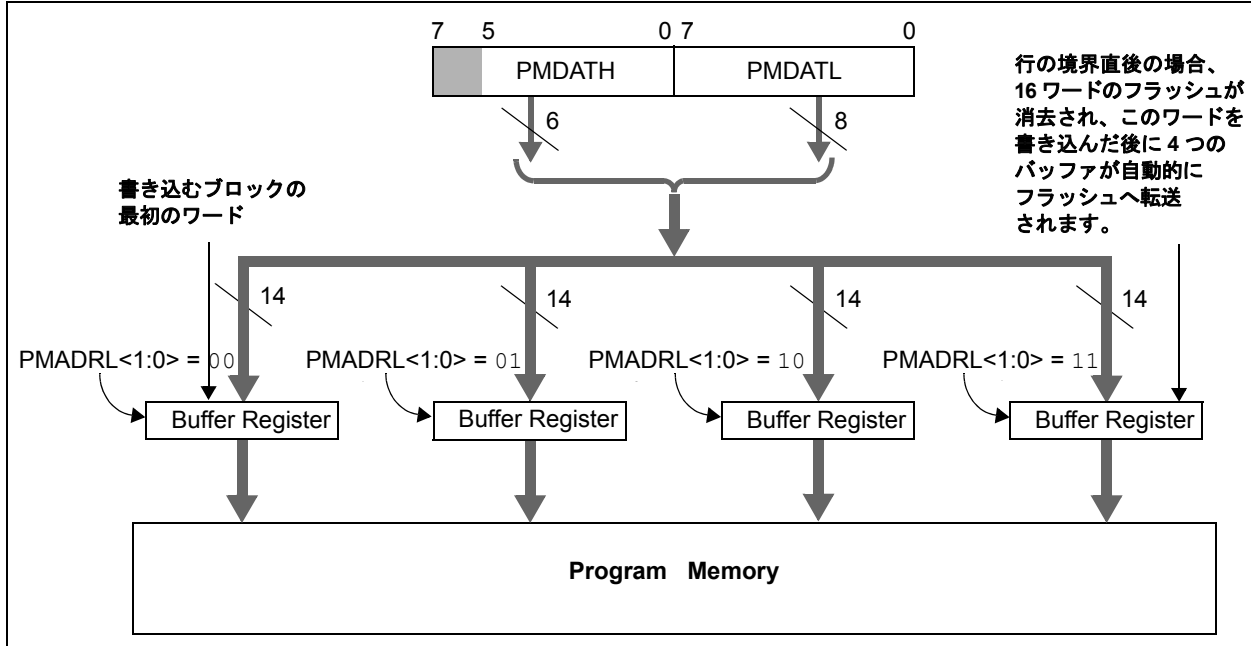
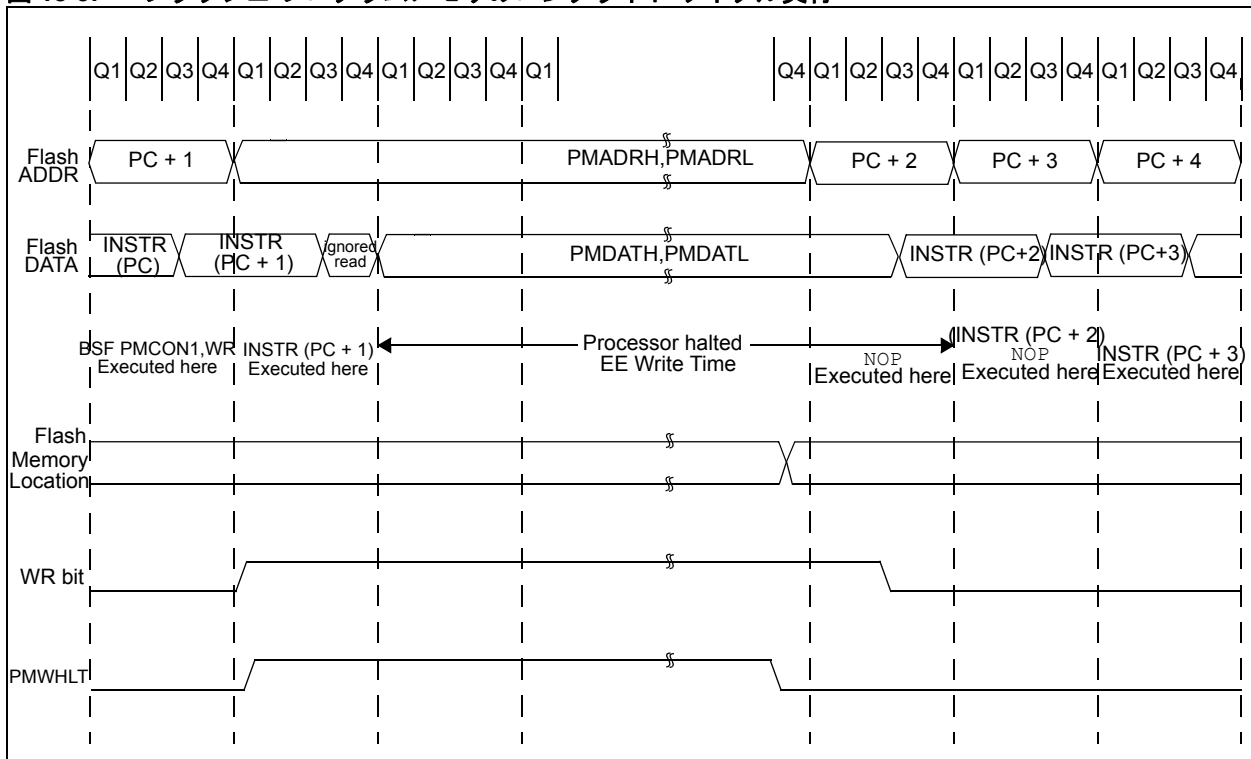


図 18-3: フラッシュ プログラムメモリのロングライトサイクル実行



19.0 I/O ポート

通常、周辺機能を有効にしている時には、そのピンを汎用 I/O ピンとして使う事はできません。

各ポートは、2つのレジスタを使って動作します。これらのレジスタは以下の通りです。

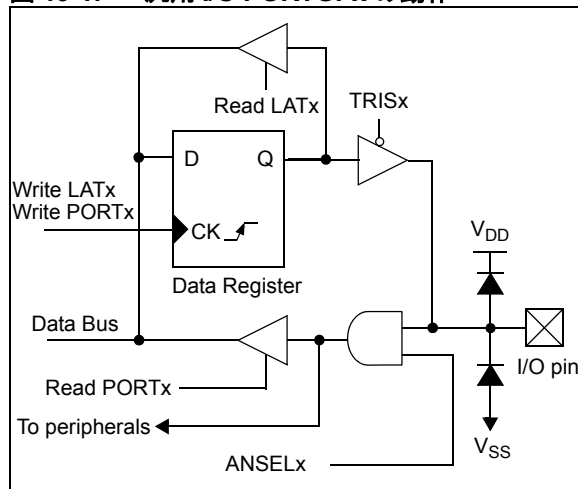
- TRISGPx レジスタ (データ方向レジスタ)
- PORTGPx レジスタ (デバイスピンのレベル読み取り)

ポートによっては、さらにレジスタが用意されているものもあります。これらのレジスタは以下の通りです。

- ANSELx (アナログ選択)
- WPUx (弱プルアップ)

アナログ機能を持つポートには ANSELx レジスタもあり、このレジスタでデジタル入力を無効にして消費電力を抑える事ができます。図 19-1 に、他の周辺機能へのインターフェイスを省略した、汎用 I/O ポートの簡易モデルを示します。

図 19-1: 汎用 I/O PORTGPx の動作



例 19-1: PORTA の初期化

```
; This code example illustrates
; initializing the PORTGPA register. The
; other ports are initialized in the same
; manner.

BANKSEL PORTGPA;
clrf PORTGPA;Init PORTA
BANKSEL ANSELA;
clrf ANSELA;digital I/O
BANKSEL TRISGPA;
MOVLW B'00011111';Set GPA<4:0> as
;inputs
MOVWF TRISGPA;and set GPA<7:6> as
;outputs
```

MCP19111

19.1 代替ピン機能

APFCON (Alternate Pin Function Control) レジスタを使用すると、特定の周辺機能の入出力を異なるピンへ移動できます。[レジスタ 19-1](#)に、APFCON レジスタを示します。このデバイスで、各ピンへ移動できる機能は以下の通りです。

- 周波数同期クロック I/O

このビットは、TRIS レジスタの値に影響を与えません。PORT と TRIS への書き込み (オーバーライド) は、正しいピンへと適用されます。未選択のピンは影響を受けません。

レジスタ 19-1: APFCON: 代替ピンの機能制御レジスタ

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
-	-	-	-	-	-	-	CLKSEL
bit 7							bit 0

凡例:

R = 読み出し可能ビット	W = 書き込み可能ビット	U = 未実装ビット、「0」として読み出し
-n = POR 時の値	「1」= ビットはセット	「0」= ビットはクリア
		x = ビットは未知

bit 7-1 **未実装:** 「0」として読み出し

bit 0 **CLKSEL:** ピン選択ビット

1 = 多相または複数出力のクロック機能を GPB5 に割り当てる

0 = 多相または多出力のクロック機能を GPA1 に割り当てる

19.2 PORTGPA および TRISGPA レジスタ

PORTGPAは8ビット幅の双方向ポートで、5つのCMOS I/O、2つのオープンドレイン I/O、1つのオープンドレイン入力専用ピンで構成されます。これに対応するデータ方向レジスタが、TRISGPA ([レジスタ 19-3](#))です。TRISGPAのビットをセットする (= 1) と、PORTGPAの対応するピンが入力になり、出力ドライバが無効になります。TRISGPAのビットをクリアする (= 0) と、PORTGPAの対応するピンが出力になり、出力ドライバが有効になります。例外は GPA5 です。GPA5 は入力専用であり、対応する TRISGPA のビットは常に「1」として読み出されます。[例 19-1](#)に、I/O ポートの初期化方法を示します。

PORTGPA レジスタ ([レジスタ 19-2](#)) を読み出すとピンの状態が読み出され、PORTGPA レジスタに書き込むと PORT ラッチに書き込まれます。書き込み動作は全て Read-Modify-Write です。

ピンをアナログ入力として使う場合を含め、TRISGPA レジスタ ([レジスタ 19-3](#)) が PORTGPA ピンの出力ドライバを制御します。これらのピンをアナログ入力として使う際は、必ず TRISGPA レジスタのビットをセットしたままとする必要があります。アナログ入力として設定された I/O ピンは常に「0」として読み出されます。ピンがデジタル出力 (ポートまたは代替機能) に設定されている場合、このピンで信号を駆動し、ピンの状態を読み値に反映させるためには TRISGPA ビットをクリアする必要があります。

19.2.1 状態変化割り込み

PORTGPA の各ピンは、個別に状態変化割り込みピンとして設定できます。各ピンの割り込み機能の有効/無効は、制御レジスタ IOCA で設定します。状態変化割り込みは、パワーオンリセット時に無効になります。詳細は、[セクション 20.0「状態変化割り込み」](#)を参照してください。

19.2.2 弱プルアップ

PORTGPA<3:0> と PORTGPA5 は内部弱プルアップ機能を備えています。PORTGPA<7:6> は SSP モジュール用の特殊ポートで、弱プルアップはありません。内部弱プルアップは、個別の制御ビットで有効化/無効化できます ([レジスタ 19-4](#) 参照)。ポートピンを出力または代替機能に設定した場合、あるいはパワーオンリセットによって OPTION レジスタの RPU ビットがセットされた場合、弱プルアップは自動的に OFF になります。GPA5 の弱プルアップは、[コンフィギュレーション](#) ワードのビット 5 をセットして GPA5 を MCLR ピンに設定すると有効になり、GPA5 を I/O に設定すると無効になります。MCLR のプルアップをソフトウェアで制御する事はできません。

19.2.3 ANSELA レジスタ

ANSELA レジスタ (レジスタ 19-5) は、I/O ピンの入力モードをアナログに設定する際に使用します。ANSELA ビットを High にセットしたピンに対してデジタルの読み出しを実行すると、全て「0」として読み出され、ピンのアナログ機能が正しく動作します。

ANSELA ビットの状態は、デジタル出力機能には影響を与えません。TRISGPA をクリアして ANSELA をセットしたピンはデジタル出力として動作しますが、入力モードはアナログです。このように設定されたポートに対して Read-Modify-Write 命令を実行すると予期しない挙動を引き起こすことがあります。

Note: ANSELA ビットのリセット後の既定値はアナログモードです。任意のピンをデジタル汎用入力または周辺入力として使うには、対応する ANSELA ビットをユーザーソフトウェアで「0」に初期化する必要があります。

19.2.4 PORTGPA の機能と出力の優先度

PORTGPA の各ピンは、他の機能と多重化されています。表 19-1 に、各ピンに割り当てられた複数の機能とそれらの出力の優先度を示します。詳細は、本書の該当するセクションを参照してください。

PORTGPA の GPA7 および GPA4 ピンは完全なオープンドレインピンで、V_{DD} には接続されていません。

複数の出力を有効にした場合、最も優先度の高い周辺機能からの出力が有効となります。

ADC 等のアナログ入力機能は優先度のリストには記載していません。これらの入力は、ANSELA レジスタで I/O ピンをアナログモードに設定すると有効化されます。アナログモードの場合、デジタル出力機能は表 19-1 に示した優先度でピンを制御します。

表 19-1: PORTGPA 出力の優先度

ピン名	機能の優先度 (1)
GPA0	GPA0 AN0 ANALOG_TEST ALT_ICSPDAT1
GPA1	GPA1 AN1 CLKPIN ALT_ICSPCLK1
GPA2	GPA2 AN2 T0CKI INT
GPA3	GPA3 AN3
GPA4	GPA4 (オープンドレイン I/O)
GPA5	GPA5 (オープンドレイン データ入力専用)
GPA6	GPA6 ALT_ICSPDAT2
GPA7	GPA7 (オープンドレイン出力) SCL ALT_ICSPCLK2

Note 1: 優先度の高いものから順に記載しています。

レジスタ 19-2: PORTGPA: PORTGPA レジスタ

R/W-x	R/W-x	R-x	R-x	R/W-x	R/W-x	R/W-x	R/W-x
GPA7	GPA6	GPA5	GPA4	GPA3	GPA2	GPA1	GPA0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7 **GPA7:** 汎用オープンドレイン I/O ピンビット
 bit 6 **GPA6:** 汎用 I/O ピンビット
 1 = ポートピンが > V_{IH}
 0 = ポートピンが < V_{IL}
 bit 5 **GPA5/MCLR:** 汎用オープンドレイン I/O ピンビット
 bit 4 **GPA7:** 汎用オープンドレイン I/O ピンビット
 bit 3-0 **GPA<3:0>:** 汎用 I/O ピンビット
 1 = ポートピンが > V_{IH}
 0 = ポートピンが < V_{IL}

MCP19111

レジスタ 19-3: TRISGPA: PORTGPA 3 ステートレジスタ

R/W-1	R/W-1	R-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7-6 **TRISA<7:6>**: PORTGPA 3 ステート制御ビット
1 = PORTGPA のピンを入力として設定する (3 ステート)
0 = PORTGPA のピンを出力として設定する
- bit 5 **TRISA5**: GPA5 ポート 3 ステート制御ビット
GPA5 は入力専用のため、このビットは常に「1」
- bit 4-0 **TRISA<4:0>**: PORTGPA 3 ステート制御ビット
1 = PORTGPA のピンを入力として設定する (3 ステート)
0 = PORTGPA のピンを出力として設定する

レジスタ 19-4: WPUGPA: 弱プルアップ PORTGPA レジスタ

U-0	U-0	R/W-1	U-0	R/W-1	R/W-1	R/W-1	R/W-1
-	-	WPUA5	-	WPUA3	WPUA2	WPUA1	WPUA0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7-6 **未実装**: 「0」として読み出し
- bit 5 **WPUA5**: 弱プルアップ レジスタ ビット
1 = プルアップを有効にする
0 = プルアップを無効にする
- bit 4 **未実装**: 「0」として読み出し
- bit 3-0 **WPUA<3:0>**: 弱プルアップ レジスタ ビット
1 = プルアップを有効にする
0 = プルアップを無効にする

- Note 1**: 弱プルアップ デバイスは、グローバル設定の $\overline{\text{RAPU}}$ ビットがクリア (=0) されており、ピンが入力モード (TRISGPA = 1) で、個別の WPUA ビットがセット (=1) されており、ピンがアナログ入力として設定されていない場合のみ有効になります。
- 2**: コンフィグレーションワードで GPA5 を $\overline{\text{MCLR}}$ ピンに設定した場合も、GPA5 の弱プルアップが有効になります。

レジスタ 19-5: ANSELA: アナログ選択 PORTGPA レジスタ

U-0	U-0	U-0	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
-	-	-	-	ANSA3	ANSA2	ANSA1	ANSA0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-4 **未実装:** 「0」として読み出し

bit 3-0 **ANSA<3:0>:** アナログ選択 PORTGPA レジスタビット
 1 = アナログ入力: ピンをアナログ入力として割り当てる ⁽¹⁾
 0 = デジタル I/O: ピンにポートまたは特殊機能を割り当てる

Note 1: ピンをアナログ入力に設定すると、デジタル入力回路 (および弱プルアップと状態変化割り込みがある場合はこれらも含む) は自動的に無効になります。ピンの電圧を外部から制御するには、対応する TRIS ビットを入力モードにセットする必要があります。

表 19-2: PORTGPA に関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ 内容記載 ページ
ANSELA	-	-	-	-	ANSA3	ANSA2	ANSA1	ANSA0	113
APFCON	-	-	-	-	-	-	-	CLKSEL	110
OPTION_REG	RAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	75
PORTGPA	GPA7	GPA6	GPA5	GPA4	GPA3	GPA2	GPA1	GPA0	111
TRISGPA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	112
WPUGPA	-	-	WPUA5	-	WPUA3	WPUA2	WPUA1	WPUA0	112

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分は PORTGPA では使いません。

19.3 PORTGPB および TRISGPB レジスタ

PORTGPB は 8 ビット幅の双方向ポートで、7 つの汎用 I/O ポートで構成されます。これに対応するデータ方向レジスタが、TRISGPB ([レジスタ 19-7](#)) です。TRISGPB のビットをセットする (= 1) と、PORTGPB の対応するピンが入力になり、出力ドライバが無効になります。TRISGPB のビットをクリアする (= 0) と、PORTGPB の対応するピンが出力になり、出力ドライバが有効になります。 [例 19-1](#) に、I/O ポートの初期化方法を示します。

PORTGPB の一部のピンは、周辺モジュールの代替機能またはクロック機能と多重化されています。通常、周辺機能またはクロック機能を有効にしている時には、これらのピンを汎用 I/O ピンとして使用する事はできません。

PORTGPB レジスタ ([レジスタ 19-6](#)) を読み出すとピンの状態が読み出され、PORTGPB レジスタに書き込むと PORT ラッチに書き込まれます。書き込み動作は全て Read-Modify-Write です。

ピンをアナログ入力として使う場合を含め、TRISGPB レジスタ ([レジスタ 19-7](#)) が PORTGPB ピンの出力ドライバを制御します。これらのピンをアナログ入力として使う際は、必ず TRISGPB レジスタのビットをセットしたままとする必要があります。アナログ入力として設定された I/O ピンは常に「0」として読み出されます。ピンがデジタル出力 (ポートまたは代替機能) に設定されている場合、このピンで信号を駆動し、ピンの状態を読み値に反映させるためには TRISGPB ビットをクリアする必要があります。

19.3.1 状態変化割り込み

PORTGPB の各ピンは、個別に状態変化割り込みピンとして設定できます。各ピンの割り込み機能の有効 / 無効は、制御ビット IOCB<7:4> と IOCB<2:0> で設定します。状態変化割り込みは、パワーオンリセット時に無効になります。詳細は、 [セクション 20.0「状態変化割り込み」](#) を参照してください。

19.3.2 弱プルアップ

PORTGPB の各ピンには、個別に設定可能な内部弱プルアップがあります。各プルアップの有効 / 無効は、制御ビット WPUB<7:4> と WPUB<2:1> で設定します ([レジスタ 19-8](#) 参照)。出力として設定したポートピンの弱プルアップは自動的に OFF になります。全てのプルアップは、パワーオンリセット時に OPTION レジスタの RAPU ビットによって無効化されます。

19.3.3 ANSELB レジスタ

ANSELB レジスタ ([レジスタ 19-9](#)) は、I/O ピンの入力モードをアナログに設定する際に使います。ANSELB ビットを High にセットしたピンに対してデジタルの読み出しを実行すると、全て「0」として読み出され、ピンのアナログ機能が正しく動作します。

ANSELB ビットの状態は、デジタル出力機能には影響を与えません。TRISGPB をクリアして ANSELB をセットしたピンはデジタル出力として動作しますが、

入力モードはアナログです。このように設定されたポートに対して Read-Modify-Write 命令を実行すると予期しない挙動を引き起こす事があります。

Note: ANSELB ビットのリセット後の既定値はアナログモードです。任意のピンをデジタル汎用入力または周辺入力として使うには、対応する ANSELB ビットをユーザソフトウェアで「0」に初期化する必要があります。

19.3.4 PORTGPB の機能と出力の優先度

PORTGPB の各ピンは、他の機能と多重化されています。 [表 19-3](#) に、各ピンに割り当てられた複数の機能とそれらの出力の優先度を示します。詳細は、本書の該当するセクションを参照してください。

PORTGPB の GPB0 ピンは完全なオープンドレインピンで、V_{DD} には接続されていません。

複数の出力を有効にした場合、最も優先度の高い周辺機能からの出力が有効となります。

ADC 等のアナログ入力機能と一部のデジタル入力機能は下の表には記載されていません。これらの入力は、ANSELB レジスタで I/O ピンをアナログモードに設定すると有効化されます。アナログモードの場合、デジタル出力機能は [表 19-3](#) に示した優先度でピンを制御します。

表 19-3: PORTGPB 出力の優先度

ピン名	機能の優先度 ⁽¹⁾
GPB0	GPB0 (オープンドレイン I/O) SDA
GPB1	GPB1 AN4 EAPIN
GPB2	GPB2 AN5
GPB4	GPB4 AN6 ICSPDAT ICDDAT
GPB5	GPB5 AN7 ICSPCLK ICDCLK ALT_CLKPIN
GPB6	GPB6
GPB7	GPB7

Note 1: 優先度の高いものから順に記載しています。

レジスタ 19-6: PORTGPB: PORTGPB レジスタ

R/W-x	R/W-x	R/W-x	R/W-x	U-x	R/W-x	R/W-x	R/W-x
GPB7	GPB6	GPB5	GPB4	-	GPB2	GPB1	GPB0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7-4 **GPB<7:4>**: 汎用 I/O ピンビット
 1 = ポートピンが > V_{IH}
 0 = ポートピンが < V_{IL}
- bit 3 **未実装**: 「0」として読み出し
- bit 2-0 **GPB<2:0>**: 汎用 I/O ピンビット
 1 = ポートピンが > V_{IH}
 0 = ポートピンが < V_{IL}

レジスタ 19-7: TRISGPB: PORTGPB 3 ステート レジスタ

R/W-1	R/W-1	R/W-1	R/W-1	U-1	R/W-1	R/W-1	R/W-1
TRISB7	TRISB6	TRISB5	TRISB4	-	TRISB2	TRISB1	TRISB0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7-4 **TRISB<7:4>**: PORTGPB 3 ステート制御ビット
 1 = PORTGPB のピンを入力として設定する (3 ステート)
 0 = PORTGPB のピンを出力として設定する
- bit 3 **未実装**: 「1」として読み出し
- bit 2-0 **TRISB<2:0>**: PORTGPB 3 ステート制御ビット
 1 = PORTGPB のピンを入力として設定する (3 ステート)
 0 = PORTGPB のピンを出力として設定する

MCP19111

レジスタ 19-8: WPUGPB: 弱プルアップ PORTGPB レジスタ

R/W-1	R/W-1	R/W-1	R/W-1	U-0	R/W-1	R/W-1	U-0
WPUB7	WPUB6	WPUB5	WPUB4	-	WPUB2	WPUB1	-
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-4 **WPUB<7:4>**: 弱プルアップ レジスタ ビット

1 = プルアップを有効にする
0 = プルアップを無効にする

bit 3 **未実装**: 「0」として読み出し

bit 2-1 **WPUB<2:1>**: 弱プルアップ レジスタ ビット

1 = プルアップを有効にする
0 = プルアップを無効にする

bit 0 **未実装**: 「0」として読み出し

Note 1: 弱プルアップ デバイスは、グローバル設定の $\overline{\text{RAPU}}$ ビットがクリア (= 0) されており、ピンが入力モード (TRISGPB = 1) で、個別の WPUB ビットがセット (= 1) されており、ピンがアナログ入力として設定されていない場合のみ有効になります。

レジスタ 19-9: ANSELB: アナログ選択 PORTGPB レジスタ

U-0	U-0	R/W-1	R/W-1	U-0	R/W-1	R/W-1	U-0
-	-	ANSB5	ANSB4	-	ANSB2	ANSB1	-
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-6 **未実装**: 「0」として読み出し

bit 5-4 **ANSB<5:4>**: アナログ選択 PORTGPB レジスタビット

1 = アナログ入力。ピンをアナログ入力として割り当てる ⁽¹⁾
0 = デジタル I/O。ピンにポートまたは特殊機能を割り当てる

bit 3 **未実装**: 「0」として読み出し

bit 2-1 **ANSB<2:1>**: アナログ選択 PORTGPB レジスタビット

1 = アナログ入力。ピンをアナログ入力として割り当てる ⁽¹⁾
0 = デジタル I/O。ピンにポートまたは特殊機能を割り当てる

bit 0 **未実装**: 「0」として読み出し

Note 1: ピンをアナログ入力に設定すると、デジタル入力回路 (および弱プルアップと状態変化割り込みがある場合はこれらも含む) は自動的に無効になります。ピンの電圧を外部から制御するには、対応する TRIS ビットを入力モードにセットする必要があります。

表 19-4: PORTGPB に関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ 内容記載 ページ
ANSELB	-	-	ANSB5	ANSB4	-	ANSB2	ANSB1	-	116
APFCON	-	-	-	-	-	-	-	CLKSEL	110
OPTION_REG	RAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	75
PORTGPB	GPB7	GPB6	GPB5	GPB4	-	GPB2	GPB1	GPB0	115
TRISGPB	TRISB7	TRISB6	TRISB5	TRISB4	-	TRISB2	TRISB1	TRISB0	115
WPUGPB	WPUB7	WPUB6	WPUB5	WPUB4	-	WPUB2	WPUB1	-	116

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分は PORTGPB では使いません。

MCP19111

NOTE:

20.0 状態変化割り込み

PORTGPA と PORTGPB の各ピンは、個別に状態変化割り込みピンとして設定できます。各ピンの割り込み機能の有効 / 無効は、制御ビット IOCA および IOCB で設定します。[レジスタ 20-1](#) と [レジスタ 20-2](#) を参照してください。状態変化割り込みは、パワーオンリセット時に無効になります。

コンフィグレーションワードで $\overline{\text{MCLR}}$ ピンとして設定した場合、GPA5 の状態変化割り込みは無効になります。

状態変化割り込みを有効に設定したピンでは、PORTGPA または PORTGPB の前回の読み出しでラッチされた値と現在の値が比較されます。これらの比較結果が 1 つでも不一致になると、INTCON レジスタ ([レジスタ 15-1](#)) の状態変化割り込みフラグビット (IOCF) がセットされます。

20.1 モジュールの有効化

各ポートピンで割り込みを生成するには、INTCON レジスタの IOCIE ビットをセットする必要があります。IOCIE ビットがクリアの場合、ピンにおいてエッジは検出されますが割り込みは生成されません。

20.2 個別のピン設定

特定のピンで状態変化割り込みを有効にするには、IOCA または IOCB レジスタの対応する IOCAx または IOCBx ビットをセットします。

20.3 割り込みフラグのクリア

状態変化割り込みは、割り込みサービスルーチンで以下のどちらかの方法を使ってユーザがクリアします。

a) PORTGPx を読み出し、IOCF フラグビットをクリアする。これにより、不一致条件は終了します。

または

b) PORTGPx に書き込み、IOCF フラグビットをクリアする。これにより、不一致条件は終了します。

不一致条件が 1 つでも成立している間は、IOCF フラグビットがセットされたままです。PORTGPA または PORTGPB を読み出すと不一致条件が終了し、IOCF フラグビットをクリアできるようになります。前回の読み出し値を保持するラッチは、 $\overline{\text{MCLR}}$ リセットの影響を受けません。このリセット後も、不一致条件が 1 つでも成立していれば IOCF フラグはセットされたままです。

Note: PORTGPA または PORTGPB に対する操作を実行中に I/O ピンの状態が変化した場合、IOCF 割り込みフラグがセットされないことがあります。

20.4 スリープ中の動作

IOCE ビットがセットされている場合、状態変化割り込みシーケンスによってデバイスはスリープから復帰します。

MCP19111

20.5 状態変化割り込みに関連するレジスタ

レジスタ 20-1: IOCA: PORTGPA 状態変化割り込みレジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
IOCA7	IOCA6	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-6 **IOCA<7:6>**: PORTGPA 状態変化割り込みレジスタ ビット

1 = このピンの状態変化割り込みを有効にする
 0 = このピンの状態変化割り込みを無効にする

bit 5 **IOCA<5>**: PORTGPA 状態変化割り込みレジスタ ビット ⁽¹⁾

1 = このピンの状態変化割り込みを有効にする
 0 = このピンの状態変化割り込みを無効にする

bit 4-0 **IOCA<4:0>**: PORTGPA 状態変化割り込みレジスタ ビット

1 = このピンの状態変化割り込みを有効にする
 0 = このピンの状態変化割り込みを無効にする

Note 1: GPA5 を MCLR として設定した場合、GPA5 の状態変化割り込みは無効になります。

レジスタ 20-2: IOCB: PORTGPB 状態変化割り込みレジスタ

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0
IOCB7	IOCB6	IOCB5	IOCB4	-	IOCB2	IOCB1	IOCB0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-4 **IOCB<7:4>**: PORTGPB 状態変化割り込みレジスタ ビット

1 = このピンの状態変化割り込みを有効にする
 0 = このピンの状態変化割り込みを無効にする

bit 3 **未実装**: 「0」として読み出し

bit 2-0 **IOCB<2:0>**: PORTGPB 状態変化割り込みレジスタ ビット

1 = このピンの状態変化割り込みを有効にする
 0 = このピンの状態変化割り込みを無効にする

表 20-1: 状態変化割り込みに関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ内容 記載ページ
ANSELA	-	-	-	-	ANSA3	ANSA2	ANSA1	ANSA0	113
ANSELB	-	-	ANSB5	ANSB4	-	ANSB2	ANSB1	-	116
INTCON	GIE	PEIE	T0IE	INTE	IOCE	T0IF	INTF	IOCF	94
IOCA	IOCA7	IOCA6	IOCA5	IOCA4	IOCA3	IOCA2	IOCA1	IOCA0	120
IOCB	IOCB7	IOCB6	IOCB5	IOCB4	-	IOCB2	IOCB1	IOCB0	120
TRISGPA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	112
TRISGPB	TRISB7	TRISB6	TRISB5	TRISB4	-	TRISB2	TRISB1	TRISB0	115

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分は状態変化割り込みでは使いません。

21.0 内部温度インジケータ モジュール

MCP19111 は、シリコンダイの動作温度を計測するために設計された温度回路を搭載しています。この回路が計測する動作温度のレンジは -40 ~ +125 °C です。出力はデバイス温度に比例した電圧です。温度インジケータの出力は、デバイス内蔵 ADC に接続されています。

21.1 回路動作

ABECON レジスタ (レジスタ 6-15) の TMPSEN ビットをセットすると、内部温度計測回路が有効になります。MCP19111 の過熱シャットダウン機能はこのビットでは制御されません。

21.2 温度出力

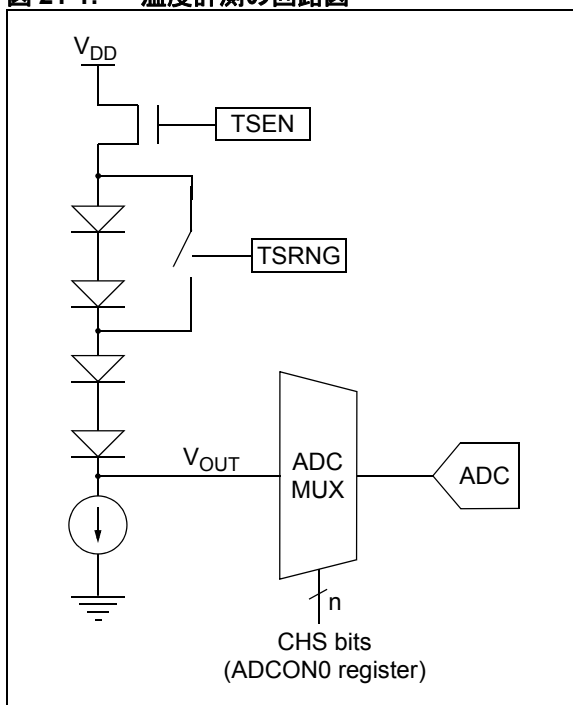
温度回路の出力は、内蔵 ADC (Analog-to-Digital Converter) によって計測されます。温度回路の出力用にチャンネル 10 が予約されています。詳細は、[セクション 22.0 「A/D コンバータ \(ADC\) モジュール」](#) を参照してください。

シリコンダイ温度は、ADC の計測値から式 21-1 で求めます。

式 21-1: シリコンダイ温度

$$TEMP_DIE = \frac{ADC\ READING - 1.75}{13.3\ mV/^{\circ}C}$$

図 21-1: 温度計測の回路図



MCP19111

NOTE:

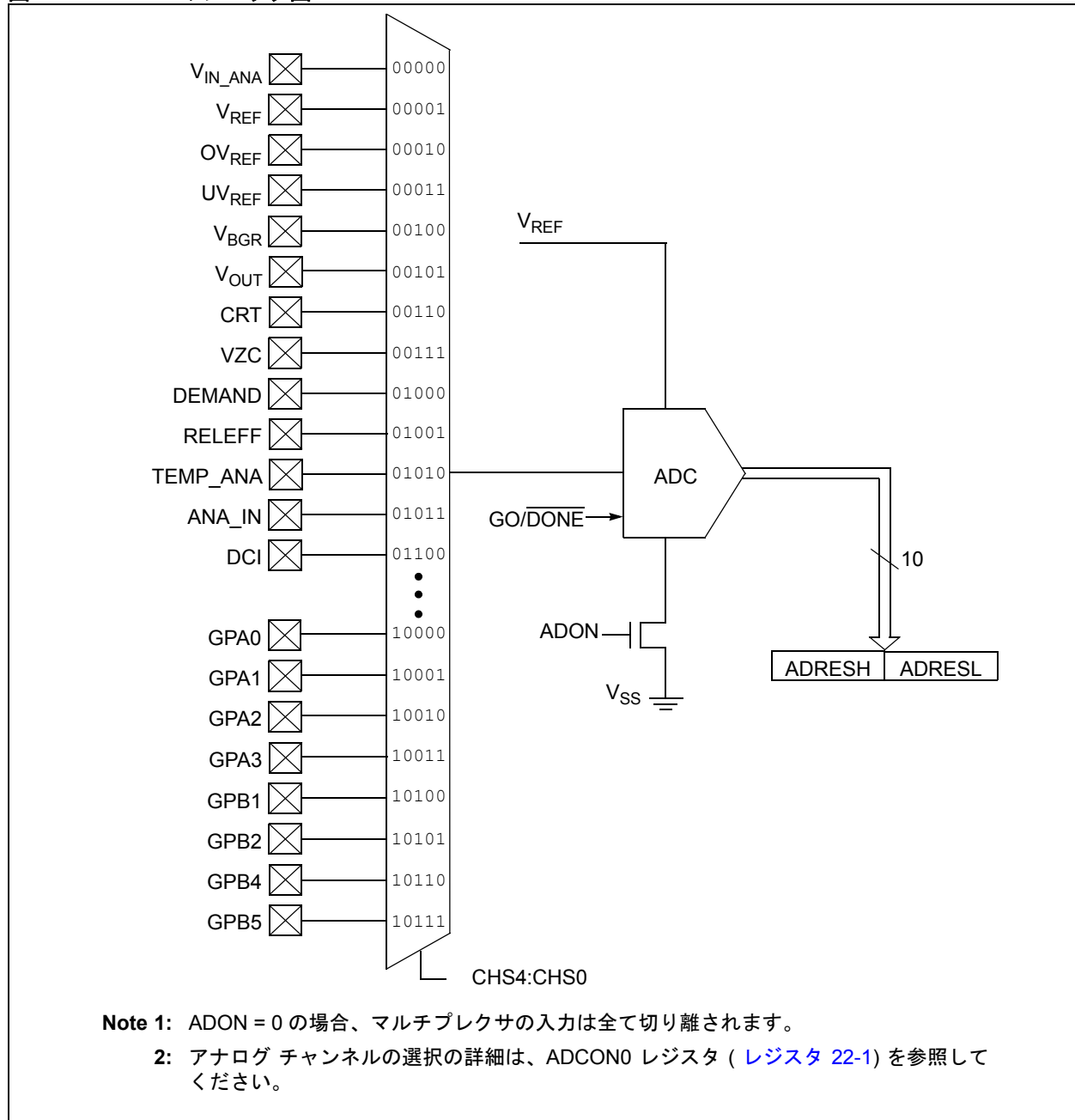
22.0 A/D コンバータ (ADC) モジュール

この ADC (A/D コンバータ) は、アナログ入力信号を 10 ビットのバイナリ値に変換します。本デバイスで使うアナログ入力は、マルチプレクサを介して単一のサンプルホールド回路に入力されます。このサンプルホールド回路の出力を ADC の入力に接続します。ADC は逐次比較方式によって 10 ビットのバイナリ値を生成し、この変換結果を A/D 変換結果レジスタ (ADRESH:ADRESL レジスタペア) に右詰めで格納します。図 22-1 に、ADC のブロック図を示します。

ADC の参照電圧は内部バンドギャップが供給します。

ADC は変換完了時に割り込みを生成できます。この割り込みを使って、デバイスをスリープから復帰させる事ができます。

図 22-1: ADC のブロック図



22.1 ADC の設定

ADC の設定と使用に際しては、以下の機能を考慮する必要があります。

- ポートの設定
- チャンネル選択
- ADC のクロック源
- 割り込みの制御
- 変換結果のフォーマット

22.1.1 ポートの設定

ADC は、アナログ信号とデジタル信号の両方の変換に使用できます。アナログ信号を変換する場合、対応する TRIS ビットと ANSEL ビットをセットして I/O ピンをアナログに設定する必要があります。詳細は、[セクション 19.0 「I/O ポート」](#) を参照してください。

Note: デジタル入力として定義されたピンにアナログ電圧を印加すると、入力バッファに過大な電流が流れる事があります。

22.1.2 チャンネルの選択

以下の最大 21 チャンネルから選択できます。

- AN<6:0> ピン
- VIN: 入力電圧 (V_{IN}) の 1/5
- VREGREF: V_{OUT} 参照電圧
- OV_REF: OV コンパレータの参照電圧
- UV_REF: UV コンパレータの参照電圧
- VBGR: バンドギャップリファレンス
- VOUT: 出力電圧
- CRT: AC インダクタ電流に比例した電圧
- VZC: 内部グランド VZC (ゼロ電流電圧)
- DEMAND: スロープ補償回路への入力
- RELEFF: 相対効率計測チャンネル
- TMP_ANA: シリコンダイ温度に比例した電圧
- ANA_IN: マスタから受信したエラーアンプ信号 (多相スレーブの場合)
- DCI: DC インダクタの電流

サンプルホールド回路にどのチャンネルを接続するかは、ADCON0 レジスタの CHS<4:0> ビットで設定します。

チャンネルを変更する際は、次の変換を開始するまでに遅延が必要です。詳細は、[セクション 22.2 「ADC の動作」](#) を参照してください。

22.1.3 A/D 変換クロック

変換のクロック源は、ADCON1 レジスタの ADCS ビットで選択できます。クロックは以下の 5 つから選択できます。

- $F_{OSC}/8$
- $F_{OSC}/16$
- $F_{OSC}/32$
- $F_{OSC}/64$
- F_{RC}
(内部オシレータを 16 分周して得られるクロック)

1 ビットの変換に必要な時間を T_{AD} と定義します。[図 22-2](#) に示すように、10 ビット全体の変換には $11 T_{AD}$ が必要です。

正しく変換を行うには、 T_{AD} の仕様を正しく満たす必要があります。A/D 変換の要件に関する詳細は、[セクション 5.0 「デジタル電気的特性」](#) を参照してください。[表 22-1](#) に、適切な ADC クロックの選択例を示します。

Note: F_{RC} を使う場合を除き、システムクロック周波数を変更すると ADC クロック周波数も変化するため、変換結果に悪影響を与える可能性があります。

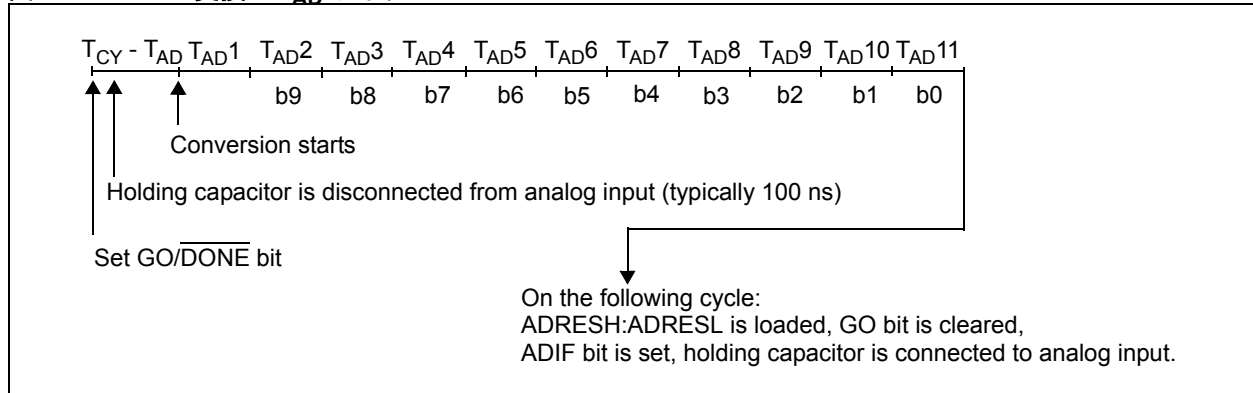
表 22-1: ADC クロック周期 (T_{AD}) とデバイスの動作周波数の関係

ADC クロック周期 (T_{AD})		デバイスの動作周波数 (F_{OSC})
ADC クロック源	ADCS<2:0>	8 MHz
$F_{OSC}/8$	001	1.0 μs ⁽²⁾
$F_{OSC}/16$	101	2.0 μs
$F_{OSC}/32$	010	4.0 μs
$F_{OSC}/64$	110	8.0 μs ⁽³⁾
F_{RC}	$\times 11$	2.0 - 6.0 μs ^(1,4)

凡例: 網掛けの値は推奨レンジ外です。

- Note 1:** $V_{DD} > 3.0 V$ の場合、クロック源 F_{RC} の T_{AD} 時間は 4 μs (typ.) です。
- 2:** これらの値は T_{AD} 時間の最小要件を満たしていません。
- 3:** より高速の変換を実行するには、他のクロック源の選択を推奨します。
- 4:** F_{RC} クロック源は、スリープ中に変換を実行する場合のみ推奨します。

図 22-2: A/D 変換の T_{AD} サイクル



22.1.4 割り込み

ADC モジュールは、A/D 変換完了時に割り込みを生成できます。ADC 割り込みフラグは、PIR1 レジスタの ADIF ビットです。ADC 割り込みイネーブルは、PIE1 レジスタの ADIE ビットです。ADIF ビットはソフトウェアでクリアする必要があります。

Note 1: ADC 割り込みの有効/無効の設定に関わらず、変換完了時には必ず ADIF ビットがセットされます。

2: F_{RC} オシレータ選択時のみ、ADC はデバイスがスリープ中でも動作します。

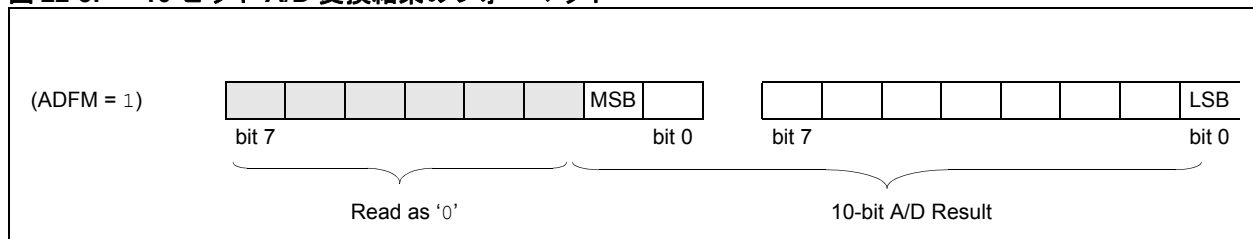
この割り込みは、デバイスが動作中でもスリープ時でも生成できます。デバイスがスリープ中の場合、割り込みによってデバイスが復帰します。スリープから復帰すると、SLEEP 命令の次の命令が必ず実行されます。スリープから復帰後にインラインコード実行を再開するには、INTCON レジスタの GIE と PEIE ビットを無効にしておく必要があります。INTCON レジスタの GIE と PEIE ビットが有効な場合、コード実行は割り込みサービスルーチンに分岐します。

22.1.5 変換結果のフォーマット

10 ビットの A/D 変換結果は、常に右詰めフォーマットで出力されます。

図 22-3 に、出力フォーマットを示します。

図 22-3: 10 ビット A/D 変換結果のフォーマット



22.2 ADC の動作

22.2.1 変換の開始

ADC モジュールを有効にするには、ADCON0 レジスタの ADON ビットを「1」にセットする必要があります。ADCON0 レジスタの GO/DONE ビットを「1」にセットすると A/D 変換が始まります。

Note: ADCをONにする命令と同じ命令でGO/DONE ビットをセットしてはいけません。セクション 22.2.5 「A/D 変換の手順」を参照してください。

22.2.2 変換の完了

変換が完了すると、ADC モジュールは以下の動作を実行します。

- GO/DONE ビットをクリアする
- ADIF 割り込みフラグビットをセットする
- ADRESH:ADRESL レジスタに新しい変換結果を書き込む

22.2.3 変換の中止

変換を完了前に中止する場合、GO/DONE ビットをソフトウェアでクリアします。未完了の A/D 変換サンプルが ADRESH:ADRESL レジスタに書き込まれる事はありません。ADRESH:ADRESL レジスタペアは直前の変換結果を保持します。また、次のアキュイジションを開始できるようになるまでには $2 T_{AD}$ の遅延時間が必要です。この遅延時間の後、選択したチャンネルで入力アキュイジションが自動的に開始します。

Note: デバイスをリセットすると、全てのレジスタがリセット状態に戻ります。このため、ADC モジュールは OFF になり、保留中の変換は全て中止されます。

22.2.4 スリープ中の ADC の動作

ADC モジュールはスリープ中も動作できます。ただし、ADC クロックが F_{RC} である必要があります。クロック源に F_{RC} を選択した場合、ADC が変換を開始するまでの待ち時間は通常より 1 命令サイクル分長くなります。これにより SLEEP 命令の実行が可能になり、変換中のシステムノイズが軽減されます。ADC 割り込みが有効の場合、A/D 変換が完了するとデバイスがスリープから復帰します。ADC 割り込みが無効の場合、変換が完了すると ADON ビットはセットされたまま ADC モジュールが OFF になります。

ADC クロック源が F_{RC} 以外の場合、SLEEP 命令によって現在の変換が中断され、ADON ビットがセットされたまま ADC モジュールは OFF になります。

22.2.5 A/D 変換の手順

以下に ADC による A/D 変換の手順の例を示します。

- ポートを設定する：
 - ピン出力ドライバを無効にする (TRIS レジスタ参照)。
 - ピンをアナログとして設定する (ANSEL レジスタ参照)。
- ADC モジュールを設定する：
 - A/D 変換クロックを選択する。
 - ADC 入力チャンネルを選択する。
 - ADC モジュールを ON にする。
- ADC 割り込みを設定する (オプション):
 - ADC 割り込みフラグをクリアする。
 - ADC 割り込みを有効にする。
 - 周辺機能割り込みを有効にする。
 - グローバル割り込みを有効にする。(1)
- 必要なアキュイジション時間が経過するまで待つ。(2)
- GO/DONE ビットをセットして変換を開始する。
- 以下のどちらかの方法で、A/D 変換の完了を待つ：
 - GO/DONE ビットをポーリングする。
 - ADC 割り込みを待つ (割り込みが有効の場合)。
- A/D 変換の結果を読み出す。
- ADC 割り込みフラグをクリアする (割り込みが有効の場合は必須)。

Note 1: スリープからの復帰後にインラインコード実行を再開させる場合、グローバル割り込みは無効でもかまいません。

2: セクション 22.4 「A/D アキュイジションの要件」を参照してください。

例 22-1: A/D 変換

```
;This code block configures the ADC
;for polling, Frc clock and AN0 input.
;
;Conversion start & polling for completion ;
are included.
;
BANKSEL   ADCON1           ;
movlw     B'01110000'      ;Frc clock
movwf    ADCON1           ;
BANKSEL   TRISGPA         ;
bsf      TRISGPA,0        ;Set GPA0 to input
BANKSEL   ANSELA          ;
bsf      ANSELA,0         ;Set GPA0 to analog
BANKSEL   ADCON0          ;
movlw     B'01000001'      ;Select channel AN0
movwf    ADCON0           ;Turn ADC On
call     SampleTime       ;Acquisition delay
bsf      ADCON0,1         ;Start conversion
btfsc    ADCON0,1         ;Is conversion done?
goto     $-1              ;No, test again
BANKSEL   ADRESH          ;
movf     ADRESH,W         ;Read upper 2 bits
movwf    RESULTHI         ;store in GPR space
BANKSEL   ADRESL          ;
movf     ADRESL,W        ;Read lower 8 bits
movwf    RESULTLO        ;Store in GPR space
```

22.3 ADC 関連レジスタの定義

ADC の動作は以下のレジスタで制御します。

レジスタ 22-1: ADCON0: A/D 制御レジスタ 0

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
-	CHS4	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7 **未実装:** 「0」として読み出し

bit 6-2 **CHS<4:0>:** アナログ チャンネル選択ビット

- 00000 = VIN_ANA (V_{IN} に比例したアナログ電圧)
- 00001 = VREGREF (V_{REG} 出力の参照電圧)
- 00010 = OV_REF (過電圧コンパレータの参照電圧)
- 00011 = UV_REF (低電圧コンパレータの参照電圧)
- 00100 = VBGR (バンドギャップ リファレンス)
- 00101 = INT_VREG (V_{REG} 負荷電圧に相当する内部電圧)
- 00110 = CRT (インダクタの電流に比例した電圧)
- 00111 = 内部グランド VZC (ゼロ電流電圧)
- 01000 = DEMAND (電流ループへの入力、制御対象比較値 MUX の出力)
- 01001 = RELEFF (デューティ サイクルに比例したアナログ電圧)
- 01010 = TMP_ANA (温度に比例したアナログ電圧)
- 01011 = ANA_IN (リモートマスタから要求された電流)
- 01100 = DCI (DC インダクタの電流)
- 01101 = 未実装
- 01110 = 未実装
- 01111 = 未実装
- 10000 = GPA0
- 10001 = GPA1
- 10010 = GPA2
- 10011 = GPA3
- 10100 = GPB1
- 10101 = GPB2
- 10110 = GPB4
- 10111 = GPB5
- 11000 = 未実装
- 11001 = 未実装
- 11011 = 未実装
- 11100 = 未実装
- 11101 = 未実装
- 11110 = 未実装
- 11111 = 未実装

bit 1 **GO/DONE:** A/D 変換ステータスビット

- 1 = A/D 変換サイクルが進行中である。このビットをセットすると A/D 変換サイクルが始まる。
このビットは、A/D 変換が完了するとハードウェアによって自動的にクリアされます。
- 0 = A/D 変換サイクルが完了している (進行中でない)

bit 0 **ADON:** ADC イネーブルビット

- 1 = ADC を有効にする
- 0 = ADC を無効にし、消費電流をゼロにする

MCP19111

レジスタ 22-2: ADCON1: A/D 制御レジスタ 1

U-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
-	ADCS2	ADCS1	ADCS0	-	-	-	-
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7 **未実装:** 「0」として読み出し

bit 6-4 **ADCS<2:0>:** A/D 変換クロック選択ビット

000 = 予約済み

001 = $F_{OSC}/8$

010 = $F_{OSC}/32$

x11 = F_{RC} (内部オシレータを 16 分周して得られるクロック)

100 = 予約済み

101 = $F_{OSC}/16$

110 = $F_{OSC}/64$

bit 3-0 **未実装:** 「0」として読み出し

レジスタ 22-3: ADRESH: A/D 変換結果レジスタ上位 (High) (ADRESH)

U-0	U-0	U-0	U-0	U-0	U-0	R-x	R-x
-	-	-	-	-	-	ADRES9	ADRES8
bit 7							bit 0

凡例:

R = 読み出し可能ビット P = プログラミング可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-2 **未実装:** 「0」として読み出し

bit 1-0 **ADRES<9:8>:** A/D 変換結果上位 2 ビット

レジスタ 22-4: ADRESL: A/D 変換結果レジスタ下位 (Low) (ADRESL)

R-x	R-x	R-x	R-x	R-x	R-x	R-x	R-x
ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2	ADRES1	ADRES0
bit 7							bit 0

凡例:

R = 読み出し可能ビット P = プログラミング可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-0 **ADRES<7:0>:** A/D 変換結果下位 8 ビット

22.4 A/D アクイジションの要件

ADC が仕様上の精度を実現するには、ホールド コンデンサ (C_{HOLD}) を入力チャンネルの電圧レベルまで完全に充電する必要があります。図 22-4 に、アナログ入力モデルを示します。ソース インピーダンス (R_S) と内部サンプリング スイッチのインピーダンス (R_{SS}) は、コンデンサ C_{HOLD} の充電に必要な時間に直接影響します。サンプリング スイッチのインピーダンス (R_{SS}) はデバイス電圧 (V_{DD}) によって変化します (図 22-4 参照)。

アナログソースの最大推奨インピーダンスは、10 k Ω です。ソース インピーダンスが低下すると、アクイジション時間が短くなる場合があります。アナログ入力チャンネルを選択 (または変更) したら、変換開始前に A/D アクイジションを実行する必要があります。最小アクイジション時間は、式 22-1 で求めます。この式では、1/2 LSB 誤差の適用を前提としています (ADC は 1,024 ステップ)。1/2 LSB の誤差は、ADC で仕様上の分解能を実現できる最大許容誤差です。

式 22-1: アクイジション時間の例

仮定: $Temperature = +50^{\circ}C$ and external impedance of 10 k Ω 5.0V V_{DD}

$$\begin{aligned} T_{ACQ} &= \text{Amplifier Settling Time} + \text{Hold Capacitor Charging Time} + \text{Temperature Coefficient} \\ &= T_{AMP} + T_C + T_{COFF} \\ &= 2 \mu s + T_C + [(Temperature - 25^{\circ}C)(0.05 \mu s/^{\circ}C)] \end{aligned}$$

T_C の値は以下の式から近似的に求められる:

$$V_{APPLIED} \left(1 - \frac{1}{(2^{n+1}) - 1} \right) = V_{CHOLD} \quad ; [1] V_{CHOLD} \text{ charged to within } 1/2 \text{ lsb}$$

$$V_{APPLIED} \left(1 - e^{-\frac{T_C}{RC}} \right) = V_{CHOLD} \quad ; [2] V_{CHOLD} \text{ charge response to } V_{APPLIED}$$

$$V_{APPLIED} \left(1 - e^{-\frac{T_C}{RC}} \right) = V_{APPLIED} \left(1 - \frac{1}{(2^{n+1}) - 1} \right) \quad ; \text{combining [1] and [2]}$$

Note: n は ADC のビット数です。

T_C について解くと:

$$\begin{aligned} T_C &= -C_{HOLD}(R_{IC} + R_{SS} + R_S) \ln(1/2047) \\ &= -10 \text{ pF}(1 \text{ k}\Omega + 7 \text{ k}\Omega + 10 \text{ k}\Omega) \ln(0.0004885) \\ &= 1.37 \mu s \end{aligned}$$

従って:

$$\begin{aligned} T_{ACQ} &= 2 \mu s + 1.37 \mu s + [(50^{\circ}C - 25^{\circ}C)(0.05 \mu s/^{\circ}C)] \\ &= 4.67 \mu s \end{aligned}$$

Note 1: ホールド コンデンサ (C_{HOLD}) は、変換が完了するたびに放電されるわけではありません。

2: アナログソースの推奨最大インピーダンスは 10 k Ω です。これは、ピンのリーク電流仕様を満たすために必要です。

MCP19111

図 22-4: アナログ入力モデル

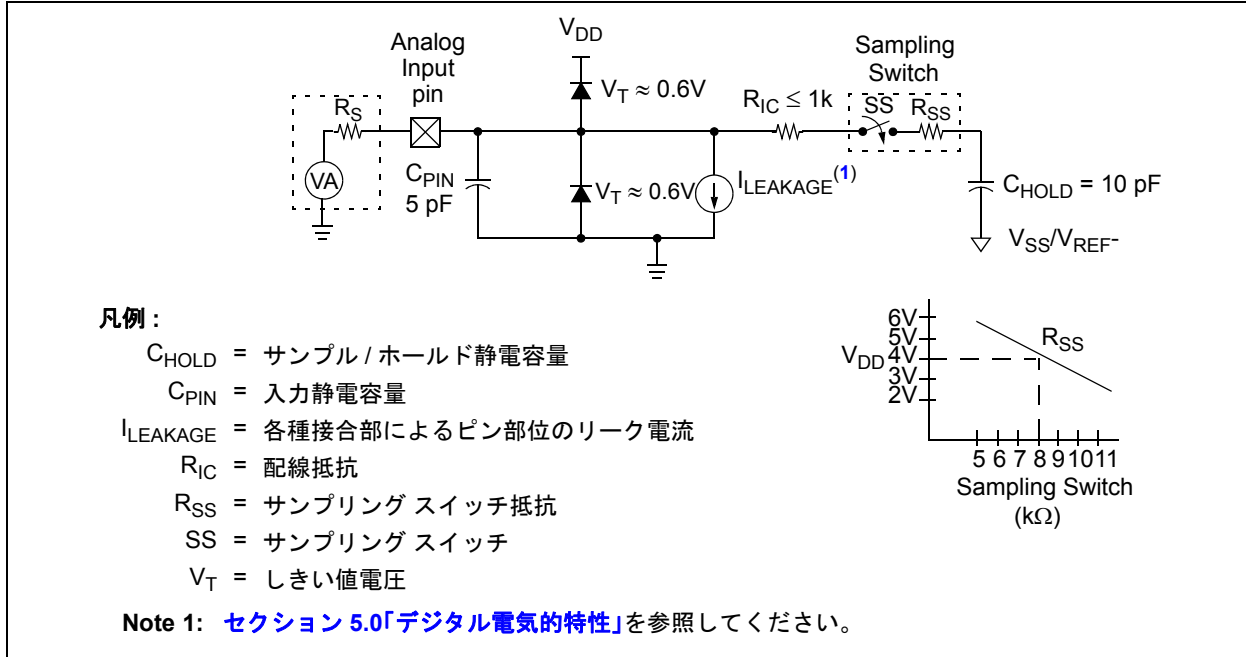


図 22-5: ADC の伝達関数

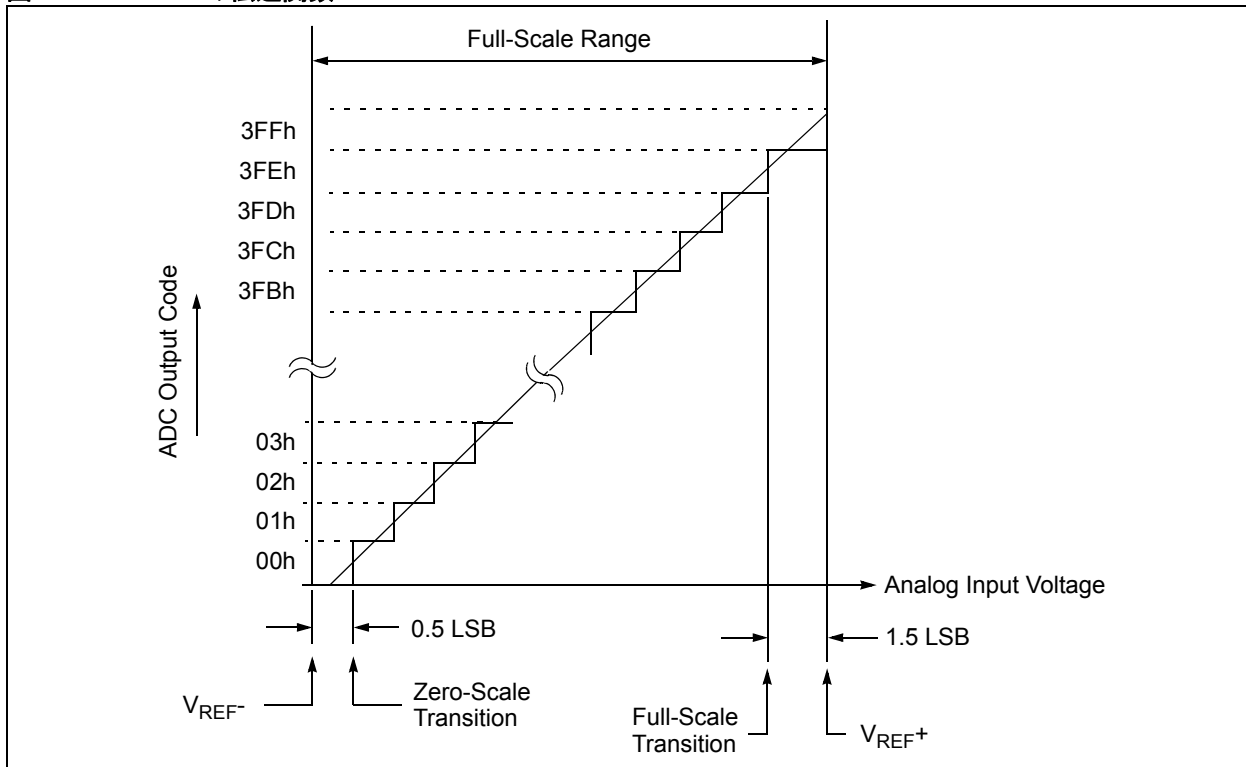


表 22-2: ADC に関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ 内容記載 ページ
ADCON0	-	CHS4	CHS3	CHS2	CHS1	CHS0	GO/DONE	ADON	127
ADCON1	-	ADCS2	ADCS1	ADCS0	-	-	-	-	128
ADRESH	-	-	-	-	-	-	ADRES9	ADRES8	128
ADRESL	ADRES7	ADRES6	ADRES5	ADRES4	ADRES3	ADRES2	ADRES1	ADRES0	128
ANSELA	-	-	-	-	ANSA3	ANSA2	ANSA1	ANSA0	113
ANSELB	-	-	ANSB5	ANSB4	-	ANSB2	ANSB1	-	116
INTCON	GIE	PEIE	T0IE	INTE	IOCE	T0IF	INTF	IOCF	93
PIE1	-	ADIE	BCLIE	SSPIE	-	-	TMR2IE	TMR1IE	94
PIR1	-	ADIF	BCLIF	SSPIF	-	-	TMR2IF	TMR1IF	96
TRISGPA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	112
TRISGPB	TRISB7	TRISB6	TRISB5	TRISB4	-	TRISB2	TRISB1	TRISB0	115

凡例: - = 未実装、「0」として読み出し。網掛けの部分は ADC モジュールでは使いません。

MCP19111

NOTE:

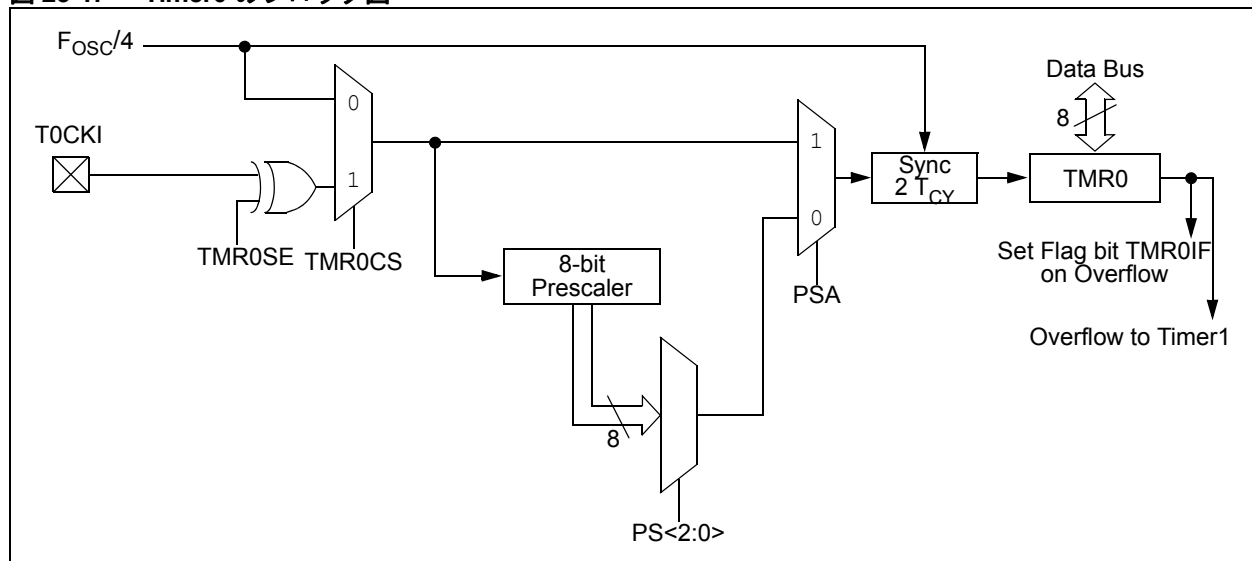
23.0 Timer0 モジュール

Timer0 モジュールは 8 ビットのタイマ / カウンタで、以下の特長を備えています。

- 8 ビットのタイマ / カウンタレジスタ (TMR0)
- 8 ビットのプリスケアラ (ウォッチドッグ タイマから独立)
- プログラマブルな内部または外部クロック源
- プログラマブルな外部クロックエッジ選択
- オーバーフロー割り込み

図 23-1 に、Timer0 モジュールのブロック図を示します。

図 23-1: Timer0 のブロック図



23.1 Timer0 の動作

Timer0 モジュールは、8 ビットのタイマまたはカウンタとして使えます。

23.1.1 8 ビット タイマ モード

プリスケアラを使わない場合、Timer0 モジュールは 1 命令サイクルごとにインクリメントします。8 ビットタイマモードを選択するには、OPTION_REG レジスタの T0CS ビットをクリアします。

TMR0 に書き込みが実行されると、書き込み直後の 2 命令サイクル間はインクリメントが抑止されます。

Note: TMR0 レジスタへの書き込み時に生じる 2 命令サイクル間の遅延は、TMR0 に書き込む値を調整する事で補償できます。

23.1.2 8 ビット カウンタ モード

8 ビット カウンタ モードでは、Timer0 モジュールは T0CKI ピンの立ち上がりエッジまたは立ち下がりエッジごとにインクリメントします。どちらのエッジでインクリメントするかは、OPTION_REG レジスタの T0SE ビットによって決定します。

T0CKI ピンを使った 8 ビット カウンタ モードは、OPTION_REG レジスタの T0CS ビットを「1」にセットする事で選択します。

23.1.3 ソフトウェアでプログラム可能なプリスケアラ

ソフトウェアでプログラム可能なプリスケアラが 1 つ用意されており、Timer0 またはウォッチドッグ タイマ (WDT) に割り当てて使用できますが、両方に同時に割り当てる事はできません。プリスケアラは OPTION_REG レジスタの PSA ビットで割り当てます。プリスケアラを Timer0 に割り当てするには、PSA ビットを「0」にクリアする必要があります。

Timer0 モジュールのプリスケアラは、1:2 から 1:256 までの 8 つの設定が可能であり、OPTION_REG レジスタの PS<2:0> ビットで選択します。Timer0 モジュールに 1:1 のプリスケアラ値を設定するには、OPTION_REG レジスタの PSA ビットをセットしてプリスケアラを無効にします。

プリスケアラ値の読み書きはできません。プリスケアラを Timer0 モジュールに割り当てると、TMR0 レジスタに対するあらゆる書き込み命令がプリスケアラをクリアします。

23.1.4 Timer0 モジュールと WDT モジュール間のプリスケアラの切り換え

プリスケアラは Timer0 と WDT のどちらかに割り当てられるため、プリスケアラ値の割り当てを変更する際に意図しないデバイスリセットが発生する可能性があります。Timer0 モジュールから WDT モジュールへプリスケアラの割り当てを変更する際は、例 23-1 に示す命令シーケンスを実行する必要があります。

例 23-1: プリスケアラの変更(Timer0 → WDT)

```
BANKSEL TMR0      ;
CLRWDWDT          ;Clear WDT
CLRWF TMR0        ;Clear TMR0 and
                  ;prescaler

BANKSEL OPTION_REG ;
BSF OPTION_REG,PSA ;Select WDT
CLRWDWDT          ;
                  ;
MOVLW b'11111000' ;Mask prescaler
ANDWF OPTION_REG,W ;bits
IORLW b'00000101' ;Set WDT prescaler
MOVWF OPTION_REG  ;to 1:32
```

WDT モジュールから Timer0 モジュールへプリスケアラ割り当てを変更する際は、以下の命令シーケンスを実行する必要があります (例 23-2 参照)。

例 23-2: プリスケアラの変更(WDT → TIMER0)

```
CLRWDWDT          ;Clear WDT and
                  ;prescaler

BANKSEL OPTION_REG ;
MOVLW b'11111000' ;Mask TMR0 select and
ANDWF OPTION_REG,W ;prescaler bits
IORLW b'00000011' ;Set prescale to 1:16
MOVWF OPTION_REG  ;
```

表 23-1: Timer0 に関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ内容記載ページ
INTCON	GIE	PEIE	T0IE	INTE	IOCIE	T0IF	INTF	IOCIF	94
OPTION_REG	RAUP	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	75
TMR0	Timer0 モジュール レジスタ								133*
TRISGPA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	112

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分は Timer0 モジュールでは使いません。

* このページにレジスタ情報を記載しています。

23.1.5 Timer0 割り込み

TMR0 レジスタが FFh から 00h にオーバーフローすると、Timer0 は割り込みを生成します。Timer0 割り込みの有効/無効に関わらず、TMR0 レジスタがオーバーフローするたびに、INTCON レジスタの T0IF 割り込みフラグビットがセットされます。T0IF ビットは、ソフトウェアでのみクリアできます。Timer0 割り込みを有効にするには、INTCON レジスタの T0IE ビットをセットします。

Note: スリープ中は Timer0 が停止しているため、Timer0 割り込みによってプロセッサを復帰させる事はできません。

23.1.6 外部クロックを用いた Timer0 の使用

Timer0 がカウンタ モードの場合、内部位相クロックの Q2 と Q4 サイクルでプリスケアラ出力をサンプリングして T0CKI 入力と Timer0 レジスタを同期します。従って、外部クロック源の High/Low 期間は、セクション 5.0 「デジタル電気的特性」に記載されたタイミング要件を満たす必要があります。

23.1.7 スリープ中の動作

プロセッサがスリープ中、Timer0 は動作しません。この間、TMR0 レジスタの内容は変更されません。

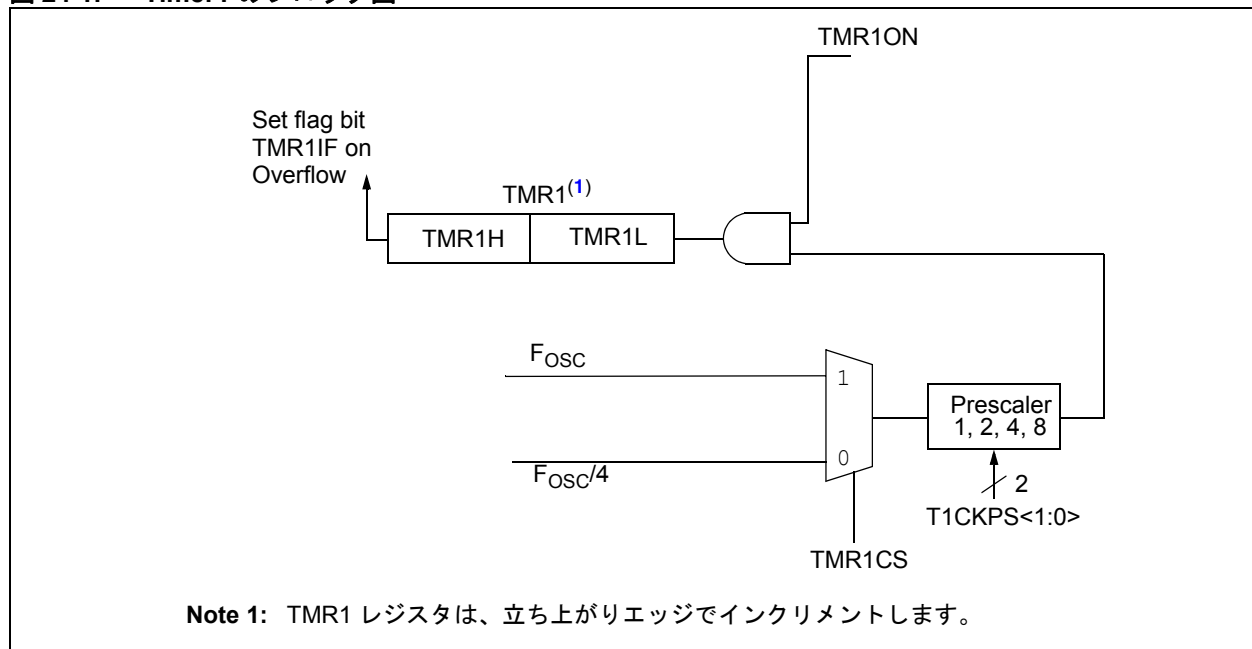
24.0 Timer1 モジュール (ゲート制御対応)

Timer1 モジュールは 16 ビットのタイマで、以下の特長を備えています。

- 16 ビットのタイマ レジスタペア (TMR1H:TMR1L)
- 読み書き可能 (両レジスタ)
- 内部クロック源を選択可能
- 2 ビット プリスケーラ
- オーバーフロー割り込み

図 24-1 に、Timer1 モジュールのブロック図を示します。

図 24-1: Timer1 のブロック図



24.1 Timer1 の動作

Timer1 モジュールは 16 ビットのインクリメントタイマで、TMR1H:TMR1L レジスタペアを介してアクセスします。TMR1H または TMR1L に書き込むと、カウンタ値を直接更新できます。このタイマは、1 命令サイクルごとにインクリメントします。

Timer1 を有効にするには、T1CON レジスタの TMR1ON ビットをセットします。表 24-1 に、Timer1 が有効になる設定値を示します。

24.2 クロック源の選択

Timer1 のクロック源は、T1CON レジスタの TMR1CS ビットで選択します。表 24-1 に、各ビット値で選択されるクロック源を示します。

24.2.1 内部クロック源

TMR1H:TMR1L レジスタペアは、Timer1 プリスケーラで決まる F_{osc} または $F_{osc}/4$ の倍数単位でインクリメントします。

例えば F_{osc} 内部クロック源を選択した場合、Timer1 レジスタの値は、1 命令クロックサイクルあたり 4 カウント分インクリメントします。

表 24-1: クロック源の選択

TMR1CS	クロック源
1	8 MHz システムクロック (F_{osc})
0	2 MHz 命令クロック ($F_{osc}/4$)

MCP19111

24.3 Timer1 プリスケアラ

Timer1 のプリスケアラは、クロック入力の 1/1、1/2、1/4、1/8 倍の 4 種類の設定が可能です。プリスケールカウンタは、T1CON レジスタの T1CKPS ビットで制御します。プリスケールカウンタは直接読み書きできませんが、TMR1H または TMR1L への書き込み時にクリアされます。

24.4 Timer1 割り込み

Timer1 のレジスタペア (TMR1H:TMR1L) は、FFFFh までインクリメントすると 0000h にロールオーバーします。Timer1 がロールオーバーすると、PIR1 レジスタの Timer1 割り込みフラグビットがセットされます。ロールオーバー割り込みを有効にするには、以下のビットをセットする必要があります。

- T1CON レジスタの TMR1ON ビット
- PIE1 レジスタの TMR1IE ビット
- INTCN レジスタの PEIE ビット
- INTCN レジスタの GIE ビット

割り込みサービスルーチンで TMR1IF ビットをクリアすると、割り込みは解除されます。

Note: 割り込みを有効にする前に、TMR1H:TMR1L レジスタペアと TMR1IF ビットをクリアする必要があります。

24.5 スリープ中の Timer1

標準的なミッドレンジ デバイスの Timer1 モジュールとは異なり、MCP19111 の Timer1 モジュールは内部システムクロックでのみ動作するため、スリープ中は動作しません。このため、Timer1 モジュールを使ってデバイスをスリープから復帰させる事もできません。

24.6 Timer1 制御レジスタ

レジスタ 24-1 に示す Timer1 制御レジスタ (T1CON) は、Timer1 の制御と Timer1 モジュールの各種機能の選択に使用します。

レジスタ 24-1: T1CON: Timer1 制御レジスタ

U-0	U-0	R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0
-	-	T1CKPS1	T1CKPS0	-	-	TMR1CS	TMR1ON
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7-6 **未実装:** 「0」として読み出し
- bit 5-4 **T1CKPS<1:0>:** Timer1 入力クロック プリスケール選択ビット
11 = 1:8 プリスケール値
10 = 1:4 プリスケール値
01 = 1:2 プリスケール値
00 = 1:1 プリスケール値
- bit 3-2 **未実装:** 「0」として読み出し
- bit 1 **TMR1CS:** Timer1 クロック源制御ビット
1 = 8 MHz システムクロック (F_{OSC})
0 = 2 MHz 命令クロック (F_{OSC})
- bit 0 **TMR1ON:** Timer1 ON ビット
1 = Timer1 を有効にする
0 = Timer1 を停止する
Timer1 ゲート フリップフロップをクリアする

表 24-2: Timer1 に関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ内容記載ページ
INTCON	GIE	PEIE	T0IE	INTE	IOCE	T0IF	INTF	IOCF	93
PIE1	-	ADIE	BCLIE	SSPIE	-	-	TMR2IE	TMR1IE	94
PIR1	-	ADIF	BCLIF	SSPIF	-	-	TMR2IF	TMR1IF	96
TMR1H	16 ビット TMR1 レジスタの上位バイト ホールドレジスタ								135*
TMR1L	16 ビット TMR1 レジスタの下位バイト ホールドレジスタ								135*
T1CON	-	-	T1CKPS1	T1CKPS0	-	-	TMR1CS	TMR1ON	136

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分は Timer1 モジュールでは使いません。

* このページにレジスタ情報を記載しています。

MCP19111

25.0 Timer2 モジュール

Timer2 モジュールは 8 ビットのタイマで、以下の特長を備えています。

- 8 ビットのタイマレジスタ (TMR2)
- 8 ビットの周期レジスタ (PR2)
- TMR2 と PR2 の一致割り込み
- ソフトウェア プログラマブル プリスケアラ (1:1、1:4、1:16)

Timer2 のブロック図は、[図 25-1](#) を参照してください。

25.1 Timer2 の動作

Timer2 モジュールへのクロック入力には、システムクロック (F_{OSC}) を使います。このクロックはまず、1:1、1:4、1:16 のいずれかのプリスケアラ値を持つ Timer2 プリスケアラに入力されます。このプリスケアラの出力を使って TMR2 レジスタがインクリメントします。

TMR2 と PR2 の値を常に比較して、一致しているかどうかを判断します。TMR2 の値は 00h から、PR2 の値に一致するまでインクリメントします。これらの値が一致すると、次のインクリメントサイクルで TMR2 は 00h にリセットします。

Timer2/PR2 コンパレータの一致出力を使って、PIR1 レジスタの TMR2IF 割り込みフラグビットがセットされます。

TMR2 および PR2 レジスタは、両方共読み書きできます。全てのリセットによって、TMR2 レジスタは 00h に設定され、PR2 レジスタは FFh に設定されます。

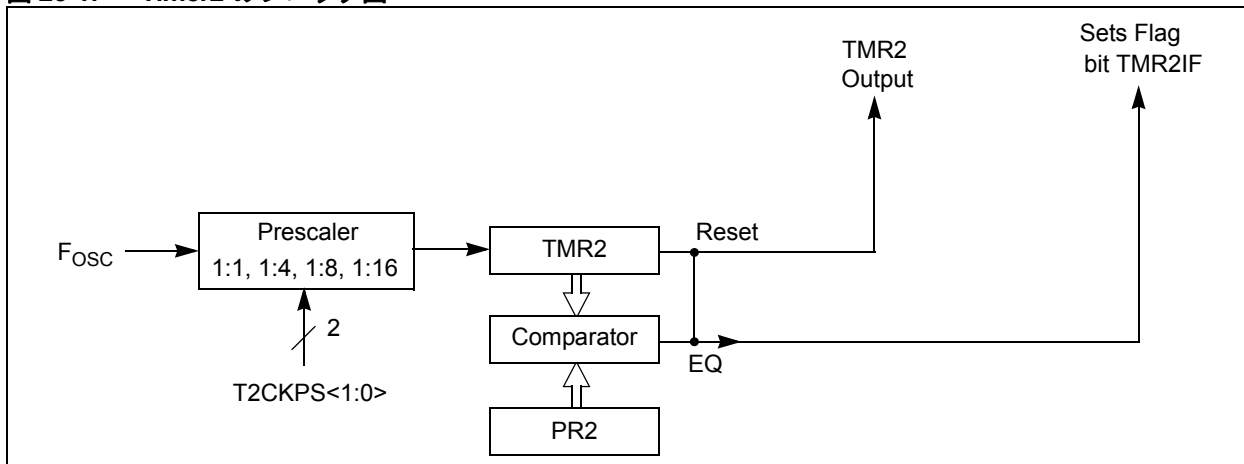
Timer2 を ON にするには、T2CON レジスタの TMR2ON ビットを「1」にセットします。Timer2 を OFF にするには、TMR2ON ビットを「0」にクリアします。

Timer2 プリスケアラは T2CON レジスタの T2CKPS ビットによって制御します。プリスケアラ カウンタは、以下の場合にクリアされます。

- TMR2 への書き込みが発生した
- T2CON への書き込みが発生した
- 何らかのデバイスリセット (パワーオンリセット、MCLR リセット、ウォッチドッグタイマ リセット、ブラウンアウト リセット) が発生した

Note: T2CON レジスタに書き込んでも TMR2 はクリアされません。

図 25-1: Timer2 のブロック図



25.2 Timer2 制御レジスタ

レジスタ 25-1: T2CON: Timer2 制御レジスタ

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
-	-	-	-	-	TMR2ON	T2CKPS1	T2CKPS0
bit 7						bit 0	

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-3 **未実装:** 「0」として読み出し

bit 2 **TMR2ON:** Timer2 ON ビット
 1 = Timer2 を ON にする
 0 = Timer2 を OFF にする

bit 1-0 **T2CKPS<1:0>:** Timer2 クロック プリスケーラ選択ビット
 00 = 1:1 プリスケーラを選択する
 01 = 1:4 プリスケーラを選択する
 10 = 1:8 プリスケーラを選択する
 11 = 1:16 プリスケーラを選択する

表 25-1: Timer2 に関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ内容記載ページ
INTCON	GIE	PEIE	TOIE	INTE	IOCE	T0IF	INTF	IOCF	93
PIE1	-	ADIE	BCLIE	SSPIE	-	-	TMR2IE	TMR1IE	94
PIR1	-	ADIF	BCLIF	SSPIF	-	-	TMR2IF	TMR1IF	96
PR2	Timer2 モジュール周期レジスタ								138*
T2CON	-	-	-	-	-	TMR2ON	T2CKPS1	T2CKPS0	139
TMR2	8 ビット TMR2 タイムベース用のホールドレジスタ								138*

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分は Timer2 モジュールでは使いません。

* このページにレジスタ情報を記載しています。

MCP19111

NOTE:

26.0 PWM モジュール

MCP19111 に実装されている CCP モジュールは、標準のミッドレンジ マイクロコントローラに搭載されている CCP モジュールから派生したモジュールです。MCP19111 では、PWM モジュールを使ってシステムクロックまたは基本波形を生成します。このシステムクロックは MCP19111 のスイッチング周波数を制御すると共に、最大許容デューティ サイクルを設定します。PWM モジュールは、デューティ サイクルを常時調整して出力電圧を制御する事はありません。出力電圧は、アナログ制御ループと関連回路が制御します。

26.1 標準パルス幅変調 (PWM) モード

PWM モジュールの出力信号を使って、MCP19111 のスイッチング周波数と最大許容デューティ サイクルを設定します。HDRV と LDRV の実際のデューティ サイクルはアナログ PWM 制御ループで制御します。しかし、このデューティ サイクルは PWMRL レジスタの値より大きくできません。

システムクロックの PWM 信号に関する動作モードは 2 つあります。スタンドアロン (周波数非同期) モードと周波数同期モードです。

26.1.1 スタンドアロン (周波数非同期) モード

MCP19111 をスタンドアロンで動作させる場合、PWM 信号はシステムクロックとして機能します。設定されたスイッチング周波数と設定された最大デューティ サイクル (D_{CLOCK}) で動作します。設定された最大デューティ サイクルを 1 サイクルごとに調整して MCP19111 のシステム出力を制御する事はありません。出力を制御するデューティ サイクル (D_{BUCK}) は、MCP19111 のアナログ制御ループと関連回路が調整します。ただし、 D_{BUCK} の最大許容値は D_{CLOCK} の値で決まります。

式 26-1:

$$D_{BUCK} < 1 - D_{CLOCK}$$

26.1.2 スwitchング周波数同期モード

MCP19111 は、スイッチング周波数同期マスタまたはスレーブデバイスとしてプログラムする事ができます。マスタデバイスは [セクション 26.1.1 「スタンドアロン \(周波数非同期\) モード」](#) で説明したように機能します。異なるのはシステムクロックが GPA1 にも供給される点です。

スレーブデバイスは GPA1 でマスタ システムクロックを受信します。このマスタ システムクロックと TIMER2 モジュールの出力の論理和をとります。この論理和の信号により、PWMRL と PWMPHL をそれぞれ PWMRH と PWMPHH ヘラッチします。

[図 26-1](#) に、PWM モードの CCP モジュールの概略ブロック図を示します。

PWMPHL レジスタを使うと、スレーブのシステムクロックに位相シフトを付加できます。

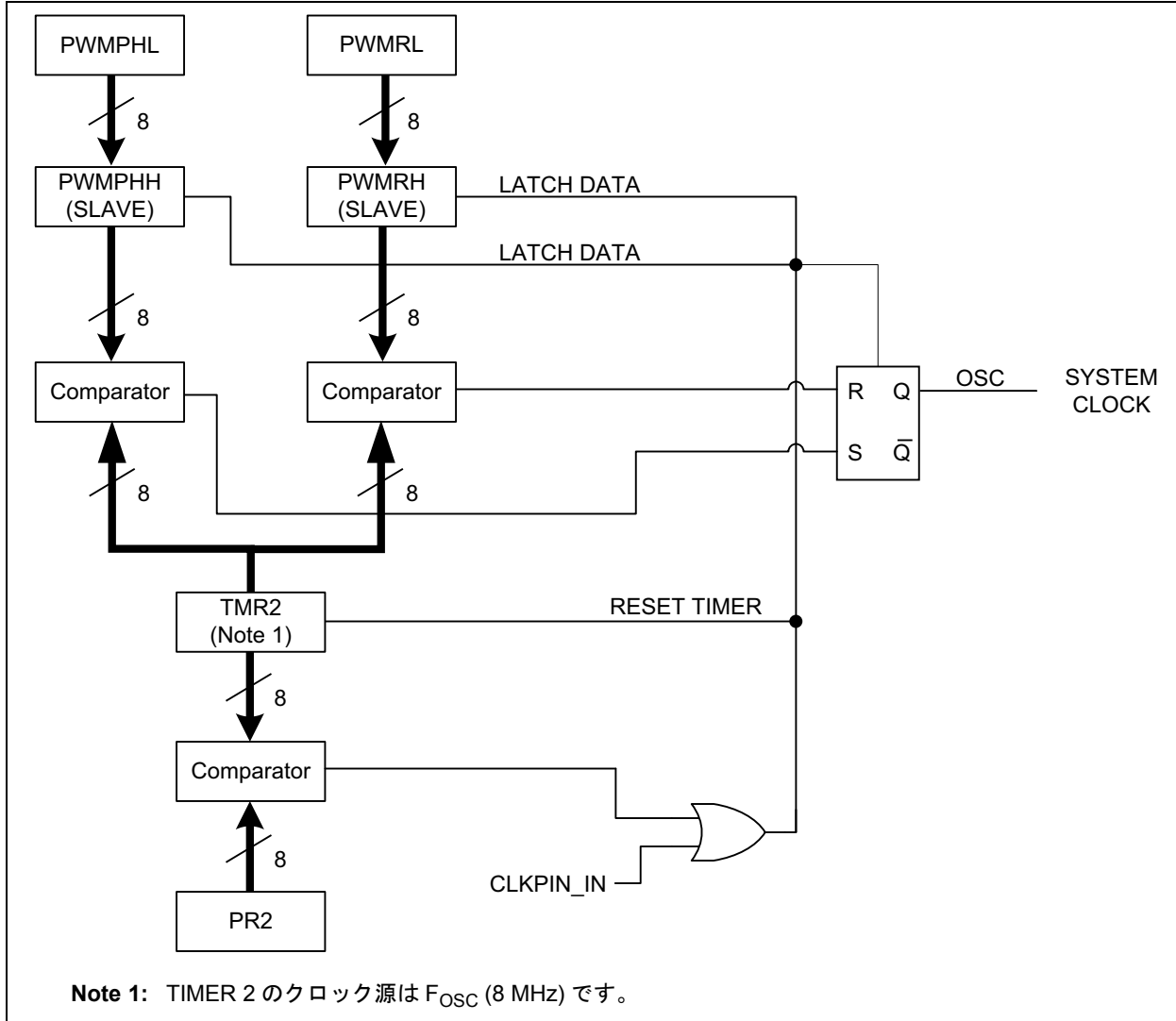
MCP19111 スレーブデバイスのシステムクロック開始点は、マスタのシステムクロックから一定量ずらす事が望ましいと言えます。このスレーブの位相シフト量は、PWMPHL レジスタに書き込んで指定します。スレーブの位相シフト量は、以下の式で求めます。

式 26-2:

$$SLAVE\ PHASE\ SHIFT = PWMPHL \cdot TOSC \cdot (T2\ PRESCALE\ VALUE)$$

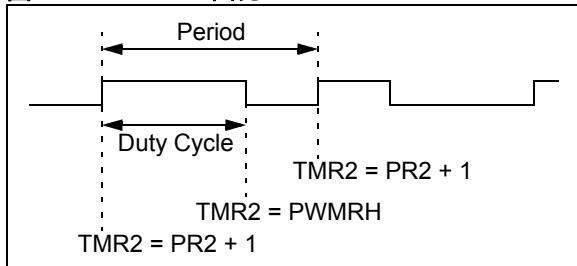
MCP19111

図 26-1: PWM の概略ブロック図



PWM 出力 (図 26-2) にはタイムベース (周期) と、出力が High に保持される期間 (デューティ サイクル) があります。PWM の周波数は、周期の逆数です (1/周期)。

図 26-2: PWM 出力



26.1.3 PWM 周期

PWM 周期は、PR2 レジスタに書き込んで指定します。PWM の周期は、以下の式で求めます。

式 26-3:

$$PWM\ PERIOD = [(PR2) + 1] \times T_{OSC} \times (T2\ PRESCALE\ VALUE)$$

TMR2 と PR2 が等しくなると、直後のインクリメントサイクルで以下の 2 つのイベントが発生します。

- TMR2 がクリアされる
- PWM のデューティ サイクルが PWMRL から PWMRH にラッチされる

26.1.4 PWM デューティ サイクル (D_{CLOCK})

PWM デューティ サイクル (D_{CLOCK}) は、PWMRL レジスタに書き込んで指定します。最大分解能は 8 ビットです。PWM デューティ サイクル (D_{CLOCK}) は、以下の式で求めます。

式 26-4:

$$PWM \text{ DUTY CYCLE} = PWMRL \times T_{OSC} \times (T2 \text{ PRESCALE VALUE})$$

PWMRL のビットにはいつでも書き込む事ができますが、PR2 と TMR2 が一致するまでデューティ サイクルの値は PWMRH にはラッチされません。

26.2 スリープ中の動作

デバイスがスリープモードになると、割り当てられたタイマはインクリメントせず、モジュールの状態は変化しません。値を駆動している CLKPIN ピンは、引き続きその値を駆動します。デバイスがスリープから復帰すると、この状態から動作が再開します。

表 26-1: PWM モジュールに関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	レジスタ 内容記載 ページ
APFCON	-	-	-	-	-	-	-	CLKSEL	110
T2CON	-	-	-	-	-	TMR2ON	T2CKPS1	T2CKPS0	139
PR2	Timer2 モジュール周期レジスタ								138*
PWMRL	PWM レジスタ下位バイト								141*
PWMPHL	SLAVE 位相シフトバイト								141*
BUFFCON	MLTPH2	MLTPH1	MLTPH0	ASEL4	ASEL3	ASEL2	ASEL1	ASEL0	56

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分はキャプチャモードでは使いません。

* このページにレジスタ情報を記載しています。

MCP19111

NOTE:

27.0 マスタ同期シリアルポート (MSSP) モジュール

27.1 マスタ SSP (MSSP) モジュールの概要

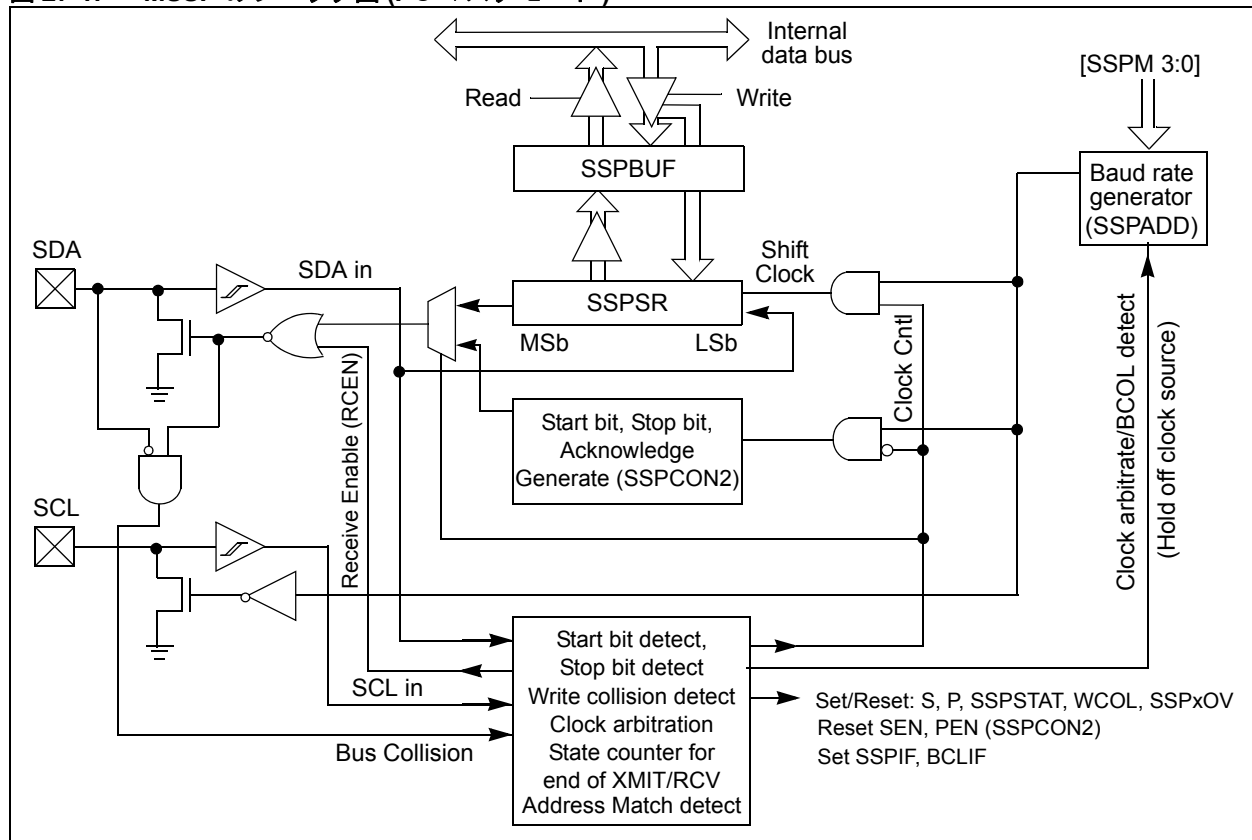
マスタ同期シリアルポート (MSSP) モジュールは、他の周辺デバイスまたはマイクロコントローラとの通信に便利なシリアルインターフェイスです。ここでの周辺デバイスとは、シリアル EEPROM、シフトレジスタ、ディスプレイドライバ、A/D コンバータ (ADC) 等を指します。MSSP モジュールの動作モードは、 I^2C (Inter-Integrated Circuit) モードのみです。

I^2C インターフェイスは、以下のモードと機能をサポートします。

- マスタモード
- スレーブモード
- バイト単位の NACK (スレーブモード)
- マルチマスタ (制約あり)
- 7/10 ビット アドレスリング
- スタート/ストップ割り込み
- 割り込みマスク
- クロック ストレッチ
- バスコリジョンの検出
- ジェネラルコール アドレス マッチング
- デュアル アドレスマスク
- アドレス/データ ホールドモード
- SDA ホールド時間の選択

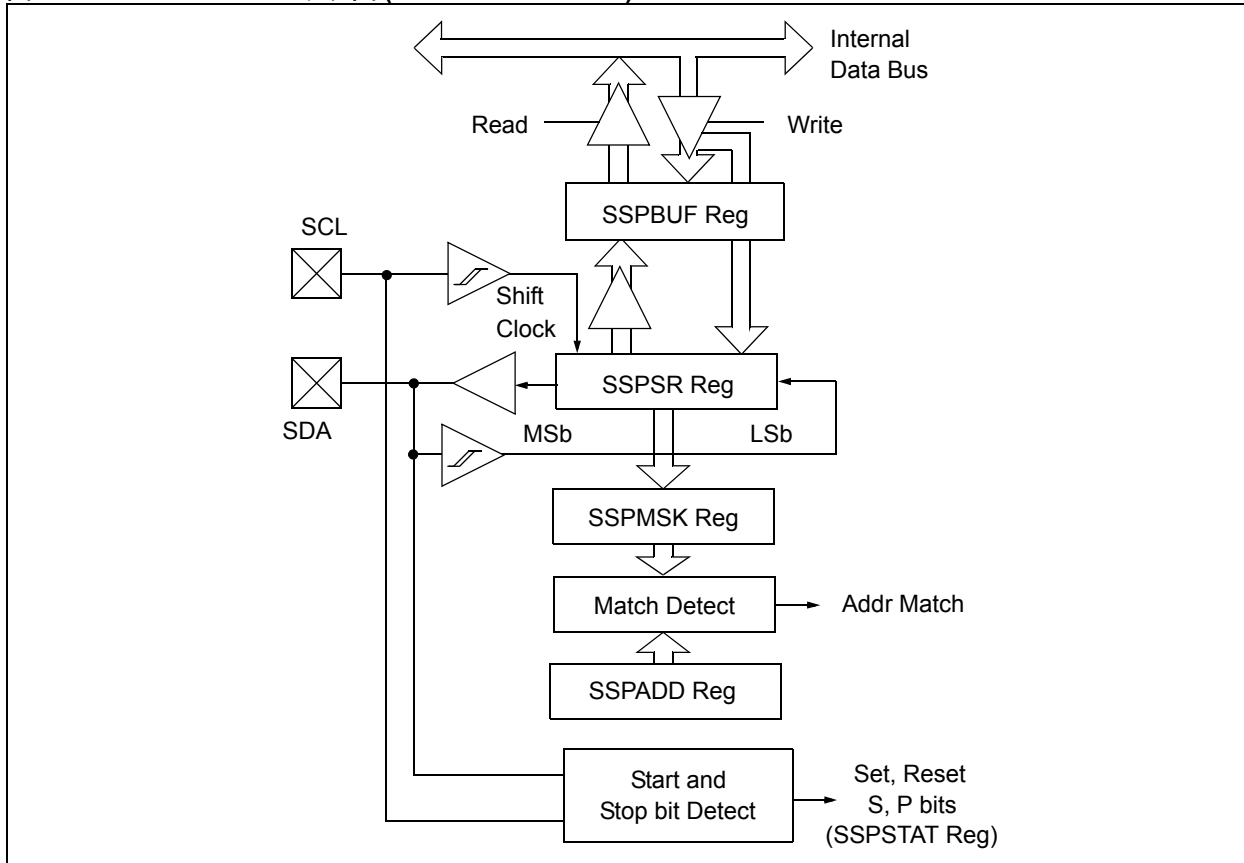
図 27-1 に、マスタモードでの I^2C インターフェイスモジュールのブロック図を、図 27-2 に、スレーブモードでの I^2C インターフェイスモジュールのブロック図を示します。

図 27-1: MSSP のブロック図 (I^2C マスタモード)



MCP19111

図 27-2: MSSP のブロック図 (I²C スレーブモード)



27.2 I²C モードの概要

I²C (Inter-Integrated Circuit)バスはマルチマスタ シリアルデータ通信バスです。デバイスはマスタ / スレーブ環境で通信し、マスタデバイス側が通信を開始します。スレーブデバイスはアドレッシングによって制御されます。

MSSP モジュールは I²C 動作に以下の 8 つのレジスタを使います。

- MSSP ステータス レジスタ (SSPSTAT)
- MSSP 制御レジスタ 1 (SSPCON1)
- MSSP 制御レジスタ 2 (SSPCON2)
- MSSP 制御レジスタ 3 (SSPCON3)
- シリアル受信 / 送信バッファ (SSPBUF)
- MSSP シフトレジスタ (SSPSR) - 直接アクセスは不可
- MSSP アドレスレジスタ (SSPADD)
- MSSP アドレスレジスタ 2 (SSPADD2)
- MSSP アドレスマスクレジスタ 1 (SSPMSK)
- MSSP アドレスマスクレジスタ 2 (SSPMSK2)

SSPCON1 レジスタは、I²C モードの設定に使用します。SSPCON1<3:0> の 4 ビットで以下の I²C モードから 1 つを選択します。

- I²C スレーブモード、7 ビットアドレス
- I²C スレーブモード、10 ビットアドレス
- I²C マスタモード、クロック = OSC/4 (SSPADD + 1)
- I²C ファームウェア制御マスタモード (スレーブアイドル)

SSPSTAT レジスタはデータ転送に関するステータス情報を格納します。このレジスタでスタート / ストップビットの検出の有無、受信したデータバイトがデータかアドレスか、次のバイトで 10 ビットアドレスが完了するかどうか、この転送が読み出しか書き込みか等の情報を示します。

SSPBUF は、転送データの読み書き用レジスタです。SSPSR レジスタは、デバイスとの間でデータを双方向にシフトします。受信動作の場合、SSPBUF と SSPSR を組み合わせてダブルバッファ レシーバを構成します。これにより、受信した最後のデータバイトを読み出す前に次のバイトの受信を開始できます。SSPBUF レジスタを読み出す前に 1 バイトを完全に受信した場合は受信オーバーフローが発生し、SSPOV ビット (SSPCON1<6>) がセットされて SSPSR 内のバイトが失われます。

I²C バスでは、以下の 2 つの信号接続を使います。

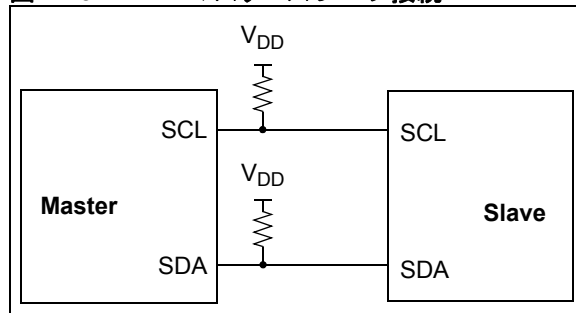
- シリアルクロック (SCL)
- シリアルデータ (SDA)

SCL 接続と SDA 接続はどちらも双方向のオープンドレインラインであり、それぞれに電源電圧へのプルアップ抵抗が必要です。ラインをグランドに接続するのは論理 0 で、ラインをフローティングにするのは論理 1 と見なされます。

I²C モード選択前に、該当する TRIS ビットをセットして SCL ピンと SDA ピンを入力に設定しておく必要があります。SSPEN ビットをセットして I²C モードを選択すると、SCL ピンと SDA ピンをそれぞれ I²C モードのクロックラインとデータラインとして使用できます。

図 27-3 にマスタとスレーブとして設定された 2 つのデバイス間の代表的な接続を示します。

図 27-3: I²C マスタ / スレーブ接続



I²C バスには、1 つまたは複数のマスタデバイスと、1 つまたは複数のスレーブデバイスを接続できます。

各デバイスは以下の 4 モードのいずれかで動作します。

- マスタ送信モード
(マスタがスレーブにデータを送信)
- マスタ受信モード
(マスタがスレーブからデータを受信)
- スレーブ送信モード
(スレーブがマスタにデータを送信)
- スレーブ受信モード
(スレーブがマスタからデータを受信)

通信開始時、マスタデバイスはマスタ送信モードです。マスタデバイスはスタートビットを送信し、続いて通信相手のスレーブのアドレスバイトを送信します。次に、1 ビットの読み書きビットを送信します。このビットは、マスタがスレーブデバイスにデータを送信するのか、スレーブデバイスからデータを受信するのかを決定します。

マスタが指定したスレーブがバス上に存在する場合、そのスレーブは肯定応答 (ACK) ビットを返します。その後マスタは送信または受信モードの動作を継続し、スレーブもそれに合わせて受信または送信モードの動作を継続します。

スタートビットは、SCL ラインを High に保ったまま、SDA ラインを High から Low に遷移させる事で示されます。アドレスバイトとデータバイトは、最上位ビット (MSb) から順に送信されます。マスタがスレーブからデータを読み出す場合は読み書きビットとして論理 1 を、スレーブにデータを書き込む場合は論理 0 を送信します。

肯定応答ビット ($\overline{\text{ACK}}$) はアクティブ Low 信号であり、スレーブデバイスは送信データの受信が完了して後続データの受信準備ができたなら SDA ラインを Low に保持してトランスミッタに伝えます。

データビットの遷移は、必ず SCL ラインが Low に保持されている間に行われます。SCL ラインが High に保持されている間の遷移は、スタートビットとストップビットを表すために使用します。

マスタがスレーブに書き込む場合、マスタがデータを 1 バイト送信するとスレーブが ACK ビットで応答するという動作を繰り返します。この場合、マスタデバイスはマスタ送信モードで、スレーブデバイスはスレーブ受信モードで動作します。

マスタがスレーブから読み出す場合、マスタはスレーブからデータを 1 バイト受信すると ACK ビットで応答するという動作を繰り返します。この場合、マスタデバイスはマスタ受信モードで、スレーブデバイスはスレーブ送信モードで動作します。

データの最終バイトの通信が完了すると、マスタデバイスはストップビットを送信して伝送を終了します。マスタデバイスが受信モードの場合、最後の ACK ビットの代わりにストップビットを送信します。ストップビットは、SCL ラインを High に保ったまま、SDA ラインを Low から High に遷移させる事で示されます。

マスタがバスの制御を維持し、再度送信を開始する場合もあります。そのような場合、マスタデバイスはストップビット (受信モード中ならば最後の $\overline{\text{ACK}}$ ビット) の代わりに、もう一度スタートビットを送信します。

I²C バスでは、以下の 3 つのメッセージ プロトコルを使います。

- マスタが 1 つのスレーブにデータを書き込むシングルメッセージ
- マスタが 1 つのスレーブからデータを読み出すシングルメッセージ
- マスタが 1 つまたは複数のスレーブに対して、複数回の読み出しまたは書き込み、あるいは読み出しと書き込みの組み合わせを実行するコンバインドメッセージ

あるデバイスが論理 1 を送信 (ラインをフローティングに保持) 中に、もう 1 つのデバイスが論理 0 を送信 (ラインを Low に保持) した場合、最初のデバイスはラインが論理 1 ではない事を検出できます。この検出を SCL ラインに対して適用した場合を、クロックストレッチと呼びます。クロックストレッチを使うと、スレーブデバイスからデータフローを制御できます。上記の検出を SDA ラインに対して適用した場合を、アービトレーションと呼びます。アービトレーションは、複数のマスタデバイスが同時に通信を行わないようにする仕組みです。

27.2.1 クロック ストレッチ

スレーブデバイスがデータ処理を完了していない場合、クロック ストレッチによって後続データの転送を遅延させる事ができます。スレーブデバイスがビット送受信後に SCL クロックラインを Low に保持する事で、次の通信準備が整っていない事を知らせる事ができます。このスレーブと通信中のマスタは次のビットを転送するために SCL ラインを High にしようとしませんが、クロックラインが解放されていない事を探知します。SCL 接続はオープンドレインであるため、スレーブは通信を再開する準備が整うまでラインを Low に保つ事ができます。

このように、クロック ストレッチを使うとトランスミッタの動作に追いつけない場合にレシーバ側から受信データのフローを制御できます。

27.2.2 アービトレーション

各マスタデバイスは、バス上のスタート/ストップビットを監視する必要があります。デバイスはバスがビジー状態である事を探知した場合、バスがアイドル状態に戻るまで新たなメッセージを開始できません。

しかし、2 つのマスタデバイスがほぼ同時に送信を開始しようとする事は考えられます。この時、アービトレーション プロセスが開始します。各トランスミッタは SDA データラインのレベルを確認し、予測しているレベルと比較します。これら 2 つのレベルが一致しない事を探知した最初のトランスミッタはアービトレーションに敗れ、SDA ラインへの送信を停止します。

例えば、あるトランスミッタが SDA ラインを論理 1 に保持 (フローティングに保持) し、もう 1 つのトランスミッタが論理 0 に保持 (Low 駆動) すると、その結果、SDA ラインは Low です。すると、最初のトランスミッタは予測するレベルとラインのレベルが異なる事を探知し、他のトランスミッタが通信中であると判断します。

この差異を探知した最初のトランスミッタはアービトレーションに敗れ、SDA ラインの駆動を停止します。このトランスミッタがマスタデバイスでもあった場合、SCL ラインの駆動も停止する必要があります。その後、このトランスミッタはラインを監視し、ストップ条件を検出すると再送を試みます。その間、SDA ラインの予測レベルと実際のレベルに差異を検出しなかったもう一方のデバイスは、伝送を続けます。こちらのデバイスでは特別な処理は不要です。こちらのデバイスには他のトランスミッタによる通信への干渉はなく、予測通りに送信が実行されているように見えます。

マスタが複数のスレーブのアドレスを指定するスレーブ送信モードでもアービトレーションが行われますが、それほど一般的ではありません。

2 つのマスタデバイスが 2 つの異なるスレーブデバイスにメッセージを送信している場合、送信しているスレーブアドレスの値が小さい方のマスタが常にアドレスステージでのアービトレーションに勝ちます。2 つのマスタデバイスが同じスレーブアドレスにメッセージを送信し、このアドレスが複数のスレーブを指している場合があります。このような場合はデータステージでアービトレーションが実行されます。

アービトレーションが発生するケースは非常にまれですが、マルチマスタ環境を適切にサポートするには必須のプロセスです。

27.3 I²C モードの動作

全ての MSSP I²C 通信は、バイト単位で処理され、MSb から順にシフト出力されます。6 つの SFR レジスタと 2 つの割り込みフラグが、PIC マイクロコントローラとユーザ ソフトウェアをこのモジュールと結び付けます。このモジュールは、2 本のピン (SDA と SCL) を使って他の外部 I²C デバイスと通信します。

27.3.1 バイト形式

I²C の全ての通信は 9 ビットセグメントで実行されます。マスタからスレーブ (またはその逆) へ 1 バイト送信し、受信側が ACK ビットを返します。SCL ラインの 8 番目の立ち下がリエッジの後、送信側デバイスは SDA ピンを入力に切り換え、次のクロックパルスで ACK 値を受信します。

クロック信号 SCL は、マスタデバイスから供給します。データは SCL 信号が Low の間に变化でき、クロックの立ち上がりエッジでサンプルされます。SCL ラインが High の間の SDA ラインの変化は、後述する特殊なバス条件を意味します。

27.3.2 I²C 用語の定義

I²C では特有の I²C 通信用語を使います。これらは後出の表で説明し、それ以後は特に説明せずに使用します。この表は、Philips 社の I²C 仕様書より引用したものです。

27.3.3 SDA ピンと SCL ピン

MCP19111 では、SCL ピンと SDA ピンは常にオープンドレインです。これらのピンは、対応する TRIS ビットをセットして入力として設定する必要があります。

Note: I²C モードが有効の場合、データ出力は 0 になります。

27.3.4 SDA ホールド時間

SDA ピンのホールド時間は、SSPCON3 レジスタの SDAHT ビットで選択します。ホールド時間とは SCL の立ち下がりがエッジ後に SDA が有効に保持される時

間です。SDAHT ビットをセットすると最小ホールド時間として 300 ns が選択され、静電容量の大きいバスに対して有効です。

TABLE 27-1: I²C バスの用語

用語	説明
トランスミッタ	データをバスにシフト出力するデバイス
レシーバ	データをバスからシフト入力するデバイス
マスタ	伝送を開始し、クロック信号を生成し、伝送を終了するデバイス
スレーブ	マスタによってアドレス指定されるデバイス
マルチマスタ	データ転送を開始できるデバイスが複数接続されたバス
アービトレーション	バスを制御するマスタが同時に複数存在しないようにする手順 (メッセージの破壊を防ぎます)
同期	バス上の複数のデバイスのクロックを同期させる手順
アイドル	バスを制御するマスタが存在せず、SDA と SCL の両ラインが High の状態
アクティブ	1 つまたは複数のマスタデバイスがバスを制御している状態
アドレス指定されたスレーブ	自身のアドレスに一致するアドレス信号を受信し、マスタからアクティブにクロック駆動されているスレーブデバイス
一致アドレス	スレーブが受信し、SSPADx に格納された値と一致するアドレスバイト
書き込み要求	R \bar{W} ビットがクリアされた一致アドレスをスレーブが受信し、データ受信の準備を整える事
読み出し要求	マスタが R \bar{W} ビットをセットしたアドレスバイトを送信し、スレーブからのデータ送信を要求する事 (データとは、次のバイト以降、反復スタートまたはストップ条件までの全てのバイトを指します)
クロックストレッチ	通信を一時停止するために、バス上のデバイスが SCL を Low に保持する事
バスコリジョン	モジュールが出力中であり SDA ラインが High 状態であると想定しているにも関わらず、同ラインで Low が検出される事

27.3.5 スタート条件

I²C の仕様書は、スタート条件を「SCL ラインが High の時に SDA が High から Low へ遷移する事」と定義しています。スタート条件は常にマスタによって生成され、バスがアイドル状態からアクティブ状態に遷移した事を意味します。図 27-4 に、スタート条件とストップ条件の波形を示します。

モジュールが SDA ラインを Low にアサートする前に Low をサンプルした場合、スタート条件でバスコリジョンが発生する可能性があります。これは、スタート時にバスコリジョンは発生しないという I²C の仕様に基づいていません。

27.3.6 ストップ条件

ストップ条件とは SCL ラインが High の時に SDA ラインが Low から High へ遷移する事です。

Note: ストップ条件が有効になるには SCL に少なくとも 1 回は Low 期間が必要です。従って、SCL ラインが High のまま SDA ラインが High から Low へ遷移し、再び High へ遷移した場合はスタート条件のみが検出されます。

27.3.7 反復スタート条件

反復スタート条件が成立するのは、ストップ条件が成立する場合と同じです。マスタは、伝送終了後もバスを解放せずに反復スタート条件を発行できます。反復スタートはスレーブにとってスタートと同じであり、全てのスレーブロジックをリセットしてアドレスを入力できるよう準備をします。マスタは、同じスレーブまたは別のスレーブのアドレスを指定できます。

10 ビット アドレッシングのスレーブモードの場合、アドレス指定したスレーブからマスタがデータを受信するには反復スタートが必要です。スレーブの全アドレスが指定され、上位 / 下位アドレスバイトが両方も一致すると、マスタは反復スタートを発行した後、R \bar{W} ビットがセットされた上位アドレスバイトを送信します。そして、スレーブロジックがクロックをホールドしてデータ出力の準備をします。

10 ビットモードの R \bar{W} がクリアされた完全一致後は、前回の一致フラグがセットされ維持されます。ストップ条件に至るまで、R \bar{W} がクリアされた上位アドレス、つまり上位アドレス一致は失敗します。

27.3.8 スタート/ストップ条件の割り込みマスク

SSPCON3 レジスタの SCIE および PCIE ビットを使うと、通常はサポートされないスレーブモードの割り込み生成を有効にできます。スレーブモードではスタート/ストップ条件検出による割り込み機能が既に有効に設定されているため、これらのビットは影響を与えません。

図 27-4: I²C のスタートおよびストップ条件

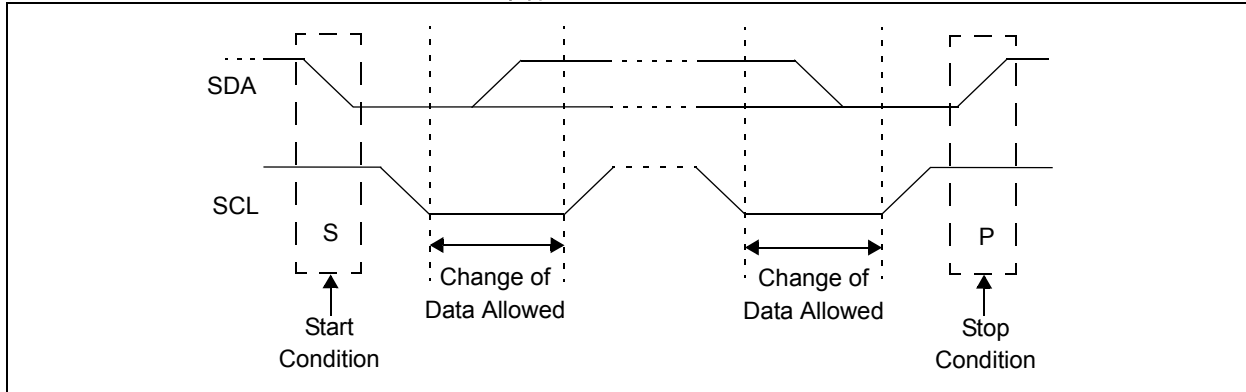
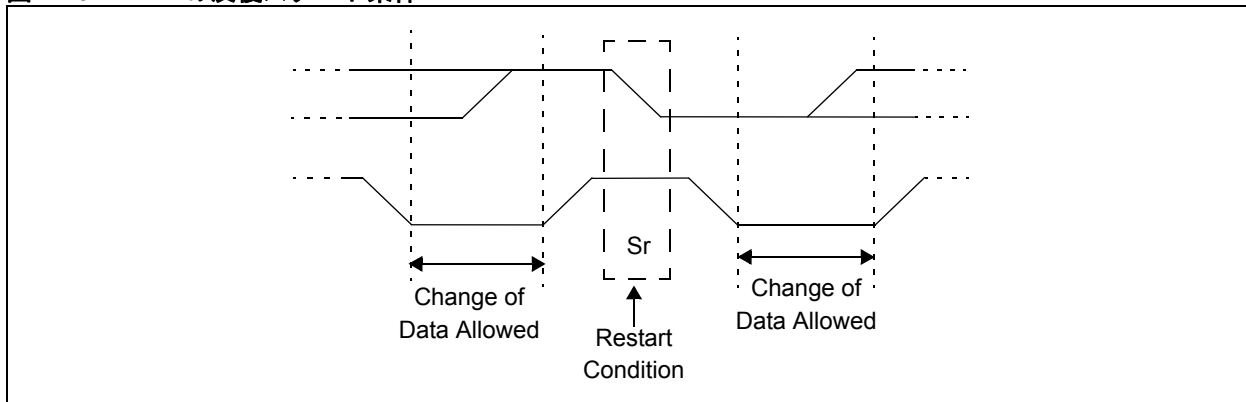


図 27-5: I²C の反復スタート条件



27.3.9 肯定応答 (ACK) シーケンス

I²C で転送されるバイトの 9 番目の SCL パルスは肯定応答 (ACK) 専用です。このパルスで受信側デバイスは SDA ラインを Low に駆動してトランスミッタに応答します。この間、トランスミッタは応答をシフト入力するためにラインの制御を解放する必要があります。肯定応答 (ACK) はアクティブ Low 信号であり、SDA ラインを Low に駆動する事によって、送信されたデータ受信が完了し、さらに後続のデータを受信する準備が整っている事をトランスミッタに伝えます。

ACKの結果は、SSPCON2レジスタのACKSTATビットに格納されます。

AHENビットとDHENビットがセットされている場合、トランスミッタへ送り返されるACKの値はユーザがスレーブソフトウェアで設定できます。SSPCON2 レジスタの ACKDT ビットをセット/クリアして、応答を決定します。

SSPCON3 レジスタの AHEN ビットと DHEN ビットがクリアされている場合、スレーブ ハードウェアが ACK 応答を生成します。

スレーブが $\overline{\text{ACK}}$ を送信しない場合があります。バイト受信時に SSPSTAT レジスタの BF ビットまたは SSPCON1 レジスタの SSPOV ビットがセットされている場合、ACK は送信されません。

このモジュールがアドレス指定されている場合、バス上の SCL の 8 番目の立ち下がりエッジ後に SSPCON3 レジスタの ACKTIM ビットがセットされます。ACKTIM ビットはアクティブなバスの肯定応答 (ACK) のタイミングを示します。ACKTIM ステータスビットがアクティブになるのは、AHEN ビットまたは DHEN ビットがイネーブルの時のみです。

27.4 I²C スレーブモードの動作

MSSPスレーブモードには4種類の動作モードがあり、SSPCON1レジスタのSSPMビットで選択します。これらのモードは、7ビットと10ビットのアドレッシングモードに分けられます。10ビットアドレッシングモードは、7ビットの場合と同じ動作ですが、増加分のアドレスビットを処理する時間（オーバーヘッド）が余分に必要です。

スタート/ストップビットの割り込みに対応したモードは、動作自体は割り込みに対応していないモードと同じです。異なるのは、スタート、反復スタート、ストップ条件を検出するとSSPIFビットがセットされる点です。

27.4.1 スレーブモードアドレス SSPADD

SSPADDレジスタ（[レジスタ 27-7](#)）はスレーブモードアドレスを格納します。スタート/反復スタート条件後、最初に受信したバイトとこのレジスタ値が比較されます。バイトが一致すると、その値がSSPBUFレジスタに読み込まれ、割り込みが生成されます。値が一致しない場合、モジュールはアイドル状態に移行し、ソフトウェアへの通知は何もありません。

SSPMSKレジスタ（[レジスタ 27-6](#)）は、アドレス一致プロセスに影響を与えます。詳細は、[セクション 27.4.10「SSPMSKx レジスタ」](#)を参照してください。

27.4.2 第2スレーブモードアドレス SSPADD2

SSPADD2レジスタ（[レジスタ 27-9](#)）は、第2スレーブモードアドレスを格納します。この第2スレーブモードアドレスを使うには、ビット0をセットする必要があります。スタート/反復スタート条件後、最初に受信したバイトとこのレジスタ値が比較されます。バイトが一致すると、その値がSSPBUFレジスタに読み込まれ、割り込みが生成されます。値が一致しない場合、モジュールはアイドル状態に移行し、ソフトウェアへの通知は何もありません。

SSPMSK2レジスタ（[レジスタ 27-8](#)）は、アドレス一致プロセスに影響を与えます。詳細は、[セクション 27.4.10「SSPMSKx レジスタ」](#)を参照してください。

27.4.2.1 I²C スレーブの7ビットアドレッシングモード

7ビットアドレッシングモードでは、アドレスの一致を判断する際に受信データバイトのLSbが無視されます。

27.4.2.2 I²C スレーブの10ビットアドレッシングモード

10ビットアドレッシングモードの場合、最初の受信バイトがバイナリ値「11110A9A80」と比較されます。A9とA8は10ビットアドレスの上位2ビットで、SSPADDxレジスタのbit2とbit1に格納されています。

上位バイトの肯定応答(ACK)後、ユーザがSSPADDxレジスタに下位アドレスを書き込むまでUAビットがセットされSCLがLowに保持されます。下位アドレスバイトが入力されると、8ビット全てがSSPADDxレジスタにある下位アドレスと比較されます。アドレスが一致しない場合でも、SSPIFとUAがセットされ、SSPADDxが更新されて再び上位バイトを受信するまでSCLはLowに保持されます。SSPADDxが更新されると、UAビットはクリアされます。これにより、モジュールは次の通信で上位アドレスバイトを確実に受信する準備を整える事ができます。

全ての10ビットアドレッシング通信開始時には、書き込み要求として上位/下位アドレスが一致する必要があります。スレーブをアドレス指定したら、反復スタートを発行した後にR/Wビットをセットした上位アドレスをスレーブに送信し、取り込みます。そしてスレーブハードウェアが読み出し要求に肯定応答(ACK)し、データ送信の準備をします。この動作は、スレーブが上位/下位アドレスバイト一致を受信した後のみ有効です。

27.4.3 スレーブ受信

一致した受信アドレスバイトのR/Wビットがクリアされている場合、SSPSTATレジスタのR/Wビットがクリアされます。受信アドレスがSSPBUFレジスタに読み込まれ、肯定応答(ACK)が返されます。

受信アドレスがオーバーフロー条件を満たしている場合、否定応答(NACK)が生成されます。オーバーフロー条件とは、SSPSTATレジスタのBFビットまたはSSPCON1レジスタのSSPOVビットがセットされている事と定義されます。この動作を変更するには、SSPCON3レジスタのBOENビットを使います。詳細は、[レジスタ 27-5](#)を参照してください。

データバイトが転送されるたびにMSSP割り込みが生成されます。フラグビット(SSPIF)は、ソフトウェアでクリアする必要があります。

SSPCON2レジスタのSENビットがセットされると、各バイトの受信後にSCLがLowに保持されます（クロックストレッチ）。この場合、SSPCON1レジスタのCKPビットをセットしてクロックを解放する必要があります（10ビットモードの場合は例外あり）。

27.4.3.1 7ビットアドレッシングの受信

このセクションでは、7ビットアドレッシングモードのI²Cスレーブに設定されたMSSPモジュールの場合の標準的なイベントシーケンス、およびハードウェアまたはソフトウェアが下す全ての判断とそれらが受信に与える影響について説明します。図 27-6 と 図 27-7 に、このシーケンスの波形を示します。

以下にI²C通信の代表的な手順を示します。

1. スタートビットを検出する。
2. SSPSTATのSビットがセットされる。スタート検出割り込みが有効の場合はSSPIFビットもセットされる。
3. R/Wビットがクリアされた一致アドレスをスレーブが受信する。
4. スレーブがSDAをLowに駆動してマスタに $\overline{\text{ACK}}$ を送信し、SSPIFビットをセットする。
5. ソフトウェアがSSPIFビットをクリアする。
6. ソフトウェアがSSPBUFから受信アドレスを読み出してBFフラグをクリアする。
7. SEN = 1の場合、スレーブソフトウェアがCKPビットをセットしてSCLラインを解放する。
8. マスタがデータバイトを送信する。
9. スレーブがSDAをLowに駆動してマスタに $\overline{\text{ACK}}$ を送信し、SSPIFビットをセットする。
10. ソフトウェアがSSPIFビットをクリアする。
11. ソフトウェアがSSPBUFから受信バイトを読み出してBFフラグをクリアする。
12. マスタからの全ての受信バイトに対して、手順8～12を繰り返す。
13. マスタがストップ条件を送信すると、SSPSTATのPビットをセットしてバスがアイドル状態に移行する。

27.4.3.2 AHENとDHENを使う7ビット受信

AHENとDHENをセットしたスレーブデバイスの受信動作は、これらの設定を使わない場合と似ていますが、SCLの8番目の立ち下がりがエッジの後に割り込みとクロックストレッチを追加します。これらの割り込みによって、ハードウェアではなくスレーブソフトウェアが受信アドレスバイトまたは受信データバイトに対してACKを生成できます。この機能により、以前はこのモジュールでサポートしていなかったPMBusをサポートします。

ここでは、I²C通信においてスレーブソフトウェアがこれらの選択肢を使う場合に必要な手順を説明します。図 27-8 に、アドレスホールドとデータホールドの両方を使用するモジュールを示し、図 27-9 に、SSPCON2レジスタのSENビットをセットした動作を示します。

1. SSPSTATのSビットがセットされる。スタート検出割り込みが有効の場合はSSPIFビットもセットされる。
2. R/Wビットがクリアされた一致アドレスが取り込まれる。SCLの8番目の立ち下がりがエッジの後にSSPIFビットがセットされ、CKPビットがクリアされる。
3. スレーブがSSPIFビットをクリアする。
4. スレーブは、SSPCON3レジスタのACKTIMビットを確認する事で、SSPIFビットが $\overline{\text{ACK}}$ の前後いずれであるかを判断できる。
5. スレーブがSSPBUFからアドレス値を読み出してBFフラグをクリアする。
6. スレーブがACKDTをセットして、 $\overline{\text{ACK}}$ 値をマスタに送信する。
7. スレーブがCKPビットをセットしてクロックを解放する。
8. $\overline{\text{ACK}}$ の後にSSPxIFがセットされる(否定応答(NACK)の場合はセットされない)。
9. SEN = 1の場合、スレーブハードウェアが $\overline{\text{ACK}}$ の後にクロックストレッチを実行する。
10. スレーブがSSPIFビットをクリアする。

Note: クロックストレッチが実行されず、BFフラグがクリアされた場合でも、SSPIFビットはSCLの9番目の立ち下がりがエッジ後にセットされます。否定応答(NACK)がマスタへ送信された場合のみ、SSPIFビットはセットされません。

11. データバイト受信におけるSCLの8番目の立ち下がりがエッジ後にSSPIFビットがセットされてCKPビットがクリアされる。
12. スレーブがSSPCON3レジスタのACKTIMビットを読み出して割り込み要因を判定する。
13. スレーブがSSPBUFから受信データを読み出して、BFフラグをクリアする。
14. 1データバイトを受信するたびに、手順7～14を繰り返す。
15. スレーブが $\overline{\text{ACK}} = 1$ を送信するか、マスタがストップ条件を送信すると、通信が終了する(ストップ検出割り込みが無効に設定されている状態でストップ条件が送信された場合、スレーブが通信終了を認識する唯一の方法はSSPSTATレジスタのPビットをポーリングする事です)。

図 27-6: I²C スレーブ、7 ビットアドレス、受信 (SEN = 0、AHEN = 0、DHEN = 0)

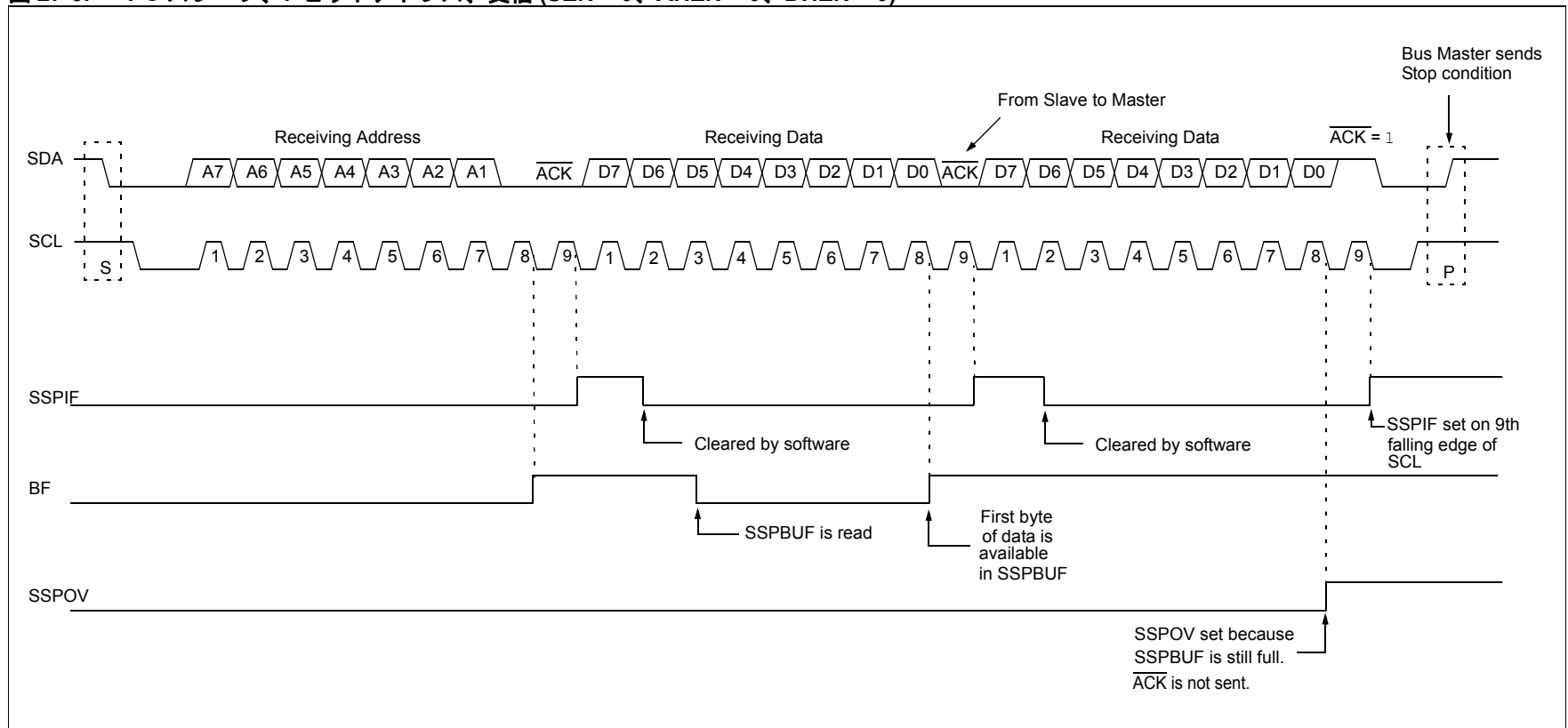


図 27-7: I²C スレーブ、7 ビットアドレス、受信 (SEN = 1、AHEN = 0、DHEN = 0)

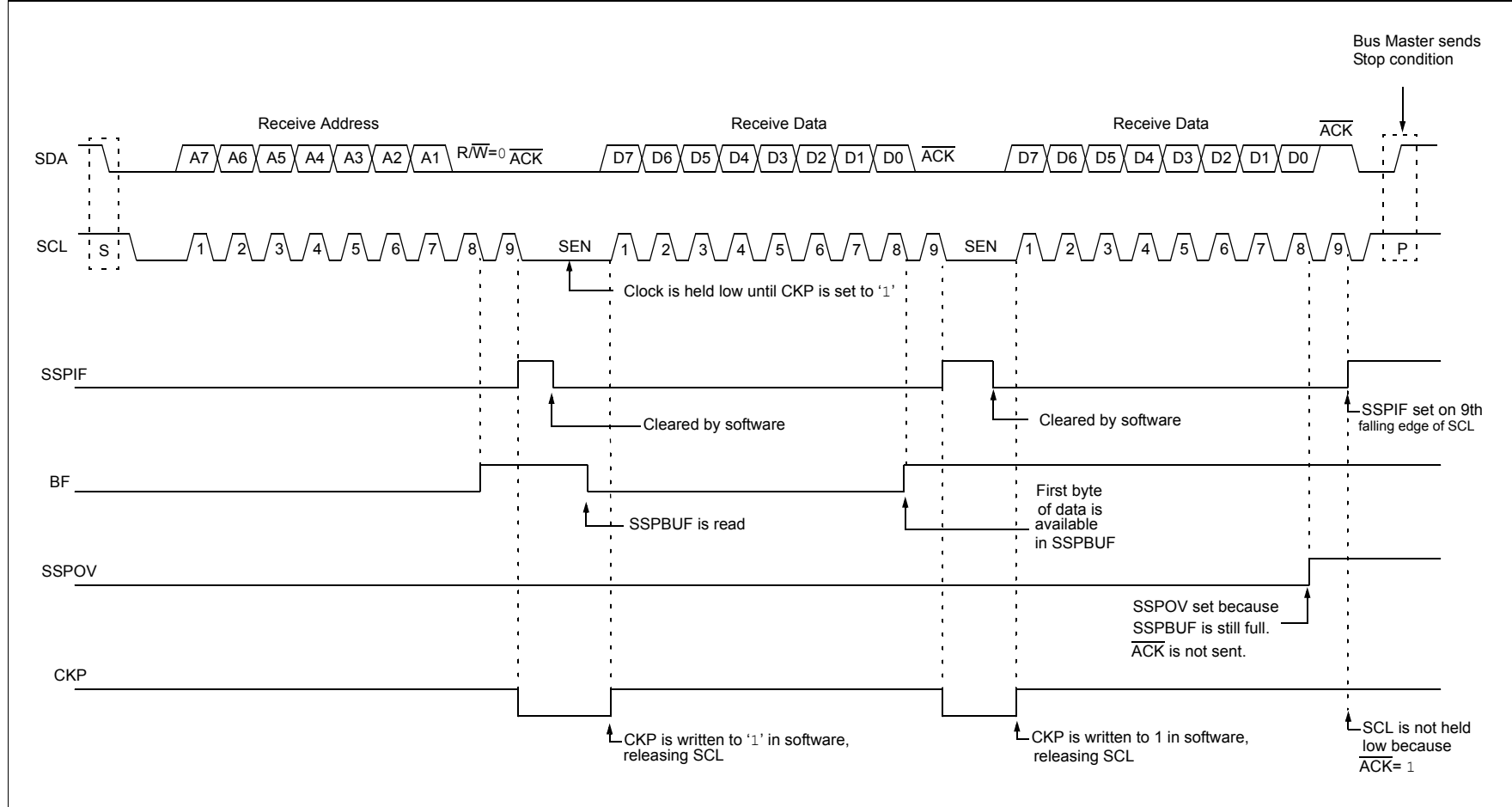


図 27-8: I²C スレーブ、7 ビットアドレス、受信 (SEN = 0、AHEN = 1、DHEN = 1)

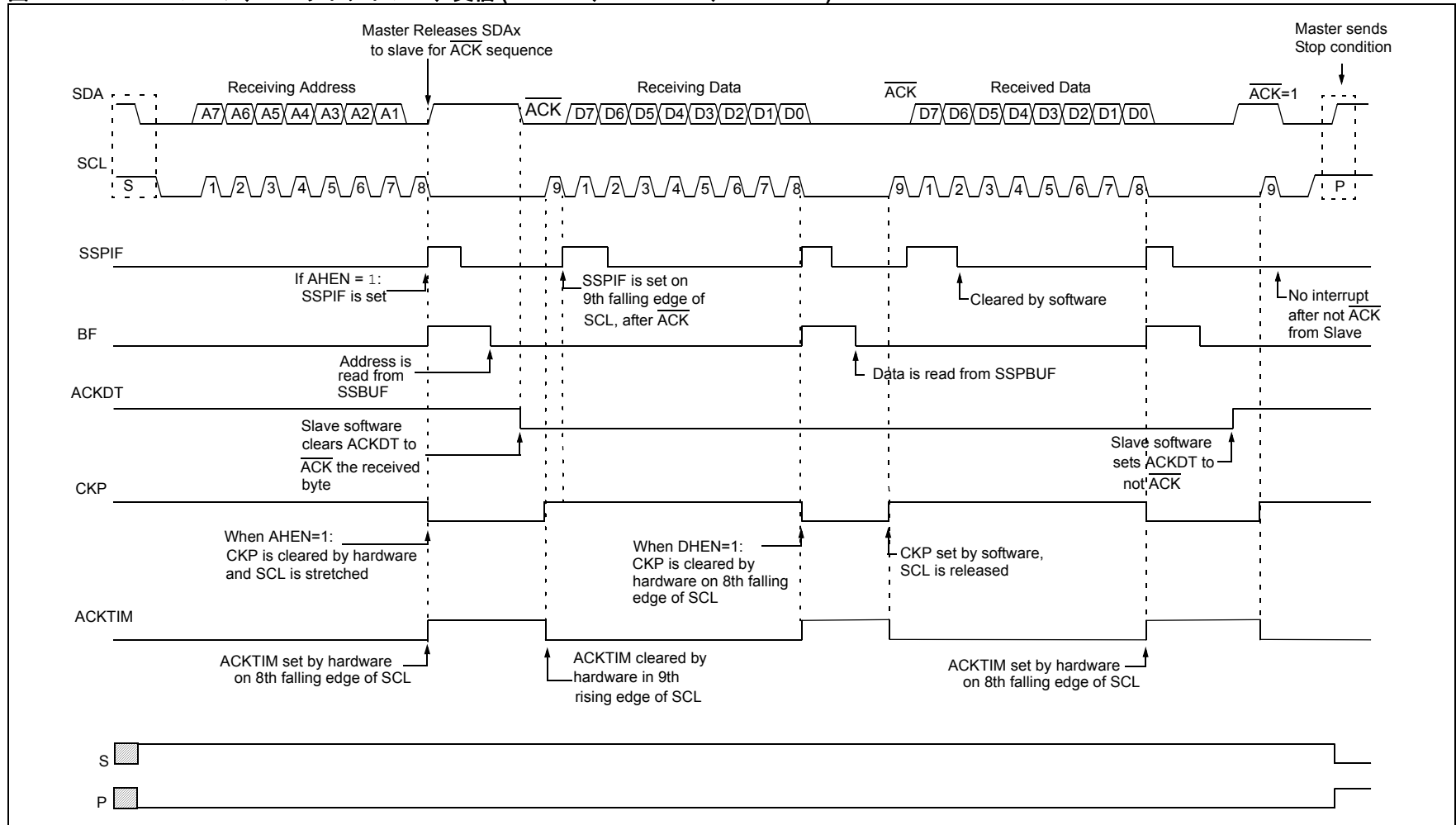
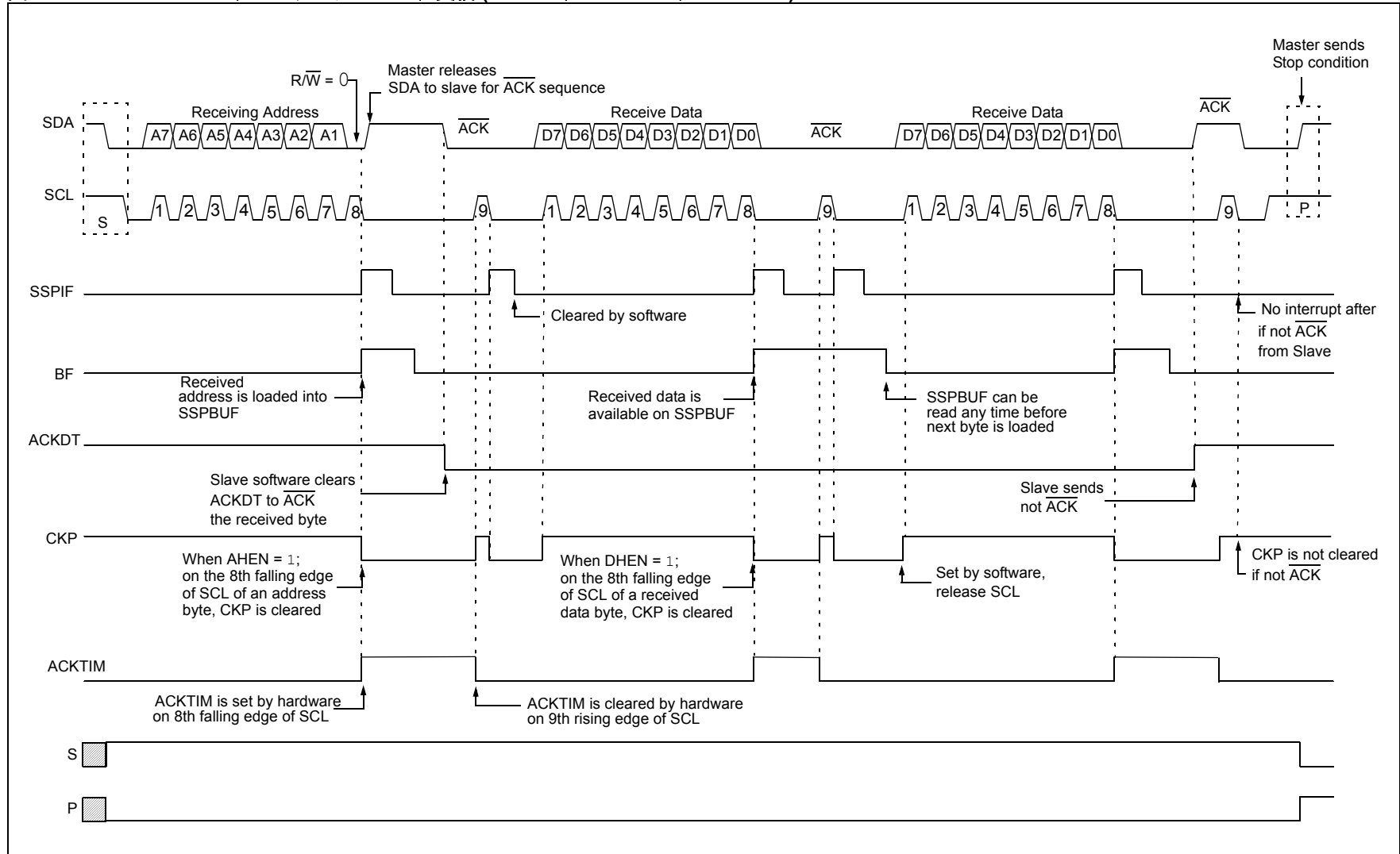


図 27-9: I²C スレーブ、7 ビットアドレス、受信 (SEN = 1、AHEN = 1、DHEN = 1)



27.4.4 スレーブ送信

入力されるアドレスバイトのR/Wビットがセットされており、アドレスが一致している場合、SSPSTATレジスタのR/Wビットがセットされます。受信したアドレスがSSPBUFレジスタに読み込まれると、スレーブによって9番目のビットでACKパルスが送信されます。

ACKの後、スレーブハードウェアがCKPビットをクリアしてSCLピンがLowに保持されます(詳細はセクション27.4.7「クロックストレッチ」を参照してください)。クロックストレッチを実行すると、スレーブの送信データ準備が完了するまでマスタは次のクロックパルスをアサートできなくなります。

送信データはSSPBUFレジスタに読み込まれます。データはさらにSSPSRレジスタにも読み込まれます。その後、SSPCON1レジスタのCKPビットをセットする事によってSCLピンが解放されます。8ビットのデータがSCL入力の立ち上がりエッジでシフト出力されます。これにより、SCLがHighの間はSDA信号が確実に有効になります。

マスタレシーバからのACKパルスは、SCL入力パルスの9番目の立ち上がりエッジでラッチされます。このACK値は、SSPCON2レジスタのACKSTATビットへコピーされます。ACKSTATがセット(NOT ACK)されると、データ転送は完了です。この場合、NOT ACKがスレーブでラッチされると、スレーブがアイドル状態に移行して次のスタートビットが到達するまで待機します。SDAラインがLow(ACK)の場合、次の送信データをSSPBUFレジスタに読み込む必要があります。この場合も、CKPビットをセットしてSCLピンを解放する必要があります。

1データバイトが転送されるたびにMSSP割り込みが生成されます。SSPIFビットは、ソフトウェアでクリアする必要があり、バイトのステータスを判断するにはSSPSTATレジスタを使います。SSPIFビットは、9番目のクロックパルスの立ち上がりエッジでセットされます。

27.4.4.1 スレーブモードのバスコリジョン

スレーブは読み出し要求を受信するとSDAラインにデータをシフト出力しはじめます。SSPCON3レジスタのSBCDEビットがセットされている場合にバスコリジョンが検出されると、PIRレジスタのBCLIFビットがセットされます。バスコリジョンが検出されるとスレーブはアイドル状態に移行し、再度アドレス指定されるまで待機します。ユーザソフトウェアはBCLIFビットによってスレーブバスコリジョンを処理できます。

27.4.4.2 7ビット送信

マスタデバイスは、スレーブデバイスへ読み出し要求を送信し、スレーブからデータを読み出します。ここでは、通常の送信動作においてスレーブソフトウェアが実行すべき手順を説明します。図27-10には、この動作の波形を示します。

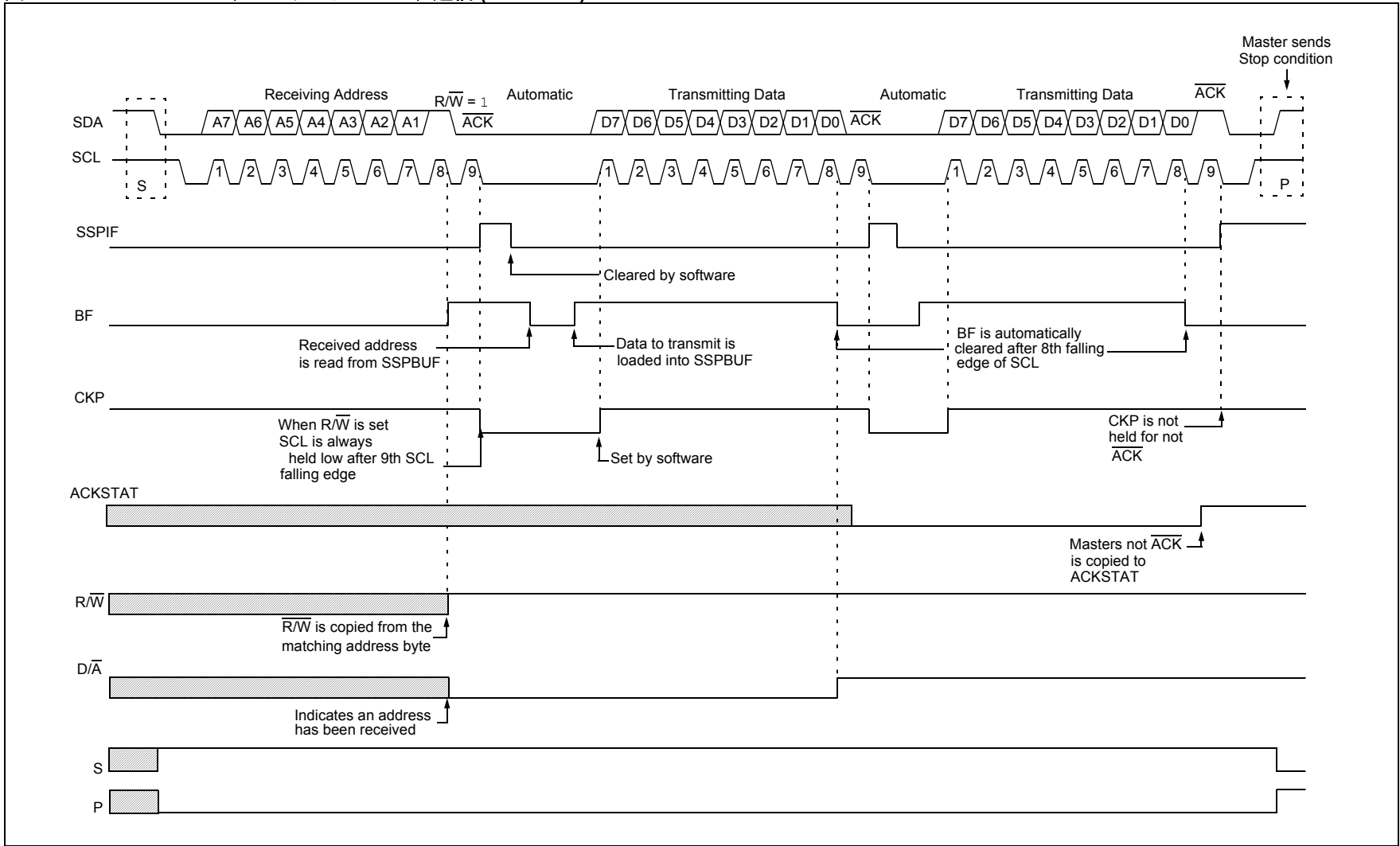
1. マスタがSDAとSCLにスタート条件を送信する。
2. SSPSTATのSビットがセットされる。スタート検出割り込みが有効の場合はSSPIFビットもセットされる。
3. R/Wビットがセットされた一致アドレスがSSPIFビットをセットするスレーブによって受信される。
4. スレーブハードウェアがACKを生成してSSPIFビットをセットする。
5. ユーザによってSSPIFビットがクリアされる。
6. ソフトウェアがSSPBUFから受信アドレスを読み出して、BFフラグをクリアする。
7. R/Wがセットされているため、CKPビットはACKの後に自動的にクリアされている。
8. スレーブソフトウェアがSSPBUFに送信データを読み込む。
9. CKPビットがセットされてSCLが解放されると、マスタはスレーブからデータを読み出す事ができる。
10. マスタからのACK応答がACKSTATレジスタに読み込まれるとSSPIFビットがセットされる。
11. SSPIFビットがクリアされる。
12. スレーブソフトウェアは、ACKSTATビットをチェックしてマスタに後続の送信データがあるかどうか確認する。

Note 1: マスタがACKを生成すると、クロックがストレッチされます。

2: ACKSTATは、SCLの9番目の立ち上がりエッジ(立ち上がりエッジではない)で更新される唯一のビットです。

13. 1バイトを送信するたびに、手順9~13を繰り返す。
14. マスタがNOT ACKを送信した場合、クロックはホールドされないが、SSPIFビットはセットされる。
15. マスタが反復スタート条件またはストップ条件を送信する。
16. スレーブのアドレス指定が解除される。

図 27-10: I²C スレーブ、7 ビットアドレス、送信 (AHEN = 0)



27.4.4.3 7 ビット送信 (アドレスホールド機能が有効)

SSPCON3 レジスタの AHEN ビットをセットすると、受信した一致アドレスの 8 番目の立ち下がりエッジ後に、さらにクロック ストレッチと割り込み生成を追加できます。一致アドレスの入力が完了すると、CKP がクリアされて SSPIF 割り込みがセットされます。

図 27-11 に、AHEN を有効にした 7 ビットアドレスのスレーブ送信の一般的な波形を示します。

1. バスはアイドル状態にある。
2. マスタがスタート条件を送信する。SSPSTAT の S ビットがセットされる。スタート検出割り込みが有効の場合は SSPIF ビットもセットされる。
3. マスタが、 R/\overline{W} ビットをセットした一致アドレスを送信する。SCL ラインの 8 番目の立ち下がりエッジの後、CKP ビットがクリアされて SSPIF 割り込みが生成される。
4. スレーブ ソフトウェアが SSPIF ビットをクリアする。
5. スレーブ ソフトウェアが、SSPCON3 レジスタの ACKTIM ビットと、SSPSTAT レジスタの R/\overline{W} と D/A を読み出して、割り込み要因を決定する。
6. スレーブが SSPBUF レジスタからアドレス値を読み出して BF ビットをクリアする。
7. この情報に基づき、スレーブ ソフトウェアが \overline{ACK} または NOT ACK のどちらかを判断し、それに応じて SSPCON2 レジスタの ACKDT ビットを設定する。
8. スレーブが CKP ビットをセットして SCL を解放する。
9. マスタがスレーブから \overline{ACK} 値を受信する。
10. R/\overline{W} ビットがセットされている場合、 \overline{ACK} の後にスレーブ ハードウェアが自動的に CKP ビットをクリアして SSPIF ビットをセットする。
11. スレーブ ソフトウェアが SSPIF ビットをクリアする。
12. スレーブが、マスタへ送信する値を SSPBUF に読み込んで BF ビットをセットする。

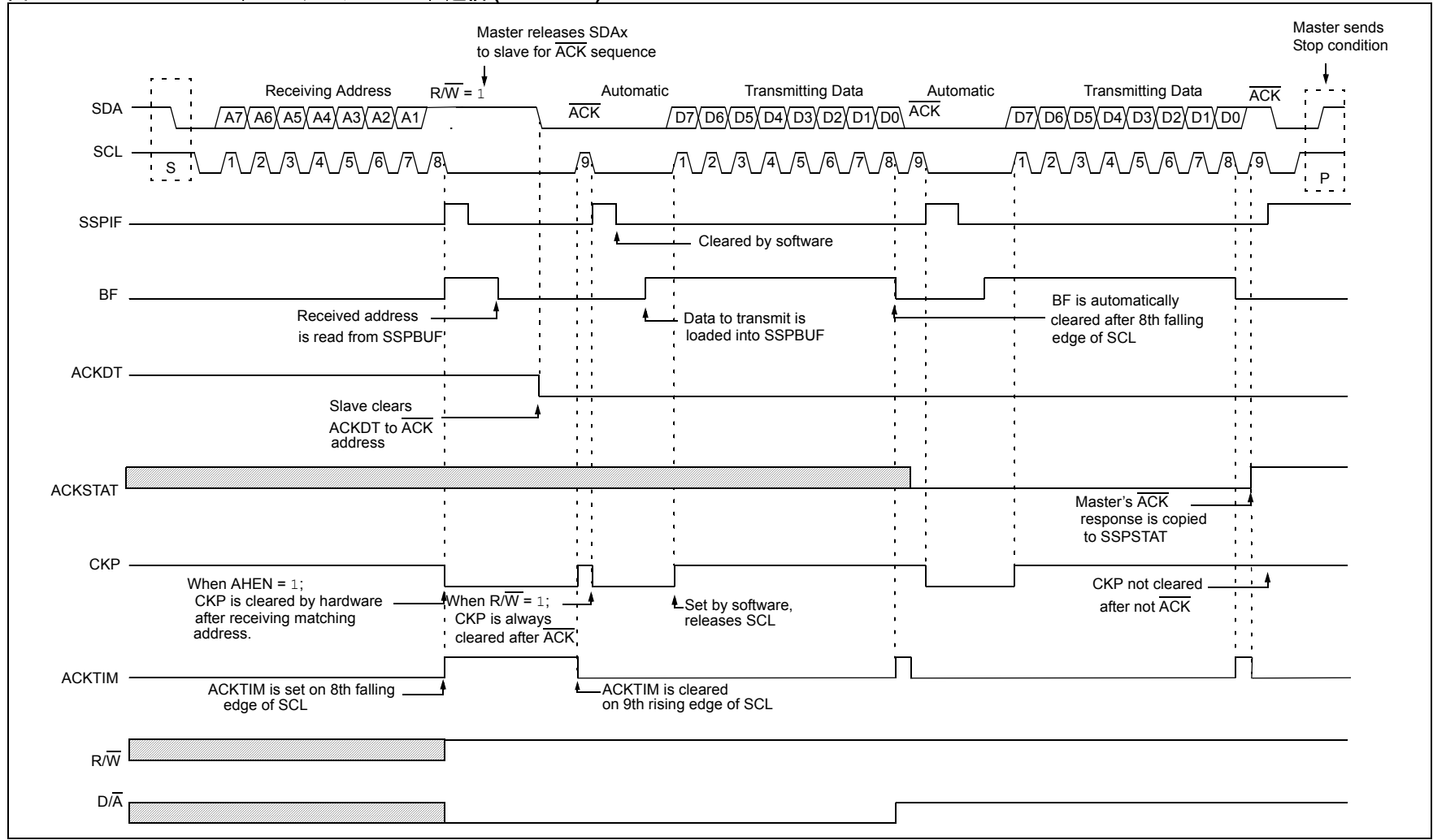
Note: \overline{ACK} が生成されるまで、SSPBUF にはデータを読み込めません。

13. スレーブが CKP ビットをセットしてクロックを解放する。
14. マスタがスレーブからデータを受信し、SCL の 9 番目のパルスで ACK 値を送信する。
15. この ACK 値を、スレーブ ハードウェアが SSPCON2 レジスタの ACKSTAT ビットへコピーする。
16. スレーブからマスタへ 1 バイトが送信されるたびに、手順 10 ~ 15 を繰り返す。

17. マスタが NOT \overline{ACK} を送信するとスレーブがバスを解放するため、マスタはストップ条件を送信して通信を終了できる。

Note: 最後のバイト送信では、スレーブが SCL ラインを解放してストップ条件を受信できるようにするため、マスタは NOT \overline{ACK} を送信する必要があります。

図 27-11: I²C スレーブ、7 ビットアドレス、送信 (AHEN = 1)



27.4.5 スレーブモードの 10 ビットアドレス受信

このセクションでは、10 ビット アドレッシング モードの I²C スレーブとして設定された MSSP モジュールの一般的なイベントシーケンスについて説明します。

図 27-12 に、このシーケンスの波形を示します。

以下に I²C 通信でスレーブ ソフトウェアが実行すべき一般的な手順を示します。

1. バスはアイドル状態にある。
2. マスタがスタート条件を送信する。SSPSTAT の S ビットがセットされる。スタート検出割り込みが有効の場合は SSPIF ビットもセットされる。
3. マスタが、R/W ビットがクリアされた一致上位アドレスを送信する。SSPSTAT レジスタの UA ビットがセットされる。
4. スレーブが ACK を送信し、SSPIF ビットがセットされる。
5. ソフトウェアが SSPIF ビットをクリアする。
6. ソフトウェアが SSPBUF から受信アドレスを読み出して BF フラグをクリアする。
7. スレーブが SSPADDx に下位アドレスを読み込み、SCL を解放する。
8. マスタが、一致下位アドレスバイトをスレーブへ送信する。UA ビットがセットされる。

Note: ACKシーケンスが完了するまで、SSPADDx レジスタの更新は許可されません。

9. スレーブが ACK を送信し、SSPIF ビットがセットされる。

Note: 下位アドレスが一致しない場合、SSPIF と UA はセットされたままであるため、スレーブ ソフトウェアは SSPADDx を上位アドレスに戻す事ができます。アドレスが一致していないため、BF フラグはセットされません。CKP ビットには影響しません。

10. スレーブが SSPIF ビットをクリアする。
11. スレーブが受信した一致アドレスを SSPBUF から読み出して、BF ビットをクリアする。
12. スレーブが SSPADD に上位アドレスを読み込む。
13. マスタがスレーブヘデータバイトを送信し、9 番目の SCL パルスでスレーブが ACK を出力し、SSPIF ビットがセットされる。
14. SSPCON2 の SEN ビットがセットされている場合、ハードウェアによって CKP ビットがクリアされてクロックがストレッチされる。
15. スレーブが SSPIF ビットをクリアする。
16. スレーブが SSPBUF から受信バイトを読み出して、BF ビットをクリアする。
17. SEN ビットがセットされている場合、スレーブは CKP ビットをセットして SCL を解放する。

18. 1 バイトを受信するたびに、手順 13 ~ 17 を繰り返す。
19. マスタがストップ条件を送信して、通信を終了する。

27.4.6 10 ビット アドレッシング (アドレス / データホールドあり)

AHEN または DHEN をセットした 10 ビット アドレッシングを使う受信動作は、7 ビットモードの場合と同じです。唯一異なる点は、UA ビットを使って SSPADDx レジスタを更新する必要がある事です。CKP ビットがクリアされて SCL ラインが Low を保持するタイミング等、全ての動作が同じです。図 27-13 に、AHEN がセットされた 10 ビット アドレッシングのスレーブ波形を示します。

図 27-14 に、10 ビット アドレッシング モードでのスレーブ トランスミッタの一般的な波形を示します。

図 27-12: I²C スレーブ、10 ビットアドレス、受信 (SEN = 1、AHEN = 0、DHEN = 0)

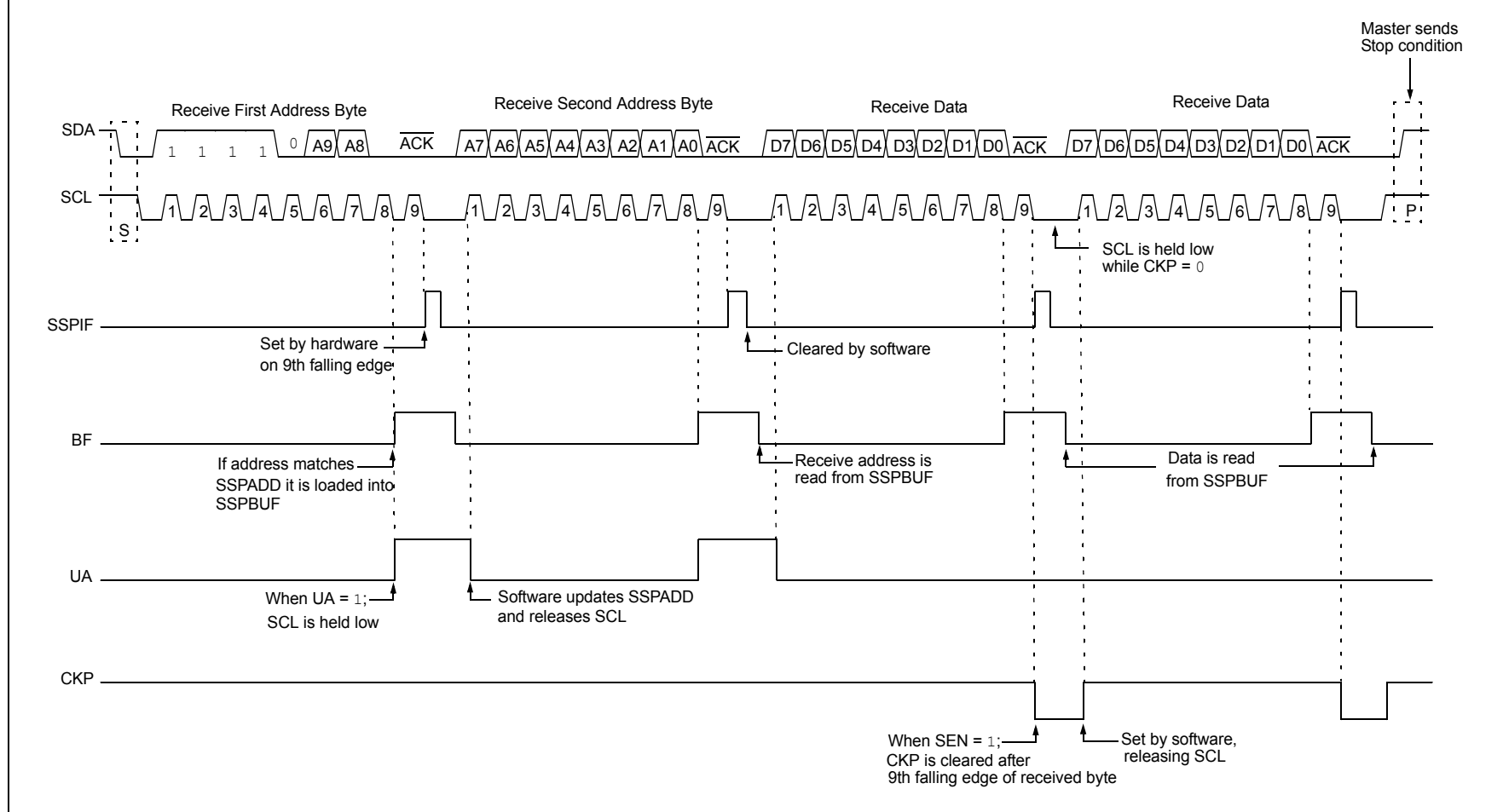


図 27-13: I²C スレーブ、10 ビットアドレス、受信 (SEN = 0、AHEN = 1、DHEN = 0)

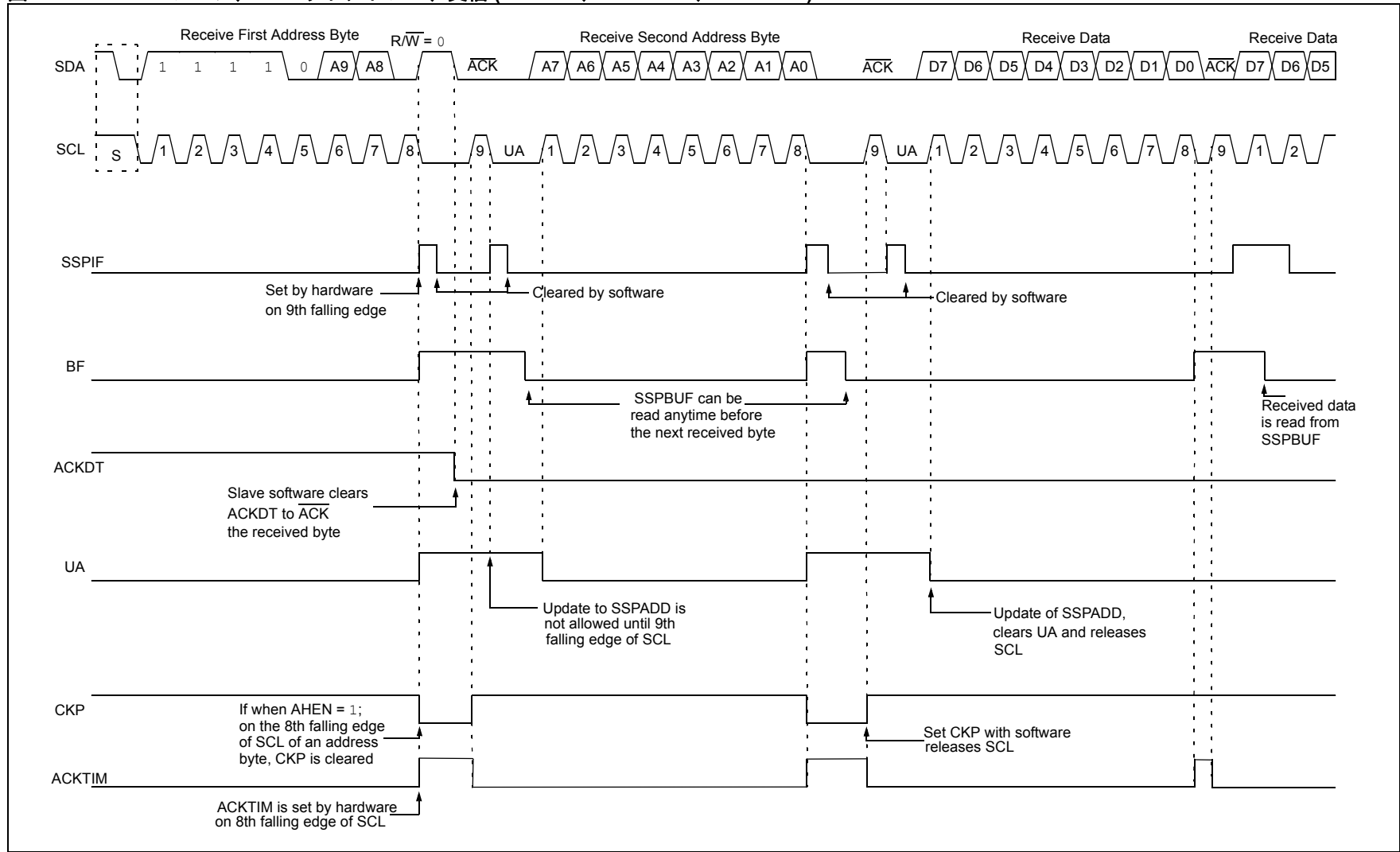
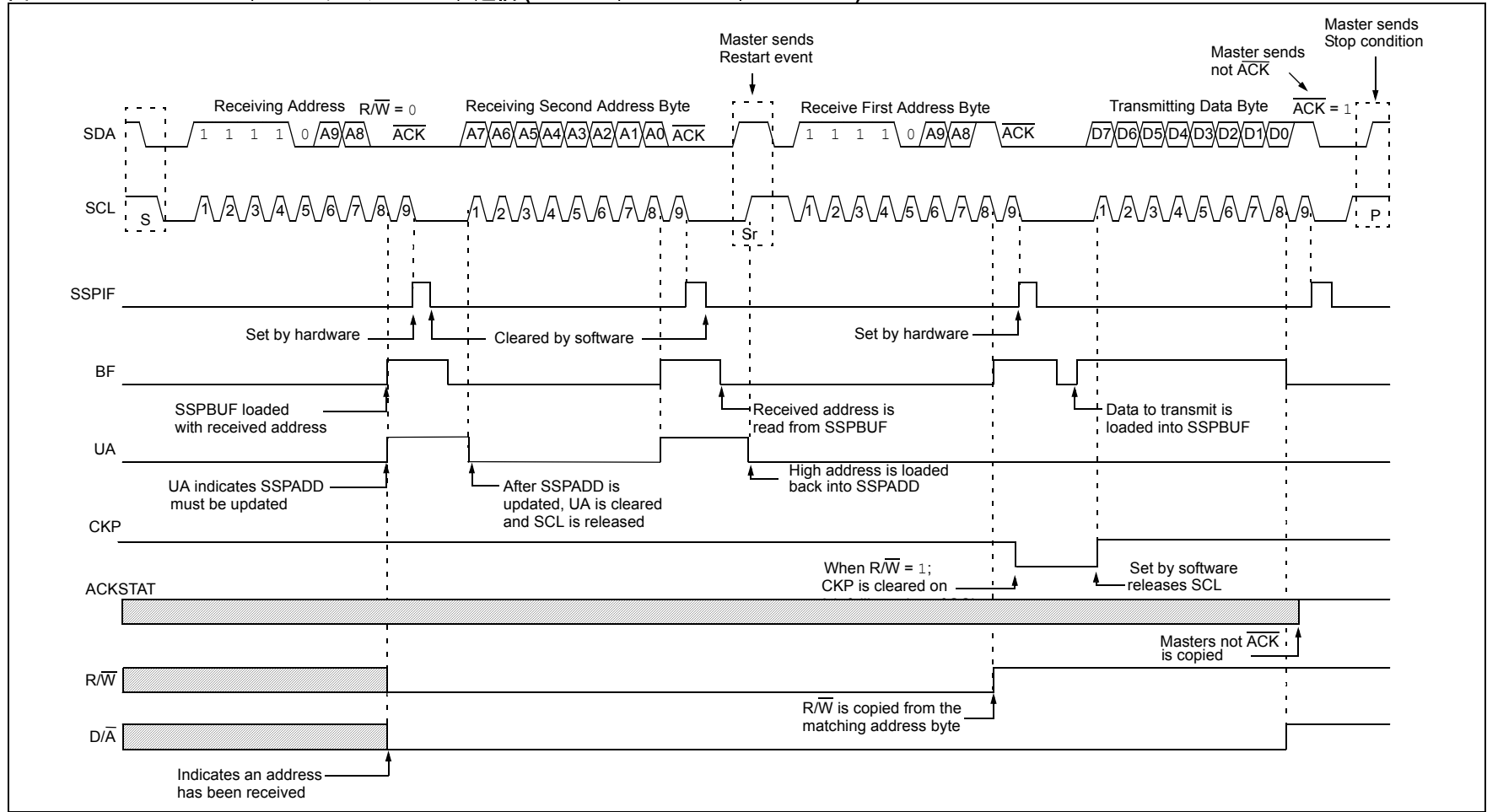


図 27-14: I²C スレーブ、10 ビットアドレス、送信 (SEN = 0、AHEN = 0、DHEN = 0)



27.4.7 クロック ストレッチ

クロック ストレッチとは、バス上に接続されたデバイスがSCLラインをLowに保持する事で通信を停止させる事です。スレーブは、このクロック ストレッチ機能を使って、データ処理またはマスタへの応答準備の時間を作る事ができます。マスタは、この機能とは無関係に動作し常にアクティブ状態ですが、ストレッチ中はデータを送信しません。マスタ ソフトウェアは、スレーブによるクロック ストレッチを認識できないため、この動作はSCLを生成するハードウェアで処理されます。

ソフトウェアによるストレッチ制御には、SSPCON1レジスタのCKP ビットを使います。CKP ビットがクリアされると、モジュールはSCLラインがLowになるまで待機し、その後Lowを保持します。CKP ビットをセットすると、SCLが解放されて通信が再開します。

27.4.7.1 通常のクロック ストレッチ

SSPSTAT レジスタのR/W $\overline{\text{ビット}}$ がセットされ、読み出し要求が実行された場合、ACK パルスの後にスレーブハードウェアがCKP ビットをクリアします。これによって、スレーブはマスタへ送信するデータをSSPBUFに読み込む時間を確保できます。SSPCON2 レジスタのSEN ビットがセットされている場合、スレーブハードウェアはACKシーケンスの後に毎回クロック ストレッチを実行します。スレーブの準備が整うと、ソフトウェアによってCKP がセットされて通信が再開します。

- Note 1:** BF ビットは、クロック ストレッチを実行するかどうかに影響しません。これは、以前のバージョンのモジュールと異なります。以前は、SCL の 9 番目の立ち下がリエッジより前に SSPBUF が読み出された場合、クロックがストレッチされず、CKP がクリアされませんでした。
- 2:** 以前のバージョンのモジュールでは、SCL の 9 番目の立ち下がリエッジより前に SSPBUF ヘデータが読み込まれた場合、送信用のクロックはストレッチされませんでした。現バージョンでは、読み出し要求に対して常にCKP ビットがクリアされます。

27.4.7.2 10 ビット アドレッシング モード

10 ビット アドレッシング モードの場合、UA ビットがセットされるとクロックは常にストレッチされます。これは、CKP がクリアされずにSCLがストレッチされる唯一の状況です。SSPADDx への書き込みが実行されるとすぐにSCLは解放されます。

Note: 以前のバージョンのモジュールでは、2 番目のアドレスバイトが一致しない場合、モジュールはクロックをストレッチしませんでした。

27.4.7.3 バイト単位の NACK

SSPCON3 レジスタのAHEN ビットがセットされている場合、CKP ビットは一致アドレスを受信したSCLの8番目の立ち下がリエッジの後にハードウェアによってクリアされます。SSPCON3 レジスタのDHEN ビットがセットされている場合、CKP ビットはデータを受信したSCLの8番目の立ち下がリエッジの後にクリアされます。

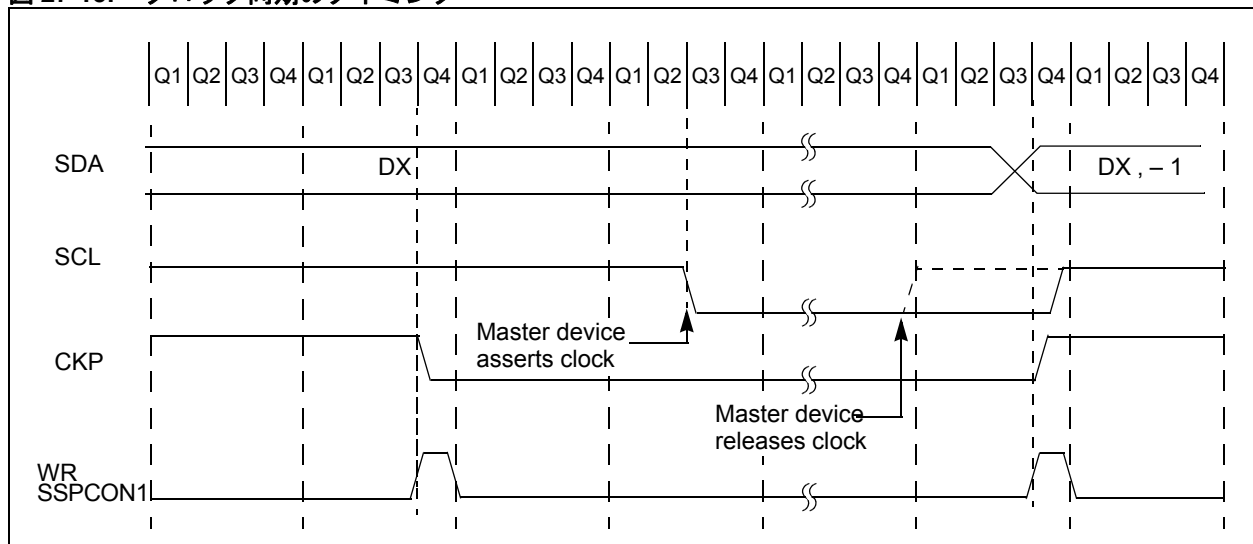
SCL の 8 番目の立ち下がリエッジの後でクロックがストレッチされると、スレーブは受信アドレスまたは受信データを見て、受信データにACKを返すかどうかを判断できます。

27.4.8 クロック同期とCKP ビット

CKP ビットがクリアされると、モジュールはSCLラインがLowになるまで待機し、その後Lowを保持します。しかし、CKP ビットをクリアしても、SCL出力がLowにサンプルされるまで、SCL出力のLowはアサートされません。従って、外部I²Cマスタデバイスが既にSCLラインをアサートしていないと、CKP ビットはSCLラインをアサートしません。SCL出力は、CKP ビットがセットされてI²Cバス上のその他全てのデバイスがSCLを解放するまでLowを保持します。

このため、CKP ビットへの書き込みによってSCLのHigh期間が規格下限を下回る事を防止できます(図27-15参照)。

図 27-15: クロック同期のタイミング



27.4.9 ジェネラルコールアドレスのサポート

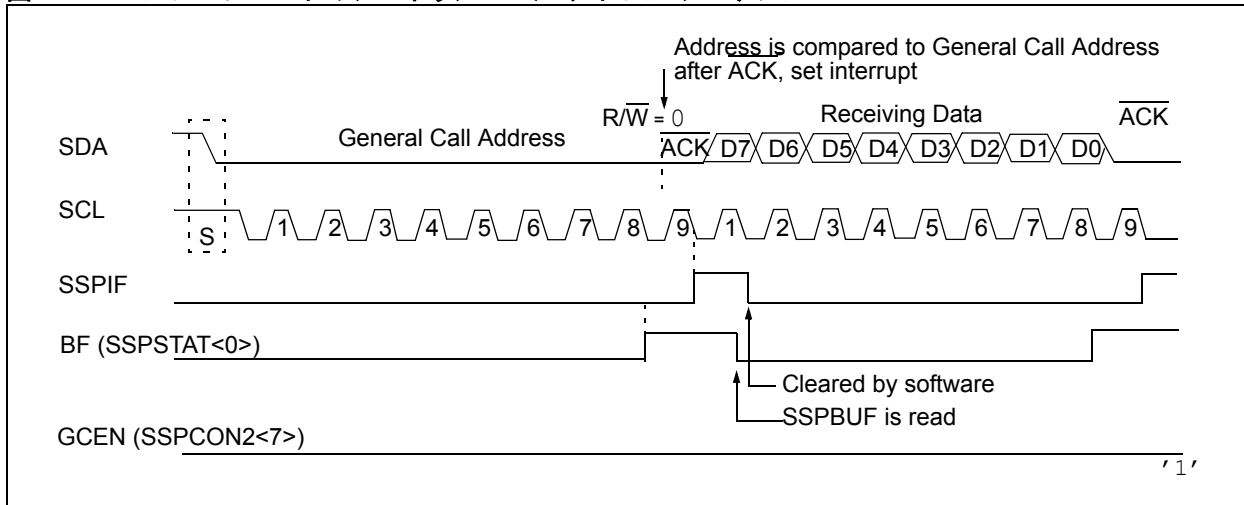
I²C バスのアドレス指定では通常、スタート条件の次のバイトで、マスタデバイスがアドレス指定するスレーブデバイスを示します。例外として、ジェネラルコールアドレスは全てのデバイスをアドレス指定可能です。このアドレスを使うと、理論上は全デバイスが ACK を返します。

ジェネラルコールアドレスは I²C プロトコルの予約済みアドレスの 1 つで、「0x00」と定義されています。SSPCON2 レジスタの GCEN ビットがセットされている場合、スレーブ モジュールは SSPADDx の値に関係なく、このアドレス受信に対して ACK を返します。スレーブが、R/W ビットのクリアされた全て 0 のアドレス値を受信後に割り込みが生成され、スレーブ ソフトウェアが SSPBUF を読み出して応答できます。図 27-16 に、ジェネラルコールの受信シーケンスを示します。

10 ビット アドレスリング モードの場合、ジェネラルコールアドレスの受信で UA ビットはセットされません。スレーブは、7 ビットモードと同じように 2 番目のバイトをデータとして受信する準備をします。

SSPCON3 レジスタの AHEN ビットがセットされている場合、通常のアドレス受信と同じように、スレーブ ハードウェアは SCL の 8 番目の立ち下がりエッジ後にクロックをストレッチします。その後、スレーブは ACKDT ビットの値をセットして、通常の通信同様クロックを解放する必要があります。

図 27-16: スレーブモードのジェネラルコールアドレスシーケンス



27.4.10 SSPMSKx レジスタ

I²C スレーブモードでは、SSP マスク (SSPMSKx) レジスタ (レジスタ 27-6 とレジスタ 27-8) を使って、アドレス比較動作中に SSPSRx レジスタに格納された値をマスクできます。SSPMSKx レジスタのゼロ (「0」) ビットがマスクビットとなり、受信アドレスの対応ビットは「ドントケア」として処理されます。

このレジスタは、全てのリセット条件で全ビットが「1」にリセットされるため、ユーザがマスク値を書き込まない限り、通常の SSP 動作には影響を与えません。

SSP マスクレジスタは、以下の時にアクティブ状態です。

- 7 ビットアドレス モードの場合：SSPADDx<7:1> のアドレス比較時
- 10 ビットアドレス モードの場合：SSPADDx<7:1> のアドレス比較時のみ。SSP マスクは、1 番目の (上位) バイトアドレスの受信中は無効

27.5 I²C マスタモード

マスタモードを有効にするには、SSPCON1 レジスタの SSPM ビットを適切に設定して、SSPEN ビットをセットします。マスタモードでは SDA ピンと SCK ピンを入力として設定する必要があります。ピンを Low に駆動する必要がある場合、MSSP ハードウェアは出力ドライバの TRIS 制御より優先されます。

マスタモードの動作は、スタート/ストップ条件の検出による割り込み生成でサポートされます。ストップ (P) ビットとスタート (S) ビットは、リセット時または MSSP モジュールが無効にされた時にクリアされます。I²C バスの制御は、P ビットがセットされている場合またはバスがアイドル状態の場合に取得できます。

ファームウェア制御のマスタモードでは、ユーザコードがスタート/ストップビット条件の検出に基づいて、全ての I²C バス動作を実行します。スタート/ストップ条件の検出は、このモードで唯一能動的に動作する回路です。その他、全ての通信動作は、ユーザソフトウェアで SDA/SCL ラインを直接制御して実行されます。

以下のイベントが生じると、SSP 割り込みフラグビット (SSPIF) がセットされます (SSP 割り込み有効時)。

- スタート条件の検出
- ストップ条件の検出
- データ転送バイトの送受信
- 肯定応答 (ACK) の送受信
- 反復スタート条件の生成

Note 1: I²C マスタモードの場合、MSSP モジュールではイベントのキューイングはできません。例えばスタート条件を開始した後、その完了を待たずに SSPBUF レジスタに書き込んで送信を開始する事はできません。この場合 SSPBUF への書き込みは実行されず、その事を示す WCOL ビットがセットされます。

- 2:** マスタモードの場合、SEN/PEN ビットがクリアされるとスタート/ストップ検出がマスクされて割り込みが生成されます。これで割り込み生成が完了です。

27.5.1 I²C マスタモードの動作

マスタデバイスは、全てのシリアルクロックパルスとスタート/ストップ条件を生成します。転送は、ストップ条件または反復スタート条件で終了します。反復スタート条件は次のシリアル転送の開始でもあるため、I²C バスは解放されません。

マスタ送信モードでは、SDA からシリアルデータを出し、SCL からシリアルクロックを出力します。送信される最初のバイトには、受信デバイスのスレーブアドレス (7 ビット) と、Read/Write (R/W) ビットが含まれます。この場合、R/W ビットは論理「0」です。シリアルデータは 8 ビットずつ送信します。1 バイト送信ごとに肯定応答 (ACK) ビットを受信します。シリアル転送の開始/終了は、スタート/ストップ条件の出力で示します。

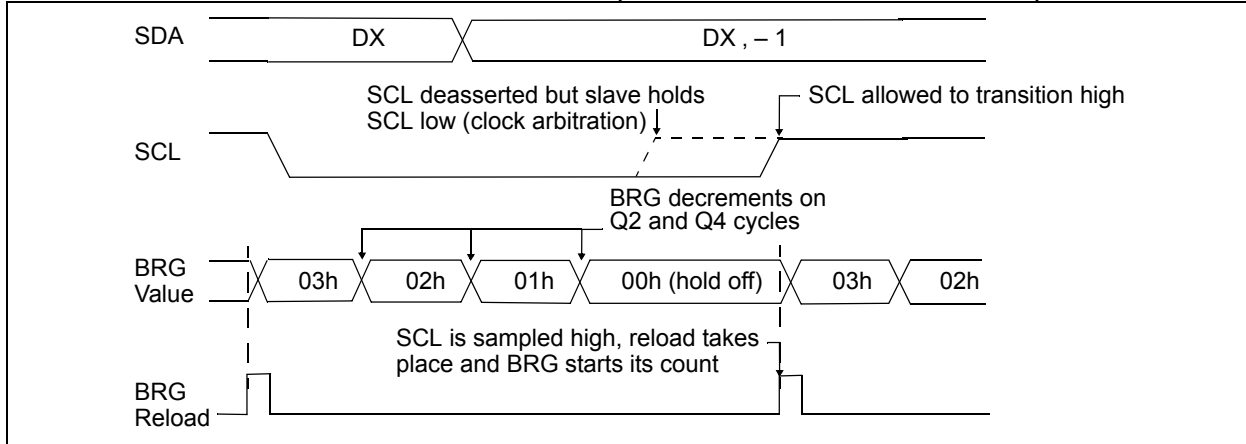
マスタ受信モードの場合、送信される最初のバイトには送信デバイスのスレーブアドレス (7 ビット) と R/W ビットが含まれます。この場合、R/W ビットは論理「1」です。従って、最初のバイトは 7 ビットのスレーブアドレスに続いて受信ビットを示す「1」を送信します。シリアルデータは SDA で受信し、SCL はシリアルクロックを出力します。シリアルデータは、8 ビットずつ受信します。1 バイト受信ごとに肯定応答 (ACK) ビットを送信します。スタート/ストップ条件で、送信の開始/終了を示します。

baud レートジェネレータを使って、SCL のクロック周波数出力を設定します。詳細は、[セクション 27.6 「baud レートジェネレータ」](#)を参照してください。

27.5.2 クロックアービトレーション

送受信、反復スタート/ストップ条件中にマスタが SCL ピンを解放 (SCL が High にフローティング) すると、クロックアービトレーションが実行されます。SCL ピンが High にフローティングすると、baud レートジェネレータ (BRG) は、SCL ピンが実際に High としてサンプルされるまでカウントを停止します。SCL ピンで High がサンプルされると、baud レートジェネレータに SSPADD<7:0> の内容が再読み込みされてカウントを開始します。外部デバイスによってクロックが Low に保持されていたとしても、上記の動作によって、SCL の High 期間が最短でも BRG のロールオーバー1 回分確保されます ([図 27-17](#))。

図 27-17: baud レート ジェネレータのタイミング (クロック アービトレーションあり)



27.5.3 WCOL ステータスフラグ

スタート、反復スタート、ストップ、受信、送信のいずれかのシーケンスが進行中にユーザがSSPBUFに書き込みを実行すると、WCOLがセットされてバッファの内容は変更されません(書き込みは実行されない)。このように、モジュールがアイドル状態でない時にSSPBUFに対する何らかの操作をしようとするとWCOLビットがセットされます。

Note: イベントのキューイングはできないため、スタート条件が完了するまでSSPCON2の下位5ビットへの書き込みは無効です。

27.5.4 I²C マスタモードでのスタート条件のタイミング

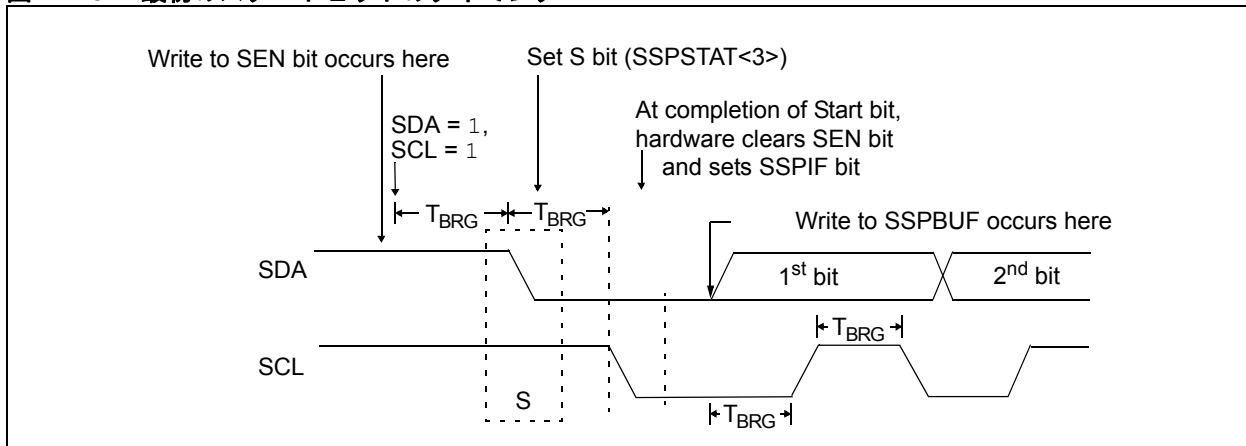
スタート条件を開始するには、ユーザがスタートイネーブルビット(SSPCON2レジスタのSENビット)をセットします。SDAピンとSCLピンがHighとしてサンプルされると、baudレートジェネレータにSSPADD<7:0>の内容が再読み込みされてカウントを開始します。baudレートジェネレータがタイムアウト(T_{BRG})した時にSCLとSDAの両方でHighがサン

プルされると、SDAピンがLowに駆動されます。SCLピンがHighの時にSDAがLowに駆動されるとスタート条件となり、SSPSTATレジスタのSビットがセットされます。その後、baudレートジェネレータにSSPADD<7:0>の内容が再読み込みされて、カウントを再開します。baudレートジェネレータがタイムアウト(T_{BRG})すると、SSPCON2レジスタのSENビットがハードウェアによって自動的にクリアされ、baudレートジェネレータが一時停止状態になります。これによってSDAラインがLowに保持されスタート条件が完了します。

Note 1: スタート条件の開始時にSDAピンとSCLピンが既にLowにサンプルされている場合、またはスタート条件中にSDAラインがLowに駆動される前にSCLラインがLowとしてサンプルされた場合、バスコリジョンが生じてバスコリジョン割り込みフラグ(BCLIF)がセットされ、スタート条件が中止されてI²Cモジュールはアイドル状態にリセットされます。

2: Philips社のI²C仕様書では、スタート時にバスコリジョンは発生しないと記載されています。

図 27-18: 最初のスタートビットのタイミング



27.5.5 I²C マスタモードでの反復スタート条件のタイミング

SSPCON2 レジスタの RSEN ビットが High で、マスタステートマシンがアクティブでないと、反復スタート条件が発生します。RSEN ビットがセットされると、SCL ピンが Low にアサートされます。SCL ピンが Low としてサンプルされると、baud レートジェネレータに値が読み込まれてカウントを開始します。baud レートジェネレータの 1 ロールオーバー カウント (T_{BRG}) の間、SDA ピンは解放されます (High に遷移)。baud レートジェネレータ タイムアウト時、SDA が High としてサンプルされると、SCL ピンがネゲートされます (High に遷移)。SCL ピンが High としてサンプルされると、baud レートジェネレータに値が再読み込みされてカウントを開始します。SDA と SCL は、1 T_{BRG} の間、High としてサンプルされる必要があります。この動作の次には、SDA ピンのアサート ($SDA = 0$) が生じ、これは SCL が High の間に 1 T_{BRG} の間継続します。SCL は Low にアサートされます。その後 SSPCON2 レジスタの RSEN ビットが自動的にクリアされ、baud レートジェネレータには値が再読み込みされず、SDA ピンは Low に保持されます。SDA ピンと SCL ピンでスタート条件が検出されるとすぐに、SSPSTAT レジ

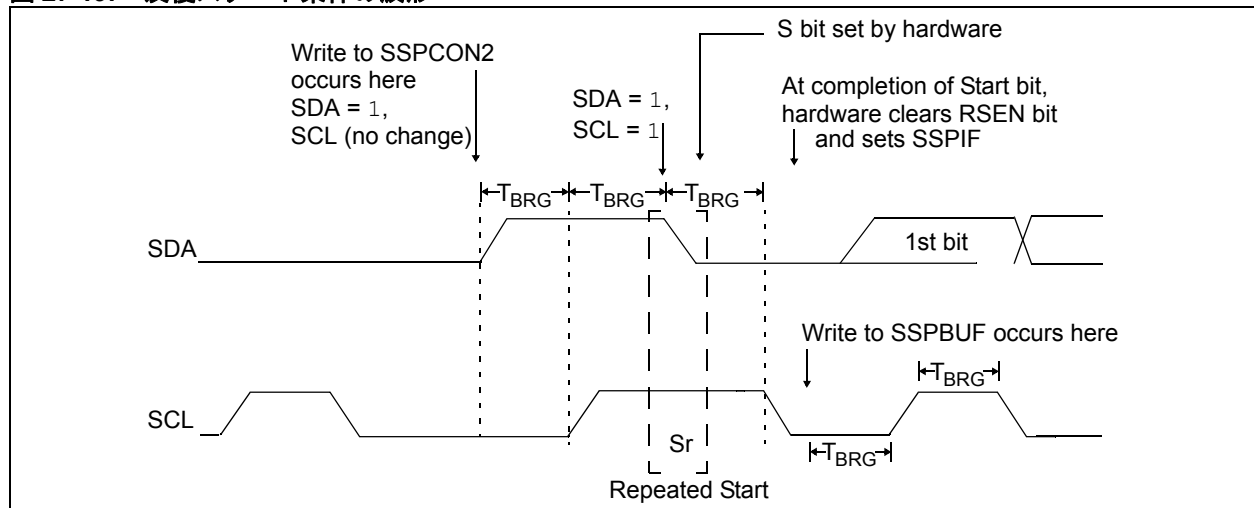
スタの S ビットがセットされます。baud レートジェネレータがタイムアウトするまで SSPIF ビットはセットされません。

Note 1: その他のいかなるイベントが進行している間に RSEN がセットされても、実行されません。

2: 以下の場合、反復スタート条件中にバスコリジョンが発生します。

- SCL が Low から High に遷移した時、SDA が Low としてサンプルされた。
- SDA が Low にアサートされる前に SCL が Low に遷移した (これは、他のマスタがデータ「1」を送信しようとしている可能性を示しています)。

図 27-19: 反復スタート条件の波形



27.5.6 I²C マスタモード送信

データバイト、7 ビットアドレス、10 ビットアドレス半分の送信は、単に SSPBUF レジスタへ値を書き込む事だけで完了します。この動作によりバッファフルフラグ (BF) ビットがセットされ、baud レート ジェネレータがカウントを開始して次の送信を開始します。アドレス/データの各ビットは、SCL の立ち下がりエッジがアサートされた後に SDA ピン上にシフト出力されます。SCL は、1 回の BRG ロールオーバー (T_{BRG}) の間 Low に保持されます。データは、SCL が High に解放される前に有効になる必要があります。SCL ピンは High に解放された後、 T_{BRG} の間、その状態を保持します。SDA ピン上のデータは、この期間および SCL の次の立ち下がりエッジ後のホールド時間まで安定していなければなりません。8 番目のビットがシフト出力された (8 番目のクロックの立ち下がりエッジ) 後、BF フラグがクリアされてマスタが SDA を解放します。アドレスが一致した場合、またはデータを正常に受信した場合、アドレス指定されたスレーブデバイスは 9 番目のビットと同時に ACK ビットを送信します。9 番目のクロックの立ち上がりエッジで ACK のステータスが ACKSTAT ビットに書き込まれます。マスタが肯定応答 (ACK) を受信すると、肯定応答ステータスビット (ACKSTAT) はクリアされます。受信しない場合、セットされたままです。9 番目のクロックの後、SSPIF ビットがセットされ、マスタクロック (baud レート ジェネレータ) は次のデータバイトが SSPBUF に読み込まれるまで一時停止し、SCL は Low、SDA はそのままの状態を保持します (図 27-20)。

SSPBUF に書き込むと、アドレスの各ビットが SCL の立ち下がりエッジでシフト出力されます。シフト動作は、7 ビットのアドレスと R/W ビットが全て出力されるまで続きます。8 番目のクロックの立ち下がりエッジで、マスタは SDA ピンを解放し、スレーブが肯定応答 (ACK) を送信します。9 番目のクロックの立ち下がりエッジでマスタは SDA ピンをサンプルし、スレーブがアドレスを認識できたかどうかを確認します。ACK ビットのステータスは、SSPCON2 レジスタの ACKSTAT ステータスビットに読み込まれます。アドレス送信の 9 番目のクロックが立ち下がると、SSPIF がセットされ、BF フラグがクリアされます。これによって次に SSPBUF への書き込みが実行されるまで baud レート ジェネレータが OFF になり、SCL が Low に保持され、SDA はフローティング状態になります。

27.5.6.1 BF ステータスフラグ

送信モードでは、SSPSTAT レジスタの BF ビットは CPU が SSPBUF へ書き込むとセットされ、全 8 ビットがシフト出力されるとクリアされます。

27.5.6.2 WCOL ステータスフラグ

送信中 (SSPSR がデータバイトをシフト出力している途中) に、ユーザが SSPBUF へ書き込みを実行した場合、WCOL がセットされバッファの内容は変更されません (書き込みは実行されない)。

次の送信の前に WCOL をソフトウェアでクリアする必要があります。

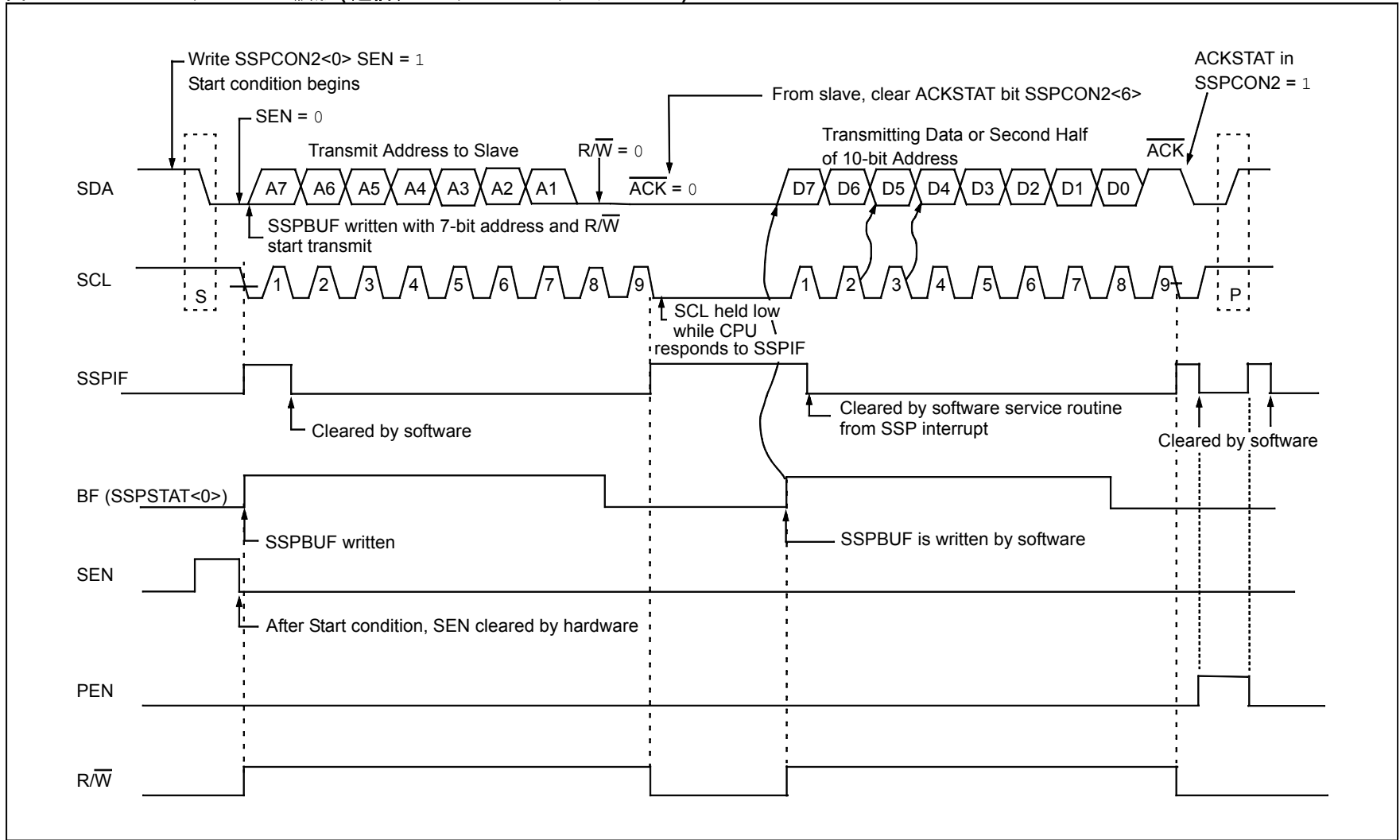
27.5.6.3 ACKSTAT ステータスフラグ

送信モードでは、スレーブが肯定応答 ($\overline{ACK} = 0$) を送信すると SSPCON2 レジスタの ACKSTAT ビットはクリアされ、スレーブが肯定応答しない ($ACK = 1$) とセットされます。スレーブは、自分自身のアドレスを認識するか (ジェネラルコールを含む)、正常にデータ受信を完了すると ACK を送信します。

27.5.6.4 代表的な送信シーケンス

1. ユーザが、SSPCON2 レジスタの SEN ビットをセットしてスタート条件を生成する。
2. スタート条件の完了時に SSPIF ビットがハードウェアによりセットされる。
3. ソフトウェアで SSPIF ビットがクリアされる。
4. MSSP モジュールは、新しい動作を開始する前に必要なスタート時間が経過するまで待機する。
5. ユーザが、送信先スレーブアドレスを SSPBUF に読み込む。
6. 8 ビット全てが送信されるまで、アドレスが SDA ピンにシフト出力される。SSPBUF への書き込みが完了すると、送信が開始する。
7. MSSP モジュールは、スレーブデバイスから \overline{ACK} ビットを受信して、その値を SSPCON2 レジスタの ACKSTAT ビットに書き込む。
8. MSSP モジュールは、9 番目のクロックサイクルの最後に SSPIF ビットをセットして割り込みを生成する。
9. ユーザが、SSPBUF に 8 ビットのデータを読み込む。
10. 8 ビット全てが送信されるまで、データが SDA ピンにシフト出力される。
11. MSSP モジュールは、スレーブデバイスから \overline{ACK} ビットを受信して、その値を SSPCON2 レジスタの ACKSTAT ビットに書き込む。
12. 全ての送信データバイトに対して、手順 8 ~ 11 を繰り返す。
13. ユーザが、SSPCON2 レジスタの PEN または RSEN ビットをセットしてストップ / 反復スタート条件を生成する。ストップ / 反復スタート条件が完了すると、割り込みが生成される。

図 27-20: I²C マスタモードの波形 (送信、7 ビット /10 ビットアドレス)



27.5.7 I²C マスタモード受信

マスタモード受信を有効にするには、受信イネーブルビット (SSPCON2 レジスタの RCEN ビット) をプログラムします。

Note: RCEN ビットをセットする前に MSSP モジュールをアイドル状態にする必要があります。アイドル状態にない場合、RCEN ビットは無視されます。

baud レート ジェネレータがカウントを開始し、ロールオーバーごとに SCL ピンが遷移 (High → Low/Low → High) してデータが SSPSR ヘシフト入力されます。8 番目のクロックの立ち下がりエッジ後、受信イネーブルフラグが自動的にクリアされ、SSPSR の内容が SSPBUF に読み込まれます。BF フラグビットがセットされ、SSPIF フラグがセットされ、baud レート ジェネレータはカウントを停止します (SCL を Low に保持)。これによって MSSP はアイドル状態に移行し、次のコマンドを待ちます。CPU がバッファを読み出すと、BF フラグビットは自動的にクリアされます。ユーザは、受信の最後に肯定応答 (ACK) シーケンス イネーブル (SSPCON2 レジスタの ACKEN ビット) をセットする事によって、肯定応答ビットを送信できます。

27.5.7.1 BF ステータスフラグ

受信動作の場合、SSPSR から SSPBUF ヘアドレスバイトまたはデータバイトが読み込まれると、BF ビットがセットされます。このビットは、SSPBUF レジスタを読み出すとクリアされます。

27.5.7.2 SSPOV ステータスフラグ

受信動作の場合、以前の受信で BF フラグが既にセットされている時に SSPSR に 8 ビットが受信されると、SSPOV ビットがセットされます。

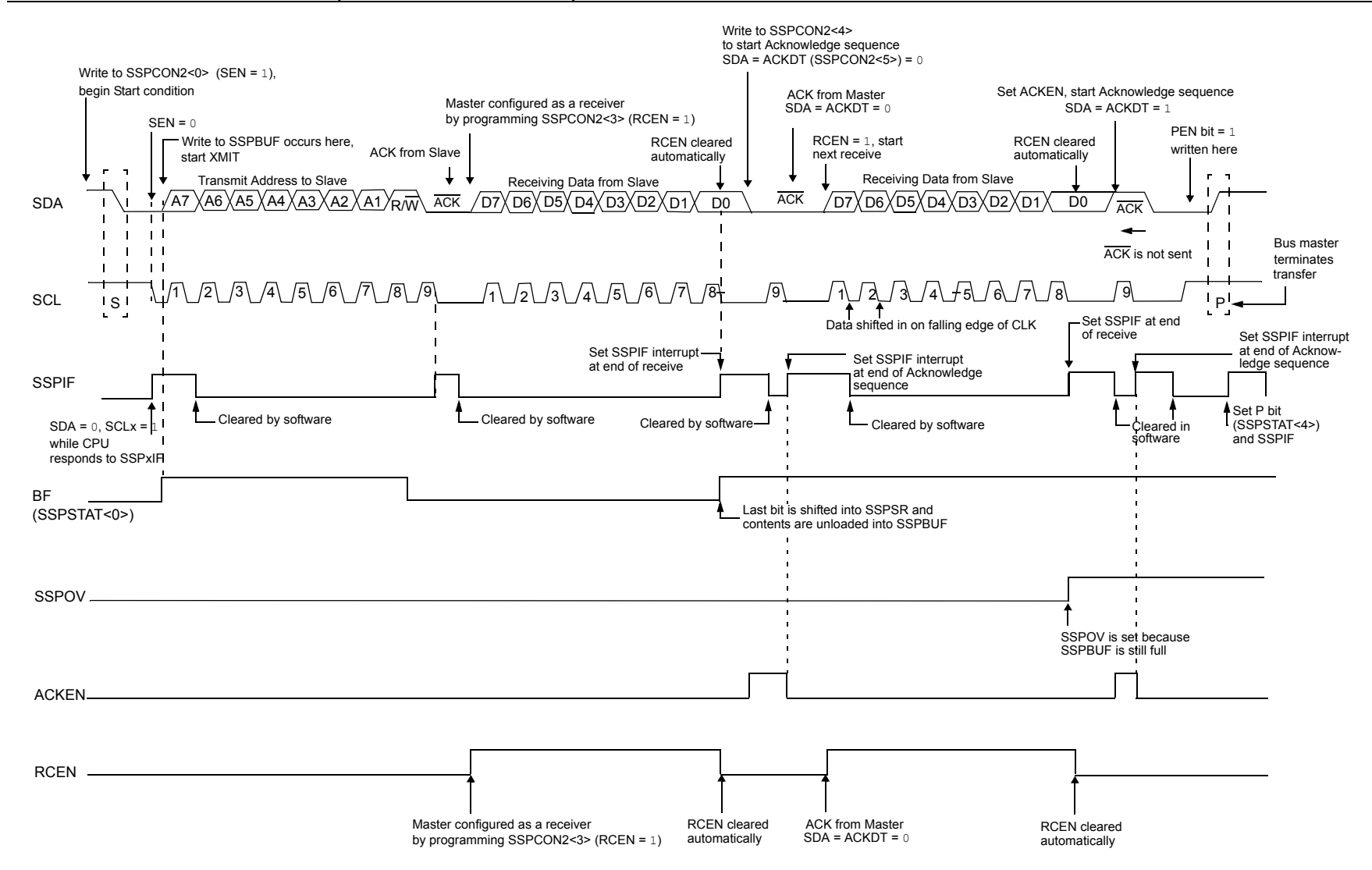
27.5.7.3 WCOL ステータスフラグ

受信中 (SSPSR にデータバイトをシフト入力している途中) に、ユーザが SSPBUF ヘ書き込みを実行した場合、WCOL がセットされ、バッファの内容は変更されません (書き込みは実行されない)。

27.5.7.4 代表的な受信シーケンス

1. ユーザが、SSPCON2 レジスタの SEN ビットをセットしてスタート条件を生成する。
2. スタート条件の完了時に SSPIF ビットがハードウェアによりセットされる。
3. ソフトウェアで SSPIF ビットがクリアされる。
4. $\overline{R/W}$ ビットをセットした送信先スレーブアドレスを、ユーザが SSPBUF に書き込む。
5. 8 ビット全てが送信されるまで、アドレスが SDA ピンにシフト出力される。SSPBUF への書き込みが完了すると、送信が開始する。
6. MSSP モジュールは、スレーブデバイスから \overline{ACK} ビットを受信して、その値を SSPCON2 レジスタの ACKSTAT ビットに書き込む。
7. MSSP モジュールは、9 番目のクロックサイクルの最後に SSPIF ビットをセットして割り込みを生成する。
8. ユーザが SSPCON2 レジスタの RCEN ビットをセットし、マスタがスレーブから 1 バイトのデータを受信する。
9. SCL の 8 番目の立ち下がりエッジ後、SSPIF ビットと BF ビットがセットされる。
10. マスタが SSPIF ビットをクリアし、SSPBUF から受信バイトを読み出して BF ビットをクリアする。
11. マスタが、SSPCON2 レジスタの \overline{ACKDT} ビットを使って、スレーブへ送信する \overline{ACK} 値を設定し、ACKEN ビットをセットして \overline{ACK} を送信する。
12. マスタからスレーブへ \overline{ACK} 信号が送信され、SSPIF ビットがセットされる。
13. ユーザが SSPIF ビットをクリアする。
14. スレーブから 1 バイトを受信するたびに、手順 8 ~ 13 を繰り返す。
15. マスタが NOT \overline{ACK} を送信するか、ストップ条件を送信すると通信が終了する。

図 27-21: I²C マスタモードの波形 (受信、7 ビットアドレス)



27.5.8 ACK シーケンスのタイミング

肯定応答 (ACK) シーケンスを有効にするには、肯定応答シーケンスイネーブルビット (SSPCON2 レジスタの ACKEN ビット) をセットします。このビットがセットされると SCL ピンが Low に駆動され、肯定応答データ (ACKDT) ビットの内容が SDA ピンに出力されます。ACK を生成するには、ACKDT ビットをクリアします。ACK を生成しない場合、ACK シーケンスが開始する前に ACKDT ビットをセットする必要があります。次に、baud レートジェネレータが 1 ロールオーバー期間 (T_{BRG}) カウントし、SCL ピンがネゲートされます (High に遷移)。SCL ピンで High がサンプルされた場合 (クロックアービトレーション)、baud レートジェネレータは T_{BRG} の期間カウントします。その後 SCL ピンが Low に駆動されます。続いて ACKEN ビットが自動的にクリアされ、baud レートジェネレータが OFF になり、MSSP モジュールはアイドル状態に移行します (図 27-22)。

27.5.8.1 WCOL ステータスフラグ

肯定応答 (ACK) シーケンス進行中にユーザが SSPBUF に書き込みを実行すると、WCOL がセットされ、バッファの内容は変更されません (書き込みは実行されない)。

27.5.9 ストップ条件のタイミング

ストップシーケンスイネーブルビット (SSPCON2 レジスタの PEN ビット) をセットすると、送受信終了時に SDA ピン上にストップビットがアサートされます。送受信が完了する 9 番目のクロックの立ち下がりエッジ後、SCL ラインは Low に保持されます。PEN ビットがセットされると、マスタは SDA ラインを Low にアサートします。SDA ラインが Low としてサンプルされると、baud レートジェネレータが再読み込みされ「0」までカウントダウンします。baud レートジェネレータがタイムアウトすると、SCL ピンが High に駆動され、1 T_{BRG} (BRG のロールオーバーカウント) 後に SDA ピンがネゲートされます。SCL が High の間に SDA ピンが High としてサンプルされると、SSPSTAT レジスタの P ビットがセットされます。1 T_{BRG} 経過後、PEN ビットがクリアされ、SSPIF ビットがセットされます (図 27-23)。

27.5.9.1 WCOL ステータスフラグ

ストップシーケンス実行中にユーザが SSPBUF に書き込むと、WCOL がセットされ、バッファの内容は変化しません (書き込みは実行されない)。

図 27-22: ACK シーケンスの波形

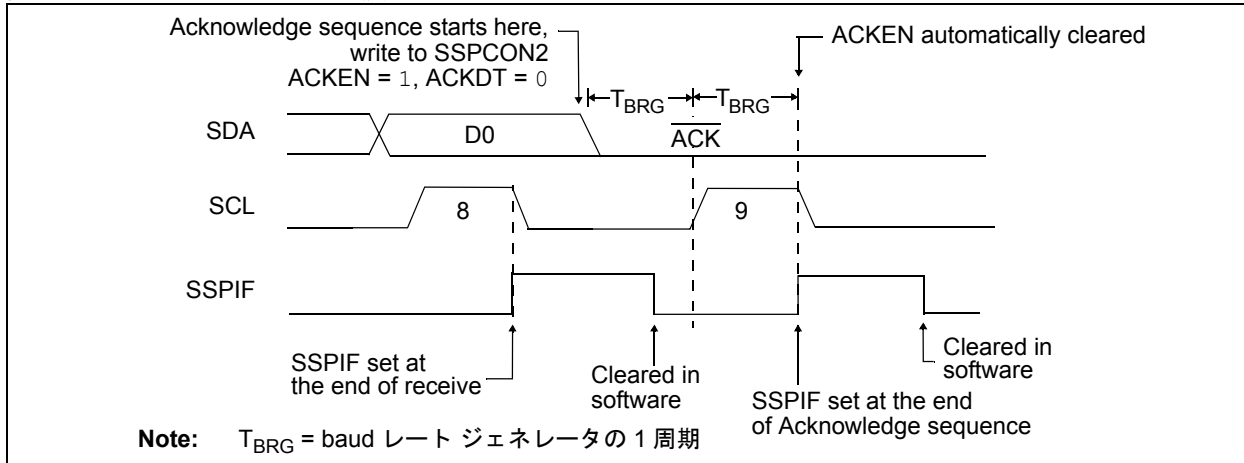
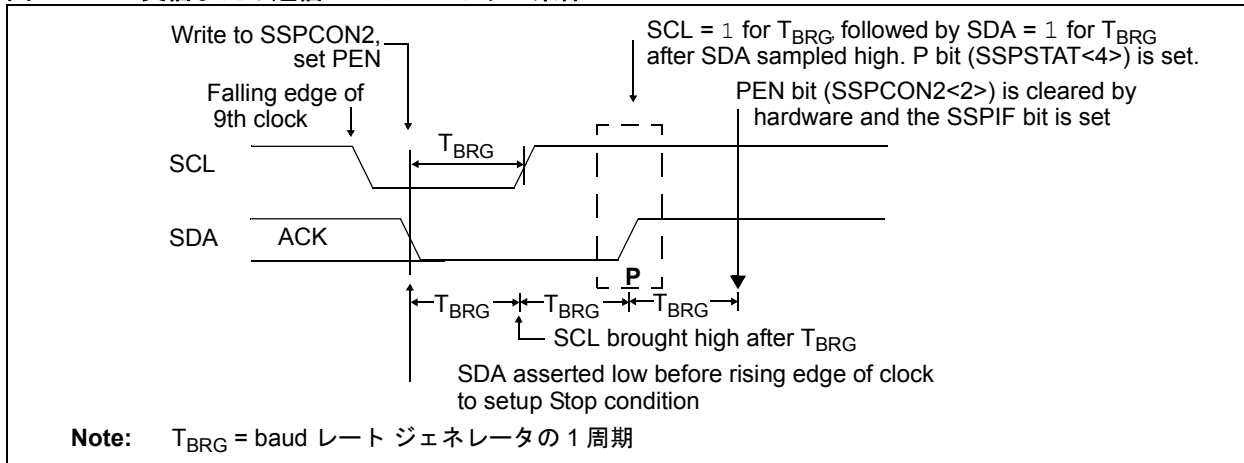


図 27-23: 受信または送信モードのストップ条件



27.5.10 スリープ動作

スリープ中も、I²C スレーブ モジュールはアドレスまたはデータを受信可能であり、アドレスが一致した場合またはバイト転送が完了した場合、プロセッサをスリープから復帰できます (MSSP 割り込み有効時)。

27.5.11 リセットの効果

リセットは MSSP モジュールを無効にし、現在の転送は中止されます。

27.5.12 マルチマスタ モード

マルチマスタ モードでは、スタート/ストップ条件の検出によって生成される割り込みを基に、バスが空いている期間を判断します。ストップ(P)ビットとスタート(S)ビットは、リセット時または MSSPx モジュールが無効にされた時にクリアされます。I²C バスの制御は、SSPSTAT レジスタの P ビットがセットされた時、または S ビットと P ビットの両方がクリアされておりバスがアイドル状態の時に取得できます。バスがビジーの場合、SSP 割り込みを有効にすると、ストップ条件が発生した時に割り込みが生成されます。

マルチマスタ動作では、バス アービトレーション動作を実行できるように SDA ラインを監視して、信号レベルが期待される出力レベルにあるかどうかを確認する必要があります。確認はハードウェアが実行し、その結果は BCLIF ビットに格納されます。

下記の状態ではバス アービトレーションに敗れる可能性があります。

- アドレス転送
- データ転送
- スタート条件
- 反復スタート条件
- ACK 条件

27.5.13 マルチマスタ通信、バスコリジョン、バス アービトレーション

マルチマスタ モードのサポートは、バス アービトレーションによって実現します。マスタがアドレス / データビットを SDA ピンに出力する際、マスタが SDA を High にフローティングして SDA に「1」を出力している間に別のマスタが「0」をアサートすると、アービトレーションが実行されます。SCL ピンが High にフローティングしている間、データは安定している必要があります。SDA ピンに現れるデータが「1」と予測される時に、SDA ピンで「0」がサンプルされると、バスコリジョンが発生した事になります。マスタはバスコリジョン割り込みフラグ BCLIF をセットし、I²C ポートをアイドル状態にリセットします (図 27-24)。

送信動作中にバスコリジョンが発生した場合、送信動作が停止され、BF フラグがクリアされ、SDA ラインと SCL ラインがネゲートされ、SSPBUF への書き込みが可能になります。ユーザがバスコリジョン割り込みサービスルーチンを使う場合、I²C バスが空いていれば、スタート条件をアサートする事で通信を再開できます。

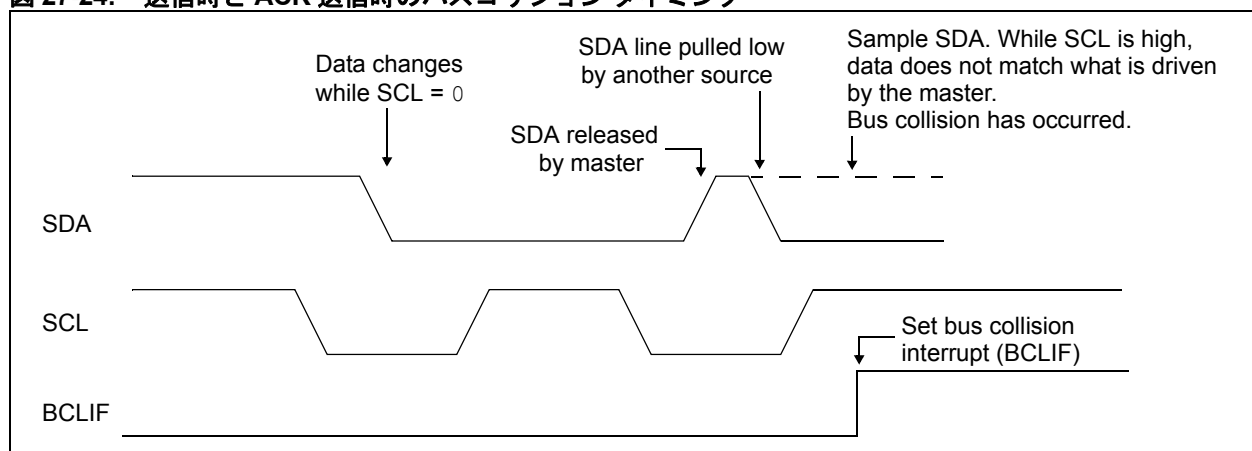
スタート、反復スタート、ストップ、ACK 条件中にバスコリジョンが発生した場合、これらの条件は中断され、SDA ラインと SCL ラインがネゲートされ、SSPCON2 レジスタの対応する制御ビットがクリアされます。ユーザがバスコリジョン割り込みサービスルーチンを使う場合、I²C バスが空いていれば、スタート条件をアサートする事で通信を再開できます。

マスタは SDA ピンと SCL ピンの監視を続けます。ストップ条件が発生すると、SSPIF ビットがセットされます。

SSPBUF に書き込むと、バスコリジョン発生時にトランスミッタがどこまで送信を完了していたかに関係なく、データの先頭ビットから送信が開始します。

マルチマスタ モードでは、スタート/ストップ条件の検出によって生成される割り込みを基に、バスが空いている期間を判断します。I²C バスの制御は、SSPSTAT レジスタの P ビットがセットされた時、または S ビットと P ビットの両方がクリアされておりバスがアイドル状態の時に取得できます。

図 27-24: 送信時と ACK 送信時のバスコリジョン タイミング



MCP19111

27.5.13.1 スタート条件中のバスコリジョン

スタート条件中は、以下の場合にバスコリジョンが発生します。

- スタート条件の開始時に SDA または SCL で Low がサンプルされた (図 27-25)。
- SDA が Low にアサートされる前に SCL で Low がサンプルされた (図 27-26)。

スタート条件中、SDA ピンと SCL ピンは両方共監視されています。

SDA ピンまたは SCL ピンが既に Low だった場合、以下の全てが実行されます。

- スタート条件を中止する。
- BCLIF フラグをセットする。
- MSSP モジュールをアイドル状態にリセットする (図 27-25)。

スタート条件は、SDA ピンと SCL ピンのネゲートから始まります。SDA ピンで High がサンプルされると、baud レート ジェネレータに値が読み込まれカウントダウンが始まります。SDA が High の時に SCL ピンが Low としてサンプルされた場合、スタート条件中に別のマスタがデータ「1」を駆動しようとしている事を意味するため、バスコリジョンが発生します。

上記の BRG カウント中に SDA ピンで Low がサンプルされると、BRG はリセットされ、SDA ラインは BRG のタイムアウトを待たずにアサートされます (図 27-27)。しかし、SDA ピンで「1」がサンプルされた場合、SDA ピンは BRG カウントの完了時に Low にアサートされます。次に baud レート ジェネレータが再読み込みされてゼロまでカウントダウンします。この間に SCL ピンで「0」がサンプルされると、バスコリジョンは発生しません。BRG のカウント終了時、SCL ピンが Low にアサートされます。

Note: スタート条件中にバスコリジョンが問題にならないのは、2つのバスマスタが全く同じタイミングでスタート条件をアサートする事があり得ないためです。従って、必ずどちらか一方のマスタが他方よりも先に SDA をアサートします。この条件では、バスコリジョンは発生しません。2つのマスタがスタート条件の後の最初のアドレスでアービトレーションを行えるようにする必要があります。アドレスが同じ場合は、さらにその後のデータ部分、反復スタート、ストップ条件でアービトレーションが必要です。

図 27-25: スタート条件中のバスコリジョン (SDA のみ)

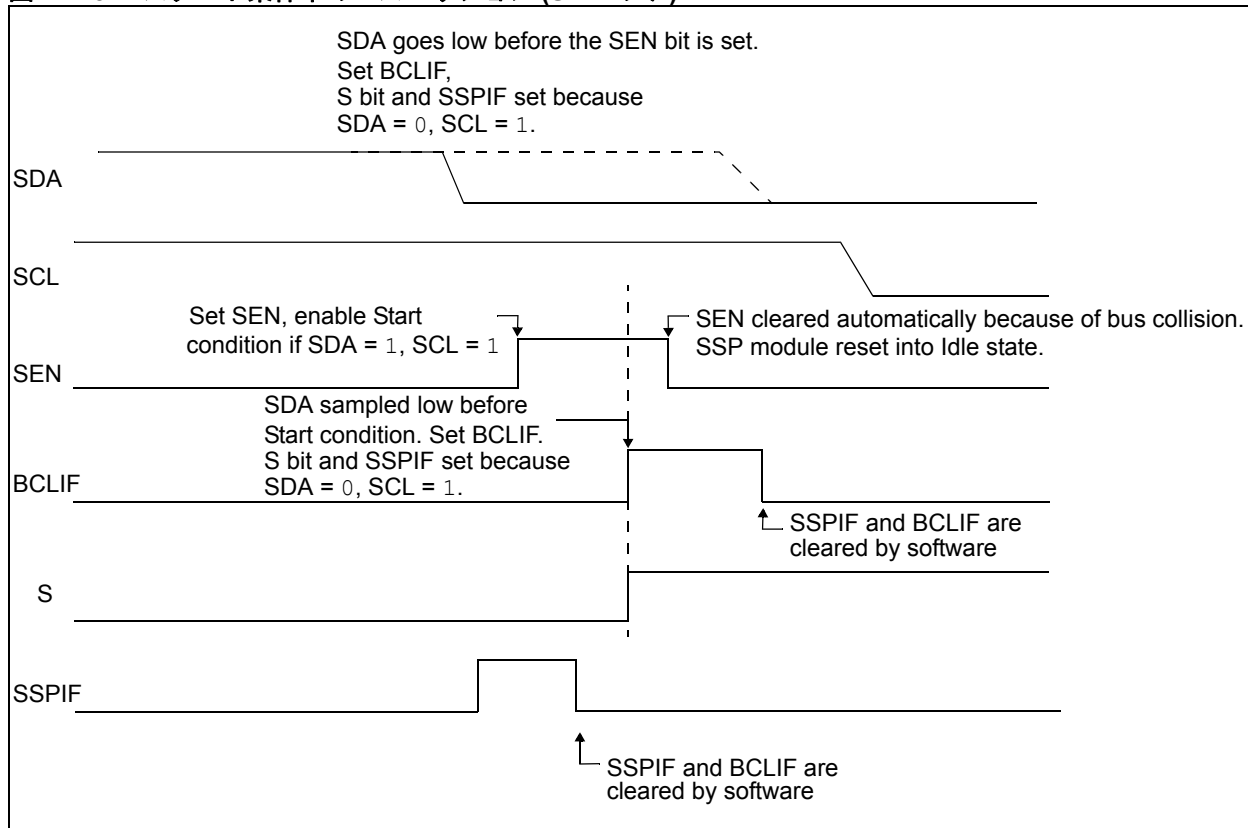


図 27-26: スタート条件中のバスコリジョン (SCL = 0)

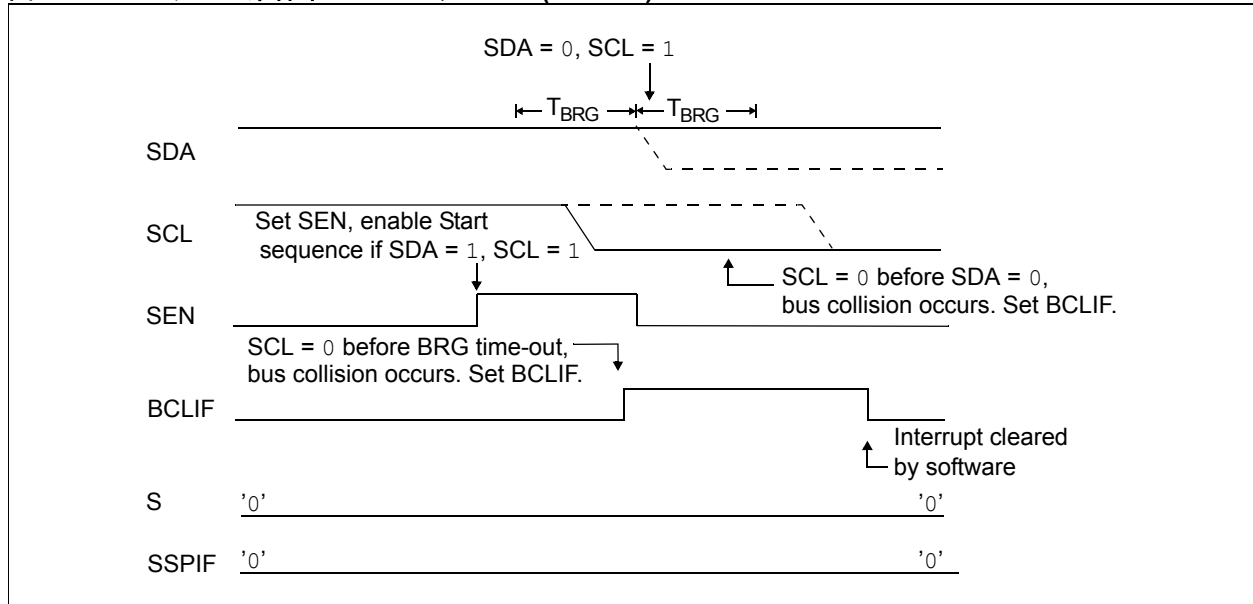
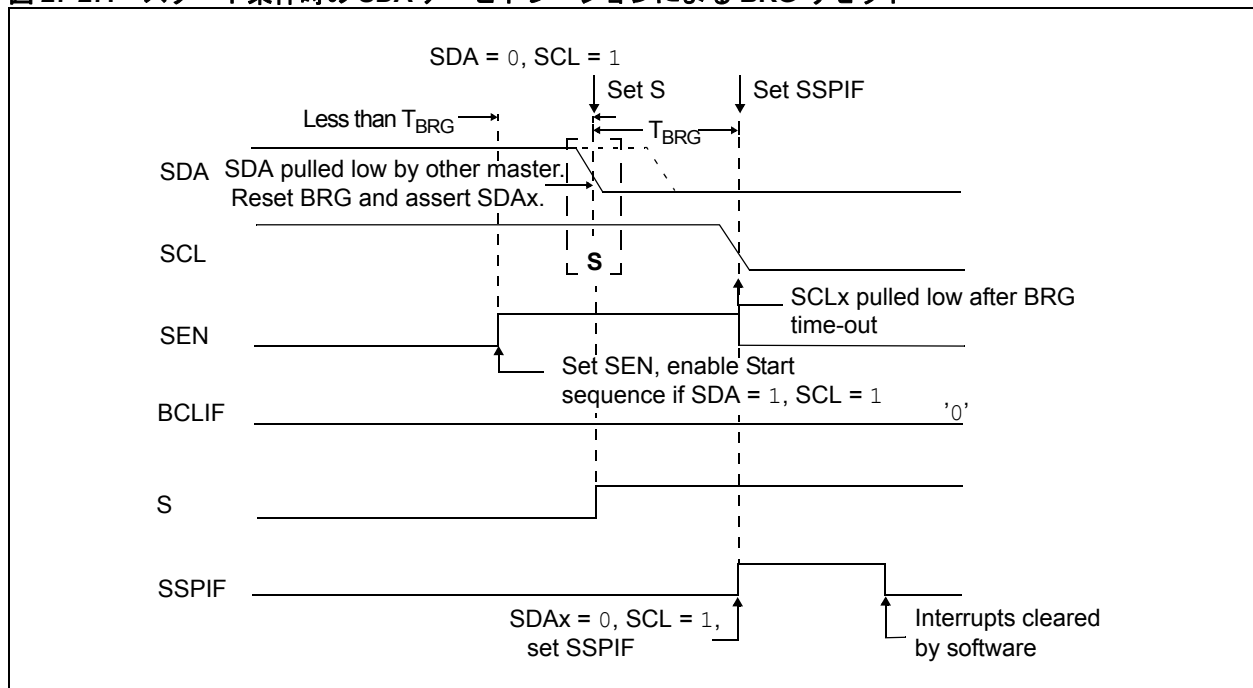


図 27-27: スタート条件時の SDA アービトレーションによる BRG リセット



MCP19111

27.5.13.2 反復スタート条件中のバスコリジョン

反復スタート条件中は、以下の場合にバスコリジョンが発生します。

- a) SCLがLowからHighに遷移する時にSDAでLowがサンプルされた。
- b) SDAでLowがアサートされる前にSCLがLowに遷移した(これは、他のマスタがデータ「1」を送信しようとしている事を示しています)。

ユーザがSDAピンを解放し、ピンがHighにフローティングできるようになると、BRGにSSPADDの内容が読み込まれてゼロまでカウントダウンします。続いてSCLピンがネゲートされ、Highがサンプルされると、SDAピンがサンプルされます。

SDAがLowの場合、バスコリジョンが発生しています(つまり、別のマスタがデータ「0」を送信しようとしている、[図 27-28](#))。SDAでHighがサンプルされた場合、BRGが再度読み込まれカウントを開始します。BRGがタイムアウトする前にSDAがHighからLowに遷移した場合、バスコリジョンは発生しません。2つのマスタが全く同じタイミングでSDAをアサートする事はあり得ないからです。

BRGがタイムアウトする前にSCLがHighからLowに遷移し、SDAがまだアサートされていない場合はバスコリジョンが発生します。この場合、反復スタート条件中に他のマスタがデータ「1」を送信しようとしています([図 27-29](#)参照)。

BRGタイムアウト時にSCLとSDAの両方がHighのままの場合、SDAピンがLowに駆動され、BRGの再読み込み後にカウントを開始します。カウントが終了すると、SCLピンはその状態に関係なくLowに駆動され、反復スタート条件が終了します。

図 27-28: 反復スタート条件中のバスコリジョン (ケース 1)

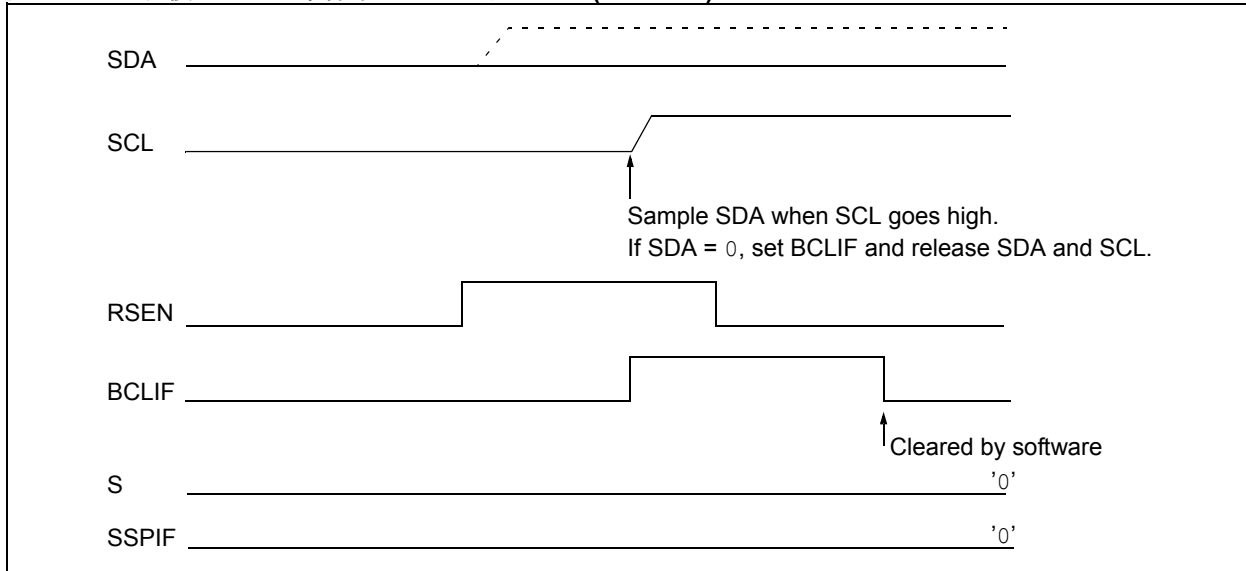
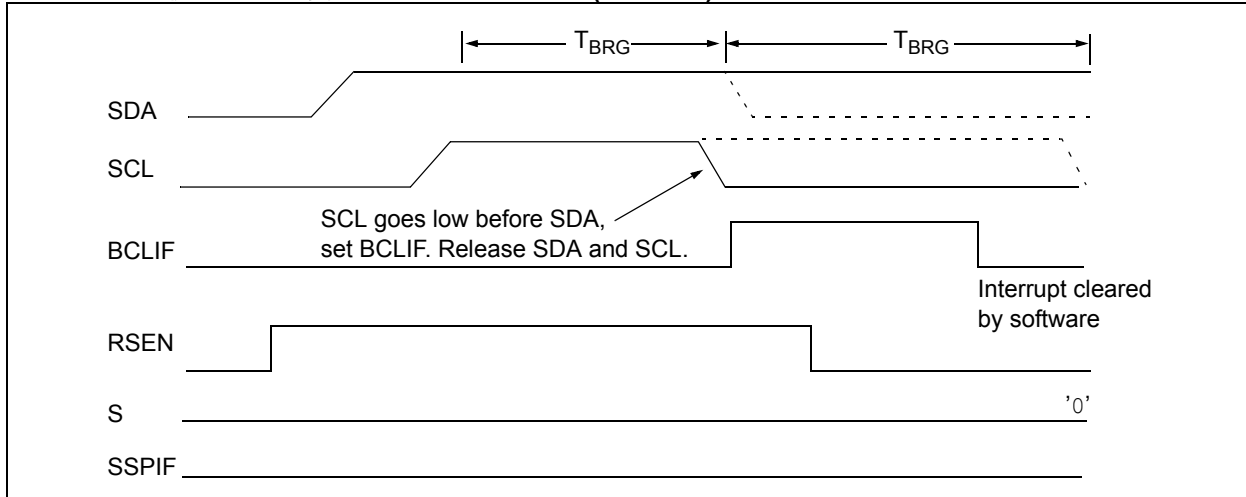


図 27-29: 反復スタート条件中のバスコリジョン (ケース 2)



27.5.13.3 ストップ条件中のバスコリジョン

ストップ条件中は、以下の場合にバスコリジョンが発生します。

- SDA ピンがネゲートされて High にフローティング可能になった後、BRG のタイムアウト後に SDA で Low がサンプルされた。
- SCL ピンがネゲートされた後、SDA が High に遷移する前に SCL で Low がサンプルされた。

ストップ条件は、SDA の Low アサートから開始します。SDA で Low がサンプルされると、SCL ピンをフローティング状態にできます。SCL ピンで High がサン

ルされると (クロック アービトレーション)、baud レート ジェネレータに SSPADD の値が読み込まれ 0 へのカウントダウンが始まります。BRG のタイムアウト後、SDA がサンプルされます。SDA で Low がサンプルされた場合、バスコリジョンが発生しています。これは、他のマスタがデータ「0」を駆動しようとしているためです (図 27-30)。SDA が High にフローティングできるようになる前に SCL ピンで Low がサンプルされると、バスコリジョンが発生します。これは、他のマスタがデータ「0」を駆動しようとしている、もう 1 つのケースです (図 27-31)。

図 27-30: ストップ条件中のバスコリジョン (ケース 1)

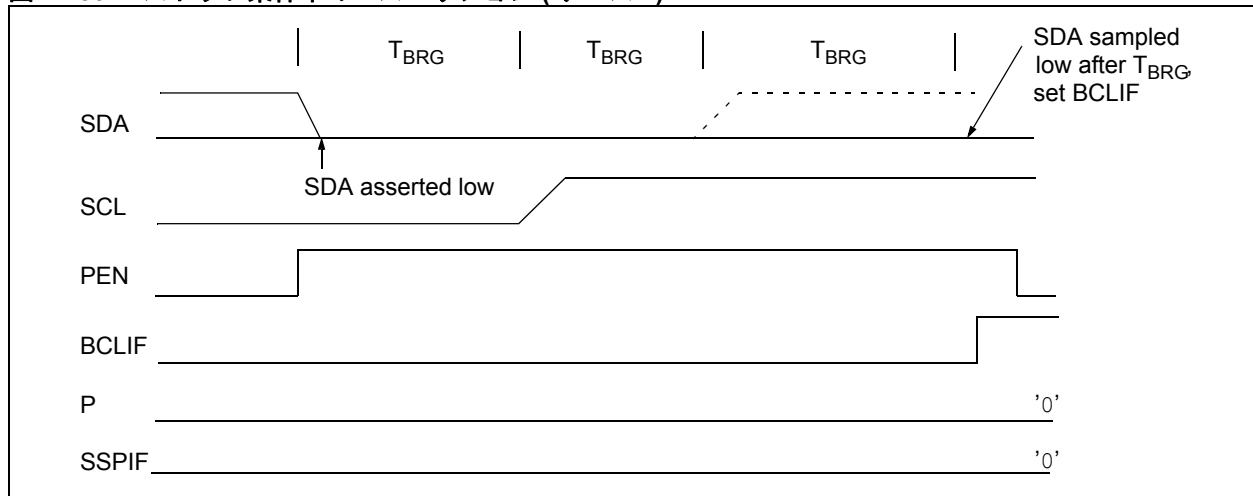
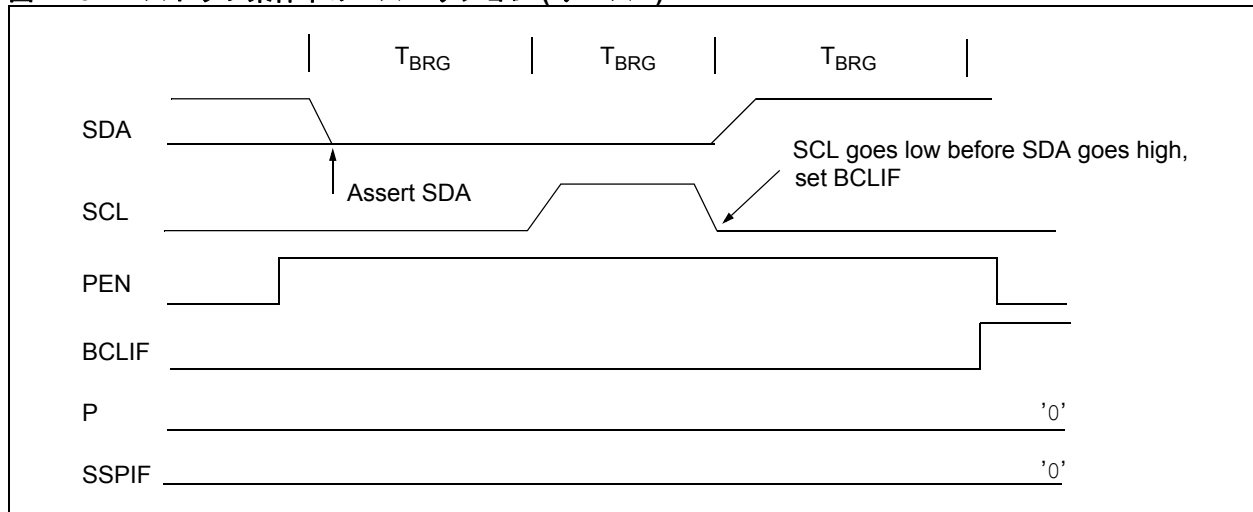


図 27-31: ストップ条件中のバスコリジョン (ケース 2)



MCP19111

表 27-1: I²C 動作に関連するレジスタのまとめ

レジスタ名	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	リセット値の記載ページ
INTCON	GIE	PEIE	T0IE	INTE	IOCE	T0IF	INTF	IOCF	93
PIE1	-	ADIE	BCLIE	SSPIE	-	-	TMR2IE	TMR1IE	94
PIR1	-	ADIF	BCLIF	SSPIF	-	-	TMR2IF	TMR1IF	96
TRISGPA	TRISA7	TRISA6	TRISA5	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	112
TRISGPB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	115
SSPADD	ADD7	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0	186
SSPBUF	同期シリアルポート受信 / 送信バッファレジスタ								146*
SSPCON1	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	183
SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	184
SSPCON3	ACKTIM	PCIE	SCIE	BOEN	SDAHT	SBCDE	AHEN	DHEN	185
SSPMSK	MSK7	MSK6	MSK5	MSK4	MSK3	MSK2	MSK1	MSK0	186
SSPSTAT	SMP	CKE	D/A	P	S	R/W	UA	BF	182
SSPMSK2	MSK27	MSK26	MSK25	MSK24	MSK23	MSK22	MSK21	MSK20	187
SSPADD2	ADD27	ADD26	ADD25	ADD24	ADD23	ADD22	ADD21	ADD20	187

凡例: - = 未実装ビット、「0」として読み出し。網掛けの部分は I²C モードの MSSP モジュールでは使いません。

* このページにレジスタ情報を記載しています。

27.6 baud レート ジェネレータ

MSSP モジュールには、I²C マスタモードでクロックの生成に使用する baud レート ジェネレータがあります。baud レート ジェネレータ (BRG) の再読み込み値は、SSPADD レジスタの値です (レジスタ 27-7 参照)。SSPBUF への書き込みを実行すると、baud レート ジェネレータが自動的にカウントダウンを開始します。

動作が完了すると内部クロックは自動的にカウントを停止し、クロックピンはそのままの状態を保持します。

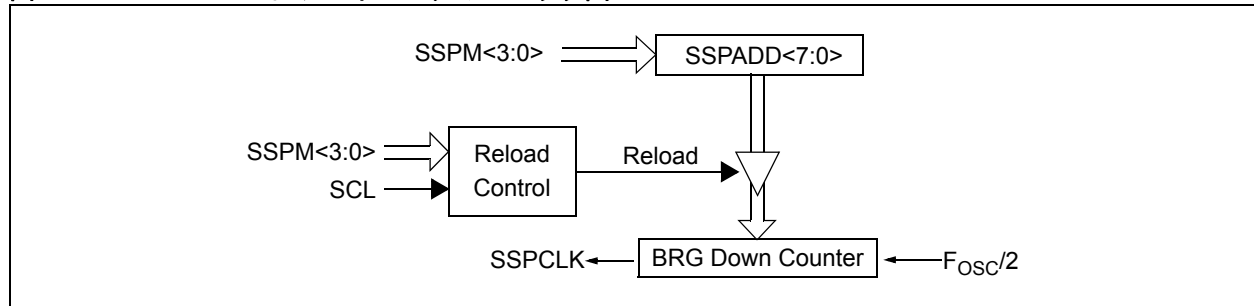
内部信号「Reload (図 27-32 参照)」によって、SSPADD の値が BRG カウンタに読み込まれます。この動作はモジュールのクロックラインが振幅するごとに発生し、計 2 回実行されます。再読み込み信号がアサートされるタイミングは、MSSP の動作モードで決まります。

表 27-2 に、命令サイクルと SSPADD に読み込まれる BRG の値に基づくクロック速度を示します。

式 27-1:

$$F_{CLOCK} = \frac{F_{OSC}}{(SSPADD + 1)(4)}$$

図 27-32: baud レート ジェネレータのブロック図



Note: I²C モードの baud レート ジェネレータとして使う場合、0x00、0x01、0x02 は SSPADD の値として無効です。これは、実装上の制限です。

表 27-2: MSSP クロックレートと BRG の値

F _{OSC}	F _{CY}	BRG の値	F _{CLOCK} (BRG ロールオーバー 2 回)
8 MHz	2 MHz	04h	400 kHz ⁽¹⁾
8 MHz	2 MHz	0Bh	166 kHz
8 MHz	2 MHz	13h	100 kHz

Note 1: この I²C インターフェイスは、400 kHz I²C 仕様 (100 kHz よりも高いレートに適用される仕様) に厳密には準拠していません。ただし、アプリケーションがより高速のクロックを必要としている場合、十分な注意を払う事で使える可能性があります。

MCP19111

レジスタ 27-2: SSPSTAT: SSP ステータス レジスタ

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/A	P	S	R/W	UA	BF
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **SMP:** データ入力サンプルビット
1 = スルーレート制御の標準速度モード (100 kHz と 1 MHz) を無効にする
0 = スルーレート制御の高速モード (400 kHz) を有効にする
- bit 6 **CKE:** クロックエッジ選択ビット
1 = SMBus 仕様に準拠したしきい値の入力ロジックを有効にする
0 = SMBus 仕様の入力を無効にする
- bit 5 **D/A:** データ / アドレスビット
1 = 最後に送受信したバイトがデータであることを示す
0 = 最後に送受信したバイトがアドレスであることを示す
- bit 4 **P:** ストップビット
(SSPEN がクリアされ MSSP モジュールが無効になると、このビットはクリアされます。)
1 = 最後にストップビットが検出された (このビットは、リセット時に「0」となる)
0 = 最後にストップビットは検出されていない
- bit 3 **S:** スタートビット
(SSPEN がクリアされ MSSP モジュールが無効になると、このビットはクリアされます。)
1 = 最後にスタートビットが検出された (このビットは、リセット時に「0」となる)
0 = 最後にスタートビットは検出されていない
- bit 2 **R/W:** 読み出し / 書き込み情報ビット
このビットは、最後のアドレス一致後の R/W ビット情報を保持します。このビットの有効期間は、アドレス一致後から次のスタートビット、ストップビット、NOT ACK ビットのいずれかを受信するまでです。
I²C スレーブモード時:
1 = 読み出し
0 = 書き込み
I²C マスタモード時:
1 = 送信動作中である
0 = 送信動作中ではない
このビットと SEN、RSEN、PEN、RCEN、ACKEN のいずれかを OR 演算すると、MSSP がアイドルであるかどうか分かります。
- bit 1 **UA:** アドレス更新ビット (10 ビット I²C モードのみ)
1 = ユーザが SSPADD レジスタ内のアドレスを更新する必要があることを示す
0 = アドレスの更新は不要である
- bit 0 **BF:** バッファフル ステータスビット
受信時:
1 = 受信が完了し、SSPBUF はフルである
0 = 受信は未完了で、SSPBUF は空である
送信時:
1 = データ送信中 (ACK およびストップビットを含まない) で、SSPBUF はフルである
0 = データ送信が完了 (ACK およびストップビットを含まない) し、SSPBUF は空である

レジスタ 27-3: SSPCON1: SSP 制御レジスタ 1

R/C/HS-0	R/C/HS-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WCOL	SSPOV	SSPEN	CKP	SSPM<3:0>			
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **WCOL:** 書き込みコリジョン検出ビット
マスタモード時:
 1 = I²C の送信開始条件が無効である時に SSPBUF レジスタへの書き込みが試行された
 0 = コリジョンは発生していない
スレーブモード時:
 1 = 前のワードの送信中に SSPBUF レジスタへの書き込みが実行された (ソフトウェアでクリアする必要がある)
 0 = コリジョンは発生していない
- bit 6 **SSPOV:** 受信オーバーフローインジケータビット⁽¹⁾
 1 = SSPBUF レジスタが前のバイトを保持中に次のバイトを受信した。送信モードの場合、SSPOV ビットは「ドントケア」(ソフトウェアでクリアする必要がある)
 0 = オーバーフローは発生していない
- bit 5 **SSPEN:** 同期シリアルポートイネーブルビット
 両モード共、これらのピンが有効の場合、入力または出力として適切に設定する必要があります。
 1 = シリアルポートを有効化し、SDA ピンと SCL ピンをシリアルポートピンのソースとして設定する⁽²⁾
 0 = シリアルポートを無効化し、これらのピンを I/O ポートピンとして設定する
- bit 4 **CKP:** クロック極性選択ビット
I²C スレーブモード時:
 SCL 解放制御
 1 = クロックを有効にする
 0 = クロックを Low に保持する (クロックストレッチ)。(データのセットアップ時間確保のために使われる)
I²C マスタモード時:
 このモードでは使わない
- bit 3-0 **SSPM<3:0>:** 同期シリアルポートモード選択ビット
 0000 = 予約済み
 0001 = 予約済み
 0010 = 予約済み
 0011 = 予約済み
 0100 = 予約済み
 0101 = 予約済み
 0110 = I²C スレーブモード、7 ビットアドレス
 0111 = I²C スレーブモード、10 ビットアドレス
 1000 = I²C マスタモード、クロック = F_{Osc}/(4 x (SSPADD+1))⁽³⁾
 1001 = 予約済み
 1010 = 予約済み
 1011 = I²C ファームウェア制御マスタモード (スレーブアイドル)
 1100 = 予約済み
 1101 = 予約済み
 1110 = I²C スレーブモード、7 ビットアドレス、スタートビットとストップビットの割り込みを有効にする
 1111 = I²C スレーブモード、10 ビットアドレス、スタートビットとストップビットの割り込みを有効にする

Note 1: マスタモードの場合、新たな送受信は SSPBUF レジスタへの書き込みによって開始するため、オーバーフロービットはセットされません。

2: 有効にする場合、SDA ピンと SCL ピンを入力として設定する必要があります。

3: I²C モードでは、SSPADD の値として 0、1、2 はサポートされていません。

MCP19111

レジスタ 27-4: SSPCON2: SSP 制御レジスタ 2

R/W-0/0	R-0/0	R/W-0/0	R/S/HS-0/0	R/S/HS-0/0	R/S/HS-0/0	R/S/HS-0/0	R/W/HS-0/0
GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **GCEN:** ジェネラルコール イネーブルビット (I²C スレーブモードのみ)
1 = SSPSR でジェネラルコール アドレス (0x00 または 00h) を受信した時の割り込みを有効にする
0 = ジェネラルコール アドレスを無効にする
- bit 6 **ACKSTAT:** 肯定応答 (ACK) ステータスビット
1 = 肯定応答信号を受信していない
0 = 肯定応答信号を受信した
- bit 5 **ACKDT:** 肯定応答 (ACK) データビット
受信モード時:
受信の最後にユーザが肯定応答 (ACK) シーケンスを開始する時に送信される値です。
1 = NOT ACK
0 = ACK
- bit 4 **ACKEN:** 肯定応答 (ACK) シーケンス イネーブルビット (I²C マスタモードのみ)
マスタ受信モード時:
1 = SDA ピンと SCL ピンで肯定応答 (ACK) シーケンスを開始し、ACKDT データビットを送信する。
ハードウェアによって自動的にクリアされる
0 = ACK シーケンスをアイドルにする
- bit 3 **RCEN:** 受信イネーブルビット (I²C マスタモードのみ)
1 = I²C の受信モードを有効にする
0 = 受信をアイドルにする
- bit 2 **PEN:** ストップ条件イネーブルビット (I²C マスタモードのみ)
SCK 解放制御:
1 = SDA ピンと SCL ピンでストップ条件を開始する。ハードウェアによって自動的にクリアされる
0 = ストップ条件をアイドル状態にする
- bit 1 **RSEN:** 反復スタート条件イネーブルビット (I²C マスタモードのみ)
1 = SDA ピンと SCL ピンで反復スタート条件を開始する。ハードウェアによって自動的にクリアされる
0 = 反復スタート条件をアイドル状態にする
- bit 0 **SEN:** スタート条件イネーブルビット (I²C マスタモードのみ)
マスタモード時:
1 = SDA ピンと SCL ピンでスタート条件を開始する。ハードウェアによって自動的にクリアされる
0 = スタート条件をアイドル状態にする
スレーブモード時:
1 = スレーブ送信とスレーブ受信の両方でクロック ストレッチを有効にする (ストレッチ イネーブル)
0 = クロック ストレッチを無効にする

Note 1: ACKEN、RCEN、PEN、RSEN、SEN ビットについて: I²C モジュールがアイドル状態でない場合、このビットはセットされず (スプール処理なし)、SSPBUF には書き込まれません (SSPBUF への書き込みは無効です)。

レジスタ 27-5: SSPCON3: SSP 制御レジスタ 3

R-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0	R/W-0/0
ACKTIM	PCIE	SCIE	BOEN	SDAHT	SBCDE	AHEN	DHEN
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 7 **ACKTIM:** 肯定応答 (ACK) タイム ステータスビット ⁽²⁾
 1 = I²C バスは肯定応答 (ACK) シーケンスを実行中であることを示す。SCL クロックの 8 番目の立ち下がりエッジでセットされる
 0 = 肯定応答 (ACK) シーケンスではない。SCL クロックの 9 番目の立ち上がりエッジでクリアされる
- bit 6 **PCIE:** ストップ条件割り込みイネーブルビット
 1 = ストップ条件検出時の割り込みを有効にする
 0 = ストップ条件検出時の割り込みを無効にする ⁽¹⁾
- bit 5 **SCIE:** スタート条件割り込みイネーブルビット
 1 = スタート / 反復スタート条件検出時の割り込みを有効にする
 0 = スタート / 反復スタート条件検出時の割り込みを無効にする ⁽¹⁾
- bit 4 **BOEN:** バッファ上書きイネーブルビット
I²C マスタモード時:
 このビットを無視
I²C スレーブモード時:
 1 = SSPBUF は更新され、受信したアドレス / データバイトに対して $\overline{\text{ACK}}$ 信号が生成される。BF ビットが 0 の場合のみ、SSPOV ビットの状態は無視される
 0 = SSPOV がクリアされている時のみ SSPBUF が更新される
- bit 3 **SDAHT:** SDA ホールド時間選択ビット
 1 = SDA のホールド時間は SCL の立ち下がりエッジから最小 300 ns
 0 = SDA のホールド時間は SCL の立ち下がりエッジから最小 100 ns
- bit 2 **SBCDE:** スレーブモードのバスコリジョン検出イネーブルビット (I²C スレーブモードのみ)
 SCL の立ち上がりエッジで、モジュール出力が High の場合に SDA が Low としてサンプルされると、PIR2 レジスタの BCLIF ビットがセットされてバスはアイドル状態になります。
 1 = スレーブバスコリジョン割り込みを有効にする
 0 = スレーブバスコリジョン割り込みを無効にする
- bit 1 **AHEN:** アドレスホールドイネーブルビット (I²C スレーブモードのみ)
 1 = 一致受信アドレスバイトの SCL の 8 番目の立ち下がりエッジ後、SSPCON1 レジスタの CKP ビットがクリアされ、SCL は Low に保持される
 0 = アドレスホールド機能を無効にする
- bit 0 **DHEN:** データホールドイネーブルビット (I²C スレーブモードのみ)
 1 = 受信データバイトの SCL の 8 番目の立ち下がりエッジ後、スレーブハードウェアによって SSPCON1 レジスタの CKP ビットがクリアされ、SCL が Low に保持される
 0 = データホールド機能を無効にする

- Note 1:** このビットは、スタート / ストップ条件検出を明示的に有効にしているスレーブモードには影響しません。
2: ACKTIM ステータスビットがアクティブになるのは、AHEN ビットまたは DHEN ビットがセットされている場合のみです。

MCP19111

レジスタ 27-6: SSPMSK: SSP マスクレジスタ 1

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
MSK<7:0>							
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-1 MSK<7:1>: マスクビット

1 = 受信アドレスの bit n を SSPADD<n> と比較して I²C アドレス一致を検出する
0 = 受信アドレスの bit n を I²C アドレス一致の検出に使用しない

bit 0 MSK<0>: I²C スレーブモード、10 ビットアドレス時のマスクビット

I²C スレーブモード、10 ビットアドレス (SSPM<3:0> = 0111 または 1111) の場合:
1 = 受信アドレスの bit 0 を SSPADD<0> と比較して I²C アドレス一致を検出する
0 = 受信アドレスの bit 0 を I²C アドレス一致の検出に使用しない
I²C スレーブモード、7 ビットアドレスでは、このビットは無視されます。

レジスタ 27-7: SSPADD: MSSP アドレス /baud レートレジスタ 1

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADD<7:0>							
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

マスタモードの場合:

bit 7-0 ADD<7:0>: baud レートクロック分周ビット
SCL ピンクロック周期 = ((ADD<7:0> + 1) × 4) / F_{OSC}

10 ビットスレーブモードの上位アドレスバイトの場合:

bit 7-3 **未使用**: 上位アドレスバイトでは使わない。このレジスタのビット状態は「ドントケア」である。マスタから送信されるビットパターンは I²C 仕様で固定されており、「11110」と等しい必要がある。しかし、これらのビットはハードウェアによって比較され、このレジスタの値には影響されない

bit 2-1 ADD<2:1>: 10 ビットアドレスの上位 2 ビット

bit 0 **未使用**: このモードでは使わない。ビット状態は「ドントケア」である

10 ビットスレーブモードの下位アドレスバイトの場合:

bit 7-0 ADD<7:0>: 10 ビットアドレスの下位 8 ビット

7 ビットスレーブモードの場合:

bit 7-1 ADD<7:1>: 7 ビットのアドレス

bit 0 **未使用**: このモードでは使わない。ビット状態は「ドントケア」である

レジスタ 27-8: SSPMSK2: SSP マスクレジスタ 2

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
MSK2<7:0>							
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 7-1 **MSK2<7:1>**: マスクビット

1 = 受信アドレスの bit n を SSPADD2<n> と比較して I²C アドレス一致を検出する
 0 = 受信アドレスの bit n を I²C アドレス一致の検出に使用しない

bit 0 **MSK2<0>**: I²C スレーブモード、10 ビットアドレス時のマスクビット

I²C スレーブモード、10 ビットアドレス (SSPM<3:0> = 0111 または 1111) の場合:
 1 = 受信アドレスの bit 0 を SSPADD2<0> と比較して I²C アドレス一致を検出する
 0 = 受信アドレスの bit 0 を I²C アドレス一致の検出に使用しない
 I²C スレーブモード、7 ビットアドレスでは、このビットは無視されます。

レジスタ 27-9: SSPADD2: MSSP アドレス /baud レートレジスタ 2

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADD2<7:0>							
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

マスタモード時:

bit 7-0 **ADD2<7:0>**: baud レートクロック分周ビット
 $SCL \text{ ピンクロック周期} = ((ADD2<7:0> + 1) * 4) / F_{osc}$

10 ビットスレーブモードの上位アドレスバイトの場合:

bit 7-3 **未使用**: 上位アドレスバイトでは使わない。このレジスタのビット状態は「ドントケア」である。マスタから送信されるビットパターンは I²C 仕様で固定されており、「11110」と等しい必要がある。しかし、これらのビットはハードウェアによって比較され、このレジスタの値には影響されない

bit 2-1 **ADD2<2:1>**: 10 ビットアドレスの上位 2 ビット

bit 0 **ADD2<0>**: SSPADD2 イネーブルビット
 1 = SSPADD2 とのアドレス一致を有効にする
 0 = SSPADD2 とのアドレス一致を無効にする

10 ビットスレーブモードの下位アドレスバイトの場合:

bit 7-0 **ADD2<7:0>**: 10 ビットアドレスの下位 8 ビット

7 ビットスレーブモードの場合:

bit 7-1 **ADD2<7:1>**: 7 ビットのアドレス

bit 0 **ADD2<0>**: SSPADD2 イネーブルビット
 1 = SSPADD2 とのアドレス一致を有効にする
 0 = SSPADD2 とのアドレス一致を無効にする

MCP19111

NOTE:

28.0 インサーキット シリアル プログラミング™ (ICSP™)

ICSP プログラミングを使うと、未プログラムのデバイスを使って回路基板を生産できます。組み立てプロセス後にプログラミングするため、最新ファームウェアまたはカスタム ファームウェアを使ってデバイスをプログラムできます。ICSP プログラミングには、以下の5本のピンが必要です。

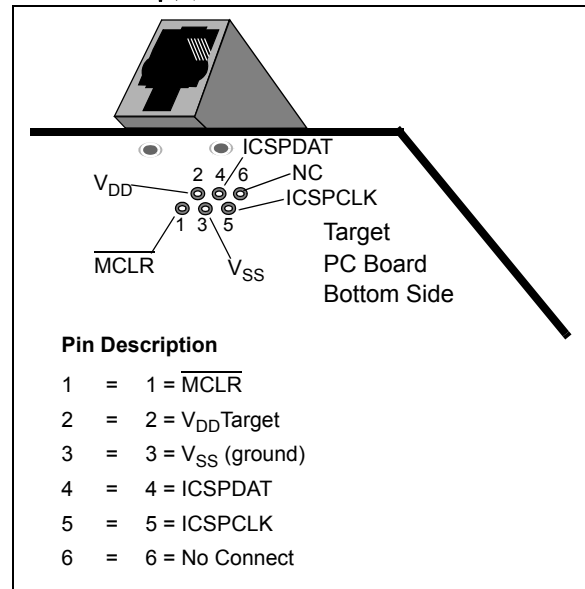
- ICSPCLK
- ICSPDAT
- $\overline{\text{MCLR}}$
- V_{DD}
- V_{SS}

プログラム/ベリファイモードを使って、プログラムメモリ、ユーザ ID、コンフィグレーションワードをシリアル通信でプログラムします。ICSPDAT ピンはシリアルデータ転送用の双方向 I/O であり、ICSPCLK ピンはクロック入力です。デバイスをプログラム/ベリファイモードにするには、ICSPDAT ピンと ICSPCLK ピンを Low にしたまま、 $\overline{\text{MCLR}}$ ピンを V_{IH} に上げます。

28.1 一般的なプログラミング インターフェイス

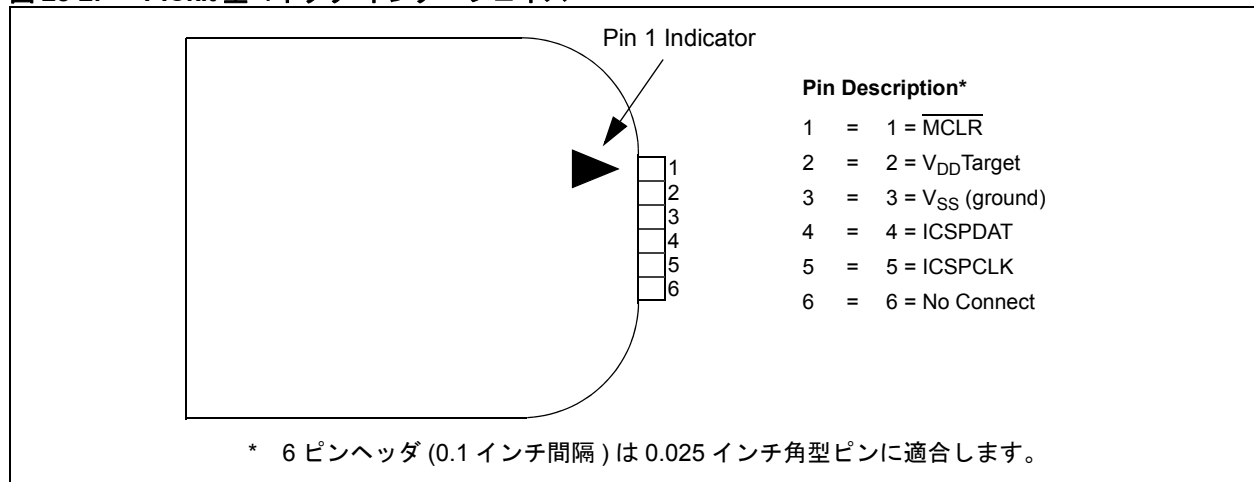
ターゲット デバイスへの接続は、通常は ICSP ヘッドを介して行います。開発ツールによく使用されるコネクタは、6P6C(6 ピン、6 コネクタ) 構成の RJ-11 です。[図 28-1](#) を参照してください。

図 28-1: ICD RJ-11 型コネクタ インターフェイス



もう 1 つの代表的なコネクタとして、PICKit™ プログラマで使う 0.1 インチ間隔の標準 6 ピンヘッダがあります。[図 28-2](#) を参照してください。

図 28-2: PICKit 型コネクタ インターフェイス

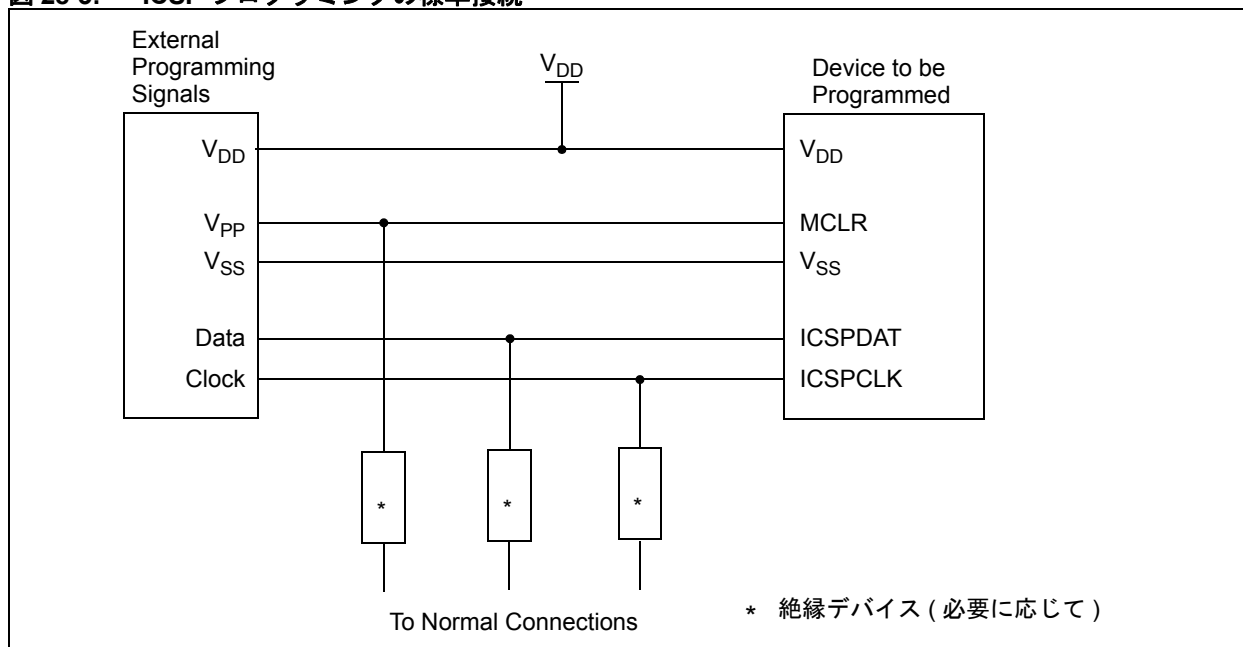


MCP19111

インターフェイスに関するその他の推奨事項は、プリント基板の設計前に、使用するデバイスプログラマのマニュアルを参照してください。

絶縁デバイスを使って、プログラミングピンと他の回路を絶縁する事を推奨します。絶縁方法はアプリケーションによって異なり、抵抗、ダイオード等のデバイスや、ジャンパを使う事もあります。詳細は、[図 28-3](#)を参照してください。

図 28-3: ICSP プログラミングの標準接続



29.0 命令セットの概要

MCP19111の命令セットはきわめて直交性が高く、以下の3つのカテゴリから構成されます。

- バイト指向命令
- ビット指向命令
- リテラルおよび制御命令

各命令は 14 ビットワードで表され、命令の種類を指定する1つのオペコードと、命令の動作をより詳細に指定する1つまたは複数のオペランドから成ります。図 29-1 に各カテゴリの命令の形式を示し、表 29-1 に各種オペコードのフィールドをまとめます。

表 29-2 に、MPASM™ アセンブラが認識する命令の一覧を示します。

バイト指向命令の場合、「f」はファイルレジスタの指定文字、「d」は結果格納先の指定文字を表します。ファイルレジスタの指定文字は、命令で使うファイルレジスタを指定します。

結果格納先の指定文字は、演算の結果を書き込む場所を指定します。「d」が 0 の場合、結果は W レジスタに書き込まれます。「d」が 1 の場合、結果は命令で指定したファイルレジスタに書き込まれます。

ビット指向命令の「b」はビットフィールドの指定文字であり、その演算によって影響を受けるビットを指定します。「f」は、そのビットが含まれるファイルのアドレスを表します。

リテラルおよび制御命令の「k」は 8 ビットまたは 11 ビットの定数つまりリテラル値を表します。

1 命令サイクルはオシレータの 4 周期分です。例えば、オシレータ周波数が 4 MHz の場合、公称命令実行時間は 1 μs です。全命令は 1 命令サイクルで実行されます。例外は、条件テストが真の場合、または命令の実行結果によりプログラムカウンタが変わる場合です。この場合、実行には 2 命令サイクルを要し、2 サイクル目は NOP として実行されます。

命令の例では、「0xhh」の形式で 16 進数を表しています。「h」は 16 進数の 1 桁を表します。

29.1 Read-Modify-Write 動作

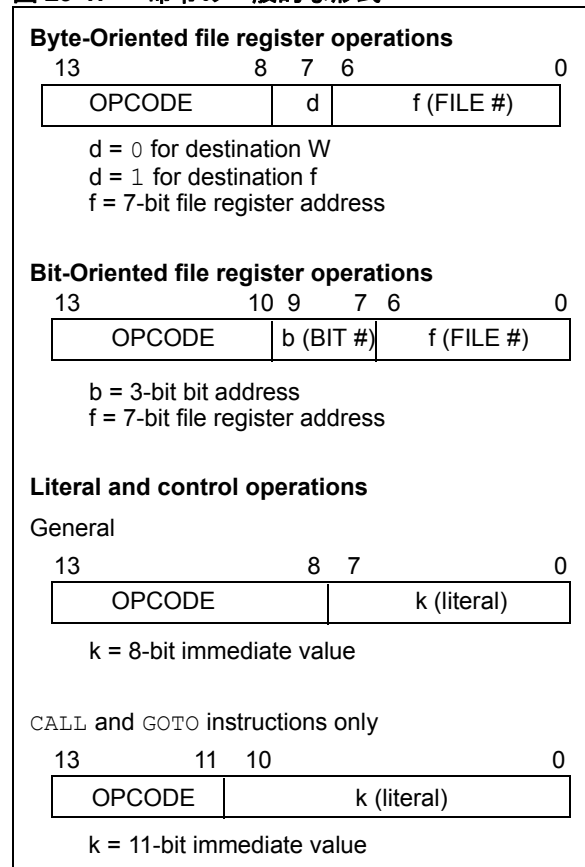
命令の一部としてファイルレジスタを指定する命令は、全て Read-Modify-Write (RMW) 動作を実行します。レジスタを読み出し、データを変更し、そして命令または格納先指定文字「d」のいずれかに従って結果を書き込みます。書き込み先がそのレジスタであっても読み出し動作を実行します。

例えば、CLRF PORTA 命令は、PORTGPA を読み出し、データビットを全てクリアし、その結果を PORTGPA に書き戻します。この例を実行すると、IOCF フラグをセットする条件が発生してもクリアされてしまいます。

表 29-1: オペコード フィールドの説明

フィールド	説明
f	レジスタファイル アドレス (0x00 ~ 0x7F)
W	ワーキング レジスタ (アキュムレータ)
b	8 ビット ファイルレジスタのビットアドレス
k	リテラル フィールド、定数データ、ラベル
x	ドントケア ロケーション (= 0 または 1)、アセンブラは x = 0 でコードを生成 (マイクロチップ社の全ソフトウェア ツールとの互換性を確保するためにこの形式を推奨します。)
d	格納先を選択する。d = 0: 結果を W に格納する。 d = 1: 結果をファイルレジスタ f に格納する。 既定値は d = 1
PC	プログラム カウンタ
\overline{TO}	タイムアウト ビット
C	Carry ビット
DC	ディジット carry ビット
Z	ゼロビット
\overline{PD}	パワーダウン ビット

図 29-1: 命令の一般的な形式



MCP19111

表 29-2: MCP19111 の命令セット

ニーモニック、 オペランド	説明	サイク ル数	14 ビットオペコード		影響を 受ける ステータス	Note	
			MSb	LSb			
バイト指向ファイルレジスタ命令							
ADDWF	f, d	Add W and f	1	00	0111 dfff ffff	C, DC, Z	1, 2
ANDWF	f, d	AND W with f	1	00	0101 dfff ffff	Z	1, 2
CLRF	f	Clear f	1	00	0001 1fff ffff	Z	2
CLRWF	-	Clear W	1	00	0001 0xxx xxxx	Z	
COMF	f, d	Complement f	1	00	1001 dfff ffff	Z	1, 2
DECF	f, d	Decrement f	1	00	0011 dfff ffff	Z	1, 2
DECFSZ	f, d	Decrement f, Skip if 0	1(2)	00	1011 dfff ffff		1, 2, 3
INCF	f, d	Increment f	1	00	1010 dfff ffff	Z	1, 2
INCFSZ	f, d	Increment f, Skip if 0	1(2)	00	1111 dfff ffff		1, 2, 3
IORWF	f, d	Inclusive OR W with f	1	00	0100 dfff ffff	Z	1, 2
MOVF	f, d	Move f	1	00	1000 dfff ffff	Z	1, 2
MOVWF	f	Move W to f	1	00	0000 1fff ffff		
NOP	-	No Operation	1	00	0000 0xx0 0000		
RLF	f, d	Rotate Left f through Carry	1	00	1101 dfff ffff	C	1, 2
RRF	f, d	Rotate Right f through Carry	1	00	1100 dfff ffff	C	1, 2
SUBWF	f, d	Subtract W from f	1	00	0010 dfff ffff	C, DC, Z	1, 2
SWAPF	f, d	Swap nibbles in f	1	00	1110 dfff ffff		1, 2
XORWF	f, d	Exclusive OR W with f	1	00	0110 dfff ffff	Z	1, 2
ビット指向ファイルレジスタ命令							
BCF	f, b	Bit Clear f	1	01	00bb bfff ffff		1, 2
BSF	f, b	Bit Set f	1	01	01bb bfff ffff		1, 2
BTFSC	f, b	Bit Test f, Skip if Clear	1 (2)	01	10bb bfff ffff		3
BTFSS	f, b	Bit Test f, Skip if Set	1 (2)	01	11bb bfff ffff		3
リテラルおよび制御命令							
ADDLW	k	Add literal and W	1	11	111x kkkk kkkk	C, DC, Z	
ANDLW	k	AND literal with W	1	11	1001 kkkk kkkk	Z	
CALL	k	Call Subroutine	2	10	0kkk kkkk kkkk		
CLRWDT	-	Clear Watchdog Timer	1	00	0000 0110 0100	\overline{TO} , \overline{PD}	
GOTO	k	Go to address	2	10	1kkk kkkk kkkk		
IORLW	k	Inclusive OR literal with W	1	11	1000 kkkk kkkk	Z	
MOVLW	k	Move literal to W	1	11	00xx kkkk kkkk		
RETFIE	-	Return from interrupt	2	00	0000 0000 1001		
RETLW	k	Return with literal in W	2	11	01xx kkkk kkkk		
RETURN	-	Return from Subroutine	2	00	0000 0000 1000		
SLEEP	-	Go into Standby mode	1	00	0000 0110 0011	\overline{TO} , \overline{PD}	
SUBLW	k	Subtract W from literal	1	11	110x kkkk kkkk	C, DC, Z	
XORLW	k	Exclusive OR literal with W	1	11	1010 kkkk kkkk	Z	

Note 1: I/O レジスタの値を同じ I/O レジスタによって変更する場合 (例: MOVF PORTA, 1)、これらのピンの入力レベルが使われます。例えば、入力ピンのデータラッチが「1」で、そのピンが外部デバイスによって Low に駆動されている場合、データは「0」として上書きされます。

2: この命令を TMR0 レジスタに対して実行した場合 (かつ、「d」の指定が可能な場合に d = 1 の場合)、Timer0 モジュールにプリスケアラが割り当てられているとプリスケアラもクリアされます。

3: プログラム カウンタ (PC) が変更された場合、あるいは条件テストの結果が真の場合、命令実行には 2 サイクルが必要です。2 サイクル目は、NOP として実行されます。

29.2 命令の説明

ADDLW Add literal and W

構文: *[label]* ADDLW *k*
 オペランド: $0 \leq k \leq 255$
 動作: $(W) + k \rightarrow (W)$
 影響を受ける
 ステータス: C, DC, Z
 説明: Wレジスタの内容を8ビットのリテラル「*k*」に加算し、結果をWレジスタに書き込みます。

ADDWF Add W and f

構文: *[label]* ADDWF *f, d*
 オペランド: $0 \leq f \leq 127$
 $d \in [0, 1]$
 動作: $(W) + (f) \rightarrow (\text{destination})$
 影響を受ける
 ステータス: C, DC, Z
 説明: Wレジスタとレジスタ「*f*」の内容を加算します。「*d*」が「0」の場合、結果はWレジスタに書き込まれます。「*d*」が「1」の場合、結果はレジスタ「*f*」に書き戻されます。

ANDLW AND literal with W

構文: *[label]* ANDLW *k*
 オペランド: $0 \leq k \leq 255$
 動作: $(W) .AND. (k) \rightarrow (W)$
 影響を受ける
 ステータス: Z
 説明: Wレジスタの内容と8ビットのリテラル「*k*」をAND演算します。結果はWレジスタに書き込まれます。

ANDWF AND W with f

構文: *[label]* ANDWF *f, d*
 オペランド: $0 \leq f \leq 127$
 $d \in [0, 1]$
 動作: $(W) .AND. (f) \rightarrow (\text{destination})$
 影響を受ける
 ステータス: Z
 説明: Wレジスタとレジスタ「*f*」をAND演算します。「*d*」が「0」の場合、結果はWレジスタに書き込まれます。「*d*」が「1」の場合、結果はレジスタ「*f*」に書き戻されます。

BCF Bit Clear f

構文: *[label]* BCF *f, b*
 オペランド: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 動作: $0 \rightarrow (f < b >)$
 影響を受ける
 ステータス: なし
 説明: レジスタ「*f*」のビット「*b*」をクリアします。

BSF Bit Set f

構文: *[label]* BSF *f, b*
 オペランド: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 動作: $1 \rightarrow (f < b >)$
 影響を受ける
 ステータス: なし
 説明: レジスタ「*f*」のビット「*b*」をセットします。

BTFSC Bit Test f, Skip if Clear

構文: *[label]* BTFSC *f, b*
 オペランド: $0 \leq f \leq 127$
 $0 \leq b \leq 7$
 動作: $(f < b >) = 0$ の場合にスキップ
 影響を受ける
 ステータス: なし
 説明: レジスタ「*f*」のビット「*b*」が「1」の場合、次の命令を実行します。レジスタ「*f*」のビット「*b*」が「0」の場合、次の命令を破棄し、代わりにNOPを実行して、2サイクルの命令にします。

MCP19111

BTFSS Bit Test f, Skip if Set

構文: [label] BTFSS f,b
オペランド: $0 \leq f \leq 127$
 $0 \leq b < 7$
動作: $(f < b) = 1$ の場合にスキップ
影響を受けるステータス: なし
説明: レジスタ「f」のビット「b」が「0」の場合、次の命令を実行します。ビット「b」が「1」の場合、次の命令を破棄し、代わりにNOPを実行して、2サイクルの命令にします。

CALL Call Subroutine

構文: [label] CALL k
オペランド: $0 \leq k \leq 2047$
動作: $(PC) + 1 \rightarrow TOS$,
 $k \rightarrow PC < 10:0 >$,
 $(PCLATH < 4:3 >) \rightarrow PC < 12:11 >$
影響を受けるステータス: なし
説明: サブルーチン呼び出しします。最初に、リターンアドレス(PC+1)をスタックにプッシュします。11ビットの即値アドレスを、PCビット<10:0>に読み込みます。PCの上位ビットは、PCLATHから読み込みます。CALLは、2サイクルの命令です。

CLRF Clear f

構文: [label] CLRF f
オペランド: $0 \leq f \leq 127$
動作: $00h \rightarrow (f)$
 $1 \rightarrow Z$
影響を受けるステータス: Z
説明: レジスタ「f」の内容をクリアして、Zビットをセットします。

CLRW Clear W

構文: [label] CLRW
オペランド: なし
動作: $00h \rightarrow (W)$
 $1 \rightarrow Z$
影響を受けるステータス: Z
説明: Wレジスタをクリアします。ゼロビット(Z)をセットします。

CLRWD Clear Watchdog Timer

構文: [label] CLRWD
オペランド: なし
動作: $00h \rightarrow WDT$
 $0 \rightarrow WDT \text{ prescaler}$,
 $1 \rightarrow \overline{TO}$
 $1 \rightarrow \overline{PD}$
影響を受けるステータス: \overline{TO} , \overline{PD}
説明: CLRWD命令はウォッチドッグタイマをリセットします。WDTのプリスケラもリセットします。ステータスビットTOとPDをセットします。

COMF Complement f

構文: [label] COMF f,d
オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$
動作: $(\bar{f}) \rightarrow (\text{destination})$
影響を受けるステータス: Z
説明: レジスタ「f」の内容の補数を取ります。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

DECF Decrement f

構文: [label] DECF f,d
オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$
動作: $(f) - 1 \rightarrow (\text{destination})$
影響を受けるステータス: Z
説明: レジスタ「f」をデクリメントします。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

DECFSZ Decrement f, Skip if 0

構文: [*label*] DECFSZ f,d

オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$

動作: (f) - 1 → (destination);
 結果 = 0 の場合スキップ

影響を受けるステータス: なし

説明: レジスタ「f」の内容をデクリメントします。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

結果が「1」の場合、次の命令が実行されます。結果が「0」の場合は代わりに NOP を実行して、2 サイクルの命令にします。

INCFSZ Increment f, Skip if 0

構文: [*label*] INCFSZ f,d

オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$

動作: (f) + 1 → (destination),
 結果 = 0 の場合スキップ

影響を受けるステータス: なし

説明: レジスタ「f」の内容をインクリメントします。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

結果が「1」の場合、次の命令が実行されます。結果が「0」の場合は代わりに NOP を実行して、2 サイクルの命令にします。

GOTO Unconditional Branch

構文: [*label*] GOTO k

オペランド: $0 \leq k \leq 2047$

動作: $k \rightarrow PC<10:0>$
 $PCLATH<4:3> \rightarrow PC<12:11>$

影響を受けるステータス: なし

説明: GOTO は無条件分岐です。11 ビットの即値を、PC ビット <10:0> に読み込みます。PC の上位ビットは、PCLATH<4:3> から読み込みます。GOTO は 2 サイクルの命令です。

IORLW Inclusive OR literal with W

構文: [*label*] IORLW k

オペランド: $0 \leq k \leq 255$

動作: (W) .OR. k → (W)

影響を受けるステータス: Z

説明: W レジスタの内容と 8 ビットのリテラル「k」を OR 演算します。結果は W レジスタに書き込まれます。

INCF Increment f

構文: [*label*] INCF f,d

オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$

動作: (f) + 1 → (destination)

影響を受けるステータス: Z

説明: レジスタ「f」の内容をインクリメントします。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

IORWF Inclusive OR W with f

構文: [*label*] IORWF f,d

オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$

動作: (W) .OR. (f) → (destination)

影響を受けるステータス: Z

説明: W レジスタとレジスタ「f」を OR 演算します。「d」が「0」の場合、結果は W レジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

MCP19111

MOVF Move f

構文: `[label] MOVF f,d`

オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$

動作: $(f) \rightarrow (\text{destination})$

影響を受けるステータス: Z

説明: レジスタ「f」の内容を、「d」のステータスに応じて格納先に移動します。「d」=「0」の場合、格納先は W レジスタです。「d」=「1」の場合、格納先はファイルレジスタ「f」自身です。ステータスフラグ Z は影響を受けるため、ファイルレジスタの検証には「d」=「1」を使います。

ワード数: 1

サイクル数: 1

例: `MOVF FSR, 0`

命令実行後

W	=	FSR レジスタの値
Z	=	1

MOVLW Move literal to W

構文: `[label] MOVLW k`

オペランド: $0 \leq k \leq 255$

動作: $k \rightarrow (W)$

影響を受けるステータス: なし

説明: 8ビットのリテラル「k」を W レジスタに読み込みます。「ドントケア」は「0」としてアセンブルされます。

ワード数: 1

サイクル数: 1

例: `MOVLW 0x5A`

命令実行後

W	=	0x5A
---	---	------

MOVWF Move W to f

構文: `[label] MOVWF f`

オペランド: $0 \leq f \leq 127$

動作: $(W) \rightarrow (f)$

影響を受けるステータス: なし

説明: W レジスタのデータをレジスタ「f」に移動します。

ワード数: 1

サイクル数: 1

例: `MOVWF OPTION`

命令実行前

OPTION	=	0xFF
W	=	0x4F

命令実行後

OPTION	=	0x4F
W	=	0x4F

NOP No Operation

構文: `[label] NOP`

オペランド: なし

動作: なし

影響を受けるステータス: なし

説明: 何も実行しない。

ワード数: 1

サイクル数: 1

例: `NOP`

RETFIE Return from Interrupt

構文: `[label] RETFIE`

オペランド: なし

動作: TOS → PC,
1 → GIE

影響を受けるなし
ステータス:

説明: 割り込み処理から復帰します。スタックがポップされ、Top-of-Stack (TOS) が PC に読み込まれます。割り込みは、グローバル割り込みイネーブルビット GIE (INTCON<7>) をセットして有効にします。これは 2 サイクルの命令です。

ワード数: 1

サイクル数: 2

例: RETFIE

割り込み後

```
PC = TOS
GIE = 1
```

RETLW Return with literal in W

構文: `[label] RETLW k`

オペランド: $0 \leq k \leq 255$

動作: k → (W);
TOS → PC

影響を受けるなし
ステータス:

説明: 8 ビットのリテラル「k」を W レジスタに読み込みます。Top-of-Stack (リターンアドレス) をプログラムカウンタへ読み込みます。これは 2 サイクルの命令です。

ワード数: 1

サイクル数: 2

例:

```
CALL TABLE;W contains
                ;table offset
                ;value
GOTO DONE
•
•
ADDWF PC ;W = offset
RETLW k1 ;Begin table
RETLW k2 ;
•
•
•
RETLW kn ;End of table

DONE

命令実行前
W = 0x07
命令実行後
W = k8 の値
```

RETURN Return from Subroutine

構文: `[label] RETURN`

オペランド: なし

動作: TOS → PC

影響を受けるなし
ステータス:

説明: サブルーチンから戻ります。スタックがポップされ、Top-of-Stack (TOS) がプログラムカウンタに読み込まれます。これは 2 サイクルの命令です。

MCP19111

RLF Rotate Left f through Carry

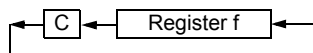
構文: [label] RLF f,d

オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$

動作: 下記参照

影響を受ける
ステータス: C

説明: レジスタ「f」の内容を、キャリーフラグを通して左回りに1ビット移動させます。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。



ワード数: 1

サイクル数: 1

例: RLF REG1,0

命令実行前

REG1 = 1110 0110
C = 0

命令実行後

REG1 = 1110 0110
W = 1100 1100
C = 1

RRF Rotate Right f through Carry

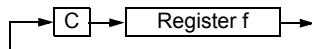
構文: [label] RRF f,d

オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$

動作: 下記参照

影響を受ける
ステータス: C

説明: レジスタ「f」の内容を、キャリーフラグを通して右回りに1ビット移動させます。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。



SLEEP Enter Sleep mode

構文: [label] SLEEP

オペランド: なし

動作: 00h → WDT,
0 → WDT prescaler,
1 → \overline{TO} ,
0 → PD

影響を受ける
ステータス: \overline{TO} , PD

説明: パワーダウンステータスビット (PD) をクリアします。タイムアウトステータスビット (\overline{TO}) をセットします。ウォッチドッグタイマとそのプリスケアラをクリアします。オシレータを停止してプロセッサをスリープにします。

SUBLW Subtract W from literal

構文: [label] SUBLW k

オペランド: $0 \leq k \leq 255$

動作: $k - (W) \rightarrow (W)$

影響を受ける C, DC, Z
ステータス:

説明: 8ビットのリテラル「k」からWレジスタを減算します(2の補数法)。結果はWレジスタに書き込まれます。

Result	Condition
C = 0	$W > k$
C = 1	$W \leq k$
DC = 0	$W\langle 3:0 \rangle > k\langle 3:0 \rangle$
DC = 1	$W\langle 3:0 \rangle \leq k\langle 3:0 \rangle$

SUBWF Subtract W from f

構文: [label] SUBWF f,d
 オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$
 動作: $(f) - (W) \rightarrow (\text{destination})$
 影響を受けるステータス: C, DC, Z
 説明: レジスタ「f」から、Wレジスタを減算します(2の補数法)。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

C = 0	$W > f$
C = 1	$W \leq f$
DC = 0	$W\langle 3:0 \rangle > f\langle 3:0 \rangle$
DC = 1	$W\langle 3:0 \rangle \leq f\langle 3:0 \rangle$

SWAPF Swap Nibbles in f

構文: [label] SWAPF f,d
 オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$
 動作: $(f\langle 3:0 \rangle) \rightarrow (\text{destination}\langle 7:4 \rangle)$,
 $(f\langle 7:4 \rangle) \rightarrow (\text{destination}\langle 3:0 \rangle)$
 影響を受けるステータス: なし
 説明: レジスタ「f」の上位ニブルと下位ニブルを入れ換えます。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き込まれます。

XORLW Exclusive OR literal with W

構文: [label] XORLW k
 オペランド: $0 \leq k \leq 255$
 動作: $(W) .XOR. k \rightarrow (W)$
 影響を受けるステータス: Z
 説明: Wレジスタの内容と8ビットのリテラル「k」をXOR演算します。結果はWレジスタに書き込まれます。

XORWF Exclusive OR W with f

構文: [label] XORWF f,d
 オペランド: $0 \leq f \leq 127$
 $d \in [0,1]$
 動作: $(W) .XOR. (f) \rightarrow (\text{destination})$
 影響を受けるステータス: Z
 説明: Wレジスタの内容とレジスタ「f」をXOR演算します。「d」が「0」の場合、結果はWレジスタに書き込まれます。「d」が「1」の場合、結果はレジスタ「f」に書き戻されます。

MCP19111

NOTE:

30.0 開発サポート

PIC®マイクロコントローラとdsPIC®デジタルシグナルコントローラは、以下に示す各種ソフトウェア/ハードウェア開発ツールによってサポートされています。

- 統合開発環境
 - MPLAB® IDE ソフトウェア
- コンパイラ/アセンブラ/リンカ
 - 各種デバイスファミリ用 MPLAB C コンパイラ
 - 各種デバイスファミリ用 HI-TECH C®
 - MPASM™ アセンブラ
 - MPLINK™ オブジェクトリンカ / MPLIB™ オブジェクトライブラリアン
 - 各種デバイスファミリ用 MPLAB アセンブラ / リンカ / ライブラリアン
- シミュレータ
 - MPLAB SIM ソフトウェア シミュレータ
- エミュレータ
 - MPLAB REAL ICE™ インサーキット エミュレータ
- インサーキット デバグガ
 - MPLAB ICD 3
 - PICkit™ 3 Debug Express
- デバイス プログラマ
 - PICkit™ 2 プログラマ
 - MPLAB PM3 デバイス プログラマ
- 低コストのデモボード、開発ボード、評価キット、スタータキット

30.1 MPLAB 統合開発環境ソフトウェア

MPLAB IDE ソフトウェアを使うと、従来の 8/16/32 ビット マイクロコントローラ市場では考えられないほど、ソフトウェアを容易に開発できます。MPLAB IDE は Windows® オペレーティングシステム上で動作するアプリケーションで、以下の機能を備えています。

- 全てのデバグツールで共通のグラフィカルインターフェイス
 - シミュレータ
 - プログラマ (別売り)
 - インサーキット エミュレータ (別売り)
 - インサーキット デバグガ (別売り)
- コンテキスト色分け表示のフル機能エディタ
- マルチ プロジェクト マネージャ
- 値を直接編集できるカスタマイズ可能なデータ ウィンドウ
- 高度なソースコード デバグ
- マウスオーバーで変数の現在値を表示
- ソースウィンドウからウォッチ ウィンドウへの変数のドラッグ & ドロップ
- 充実したオンラインヘルプ
- 一部サードパーティ製ツールの統合もサポート (IAR 社製 C コンパイラ等)

MPLAB IDE を使うと、以下の作業が可能です。

- ソースファイル (C またはアセンブリ) の編集
- ワンタッチでのコンパイル/アセンブルと、エミュレータ/シミュレータ ツールへのダウンロード (全てのプロジェクト情報を自動更新)
- 以下を使ったデバグ:
 - ソースファイル (C またはアセンブリ)
 - C とアセンブリの混在使用
 - マシンコード

MPLAB IDE は、対費用効果の高いシミュレータから低コストのインサーキット デバグガ、フル機能のエミュレータに至る複数のデバグツールを 1つの開発パラダイムでサポートします。このため、より柔軟性が高く強力なツールにアップグレードした場合でも、短期間で使用方法を習得できます。

30.2 各種デバイスファミリ用 MPLAB C コンパイラ

MPLAB C コンパイラは、マイクロチップ社の PIC18、PIC24、PIC32 マイクロコントローラ ファミリと、dsPIC30、dsPIC33 デジタルシグナル コントローラ ファミリ用コード開発に対応した総合的な ANSI C コンパイラです。これらのコンパイラは強力な統合機能と優れたコード最適化機能を備えながらも、使いやすい製品です。

また、MPLAB IDE デバッガ用に最適化されたシンボル情報を出力できるため、ソースレベルのデバッグも容易です。

30.3 各種デバイスファミリ用 HI-TECH C

HI-TECH C コンパイラは、マイクロチップ社の PIC マイクロコントローラ ファミリと dsPIC デジタルシグナル コントローラ ファミリ用コード開発に対応した総合的な ANSI C コンパイラです。これらのコンパイラは強力な統合機能とインテリジェントなコード生成機能を備えながらも、使いやすい製品です。

また、MPLAB IDE デバッガ用に最適化されたシンボル情報を出力できるため、ソースレベルのデバッグも容易です。

このコンパイラはマクロアセンブラ、リンカ、プリプロセッサ、ワンステップ ドライバを備え、複数のプラットフォーム上で動作します。

30.4 MPASM アセンブラ

MPASM アセンブラは、PIC10/12/16/18 MCU に対応したフル機能の汎用マクロアセンブラです。

MPASM アセンブラは、MPLINK オブジェクト リンカ用の再配置可能なオブジェクト ファイル、Intel® 標準 HEX ファイル、メモリ使用状況とシンボル参照を詳述する MAP ファイル、ソース行と生成後のマシンコードを含む絶対 LST ファイル、デバッグ用の COFF ファイルを生成します。

MPASM アセンブラには以下のような特長があります。

- MPLAB IDE プロジェクトへの統合
- ユーザ定義マクロによるアセンブリコードの最適化
- 多用途ソースファイルに対応する条件付きアセンブリ
- アセンブリ プロセスを完全に制御できるディレクティブ

30.5 MPLINK オブジェクト リンカ / MPLIB オブジェクト ライブラリアン

MPLINK オブジェクト リンカは、MPASM アセンブラと MPLAB C18 C コンパイラが作成した再配置可能なオブジェクトを結合します。このオブジェクト リンカは、リンカスクリプトのディレクティブを使って、プリコンパイル済みのライブラリ内の再配置可能オブジェクトをリンクできます。

MPLIB オブジェクト ライブラリアンは、プリコンパイル済みコードのライブラリ ファイルの作成と変更を管理します。ライブラリのルーチンをソースファイルから呼び出すと、そのルーチンが含まれているモジュールのみがアプリケーションとリンクされます。これにより、大きなライブラリを各種アプリケーションで効率的に使えます。

オブジェクト リンカ / ライブラリには以下のような特長があります。

- 多数の小さなファイルをリンクするのではなく、1つのライブラリを効率的にリンクする
- 関連するモジュールをグループ化する事により、コードの保守性が向上する
- モジュールのリスト作成、置換、削除、抽出が容易なライブラリを柔軟に作成する

30.6 各種デバイスファミリ用 MPLAB アセンブラ、リンカ、ライブラリアン

MPLAB アセンブラは、PIC24、PIC32、dsPIC 用のシンボリック アセンブリ言語から、再配置可能なマシンコードを生成します。MPLAB C コンパイラはこのアセンブラを使ってオブジェクト ファイルを生成します。このアセンブラが生成した再配置可能なオブジェクト ファイルをアーカイブまたは他の再配置可能なオブジェクト ファイルとリンクして、実行ファイルを生成します。このアセンブラには以下のような特長があります。

- デバイスの全命令セットのサポート
- 固定 / 浮動小数点データのサポート
- コマンドライン インターフェイス
- 豊富なディレクティブ セット
- 柔軟なマクロ言語
- MPLAB IDE との互換性

30.7 MPLAB SIM ソフトウェア シミュレータ

MPLAB SIM ソフトウェア シミュレータには、PIC MCU と dsPIC® DSC を命令レベルでシミュレートする機能があり、PC 環境でコードを開発できます。任意の命令に対してデータ領域を検証または変更でき、総合的なステイミュラス コントローラから外部信号を印加できます。レジスタをファイルに記録して、より詳細な実行時解析が可能です。トレースバッファとロジック アナライザ ディスプレイを使うと、プログラム実行、I/O アクティビティ、ほとんどの周辺機能と内部レジスタを記録 / 追跡でき、シミュレータの機能をさらに強化できます。

MPLAB SIM ソフトウェア シミュレータは、MPLAB C コンパイラ、MPASM/MPLAB アセンブラを使ったシンボリック デバッグを完全にサポートしています。このソフトウェア シミュレータは、ハードウェアラボ環境外での柔軟なコード開発とデバッグを可能にする経済的で優れたソフトウェア開発ツールです。

30.8 MPLAB REAL ICE インサーキット エミュレータ システム

MPLAB REAL ICE インサーキット エミュレータ システムは、マイクロチップ社のフラッシュ DSC と MCU 用にマイクロチップ社が提供する次世代高速エミュレータです。このエミュレータでは、各キットに付属する MPLAB 統合開発環境 (IDE) の強力で使いやすい GUI を利用して、PIC® フラッシュ MCU と dsPIC® フラッシュ DSC をデバッグ / プログラムできます。

このエミュレータをハイスピード USB 2.0 インターフェイスで設計エンジニアの PC に接続し、ターゲット デバイスとはインサーキット デバッグ システムと互換の RJ-11 コネクタか、高速で耐ノイズ性に優れた最新の LVDS インターフェイス (CAT5) によって接続します。

エミュレータの更新用ファームウェアは、MPLAB IDE からダウンロードできます。MPLAB IDE の最新リリースに伴って、サポートするデバイスと新機能が追加されます。MPLAB REAL ICE は、低コスト、高速エミュレーション、実行時変数ウォッチ、トレース解析、複雑なブレイクポイント、高耐久性のプロープ インターフェイス、接続ケーブルの長尺対応 (最長 3 m) 等、競合他社のエミュレータに比べて多くの利点があります。

30.9 MPLAB ICD 3 インサーキット デバッグ システム

MPLAB ICD 3 インサーキット デバッグ システムは、マイクロチップ社のフラッシュ デジタルシグナル コントローラ (DSC) とマイクロコントローラ (MCU) に対応した、非常に対費用効果の高い高速ハードウェア デバッグ / プログラムです。このデバッグでは、MPLAB 統合開発環境 (IDE) の強力で使いやすい GUI を利用して PIC® フラッシュ マイクロコントローラと dsPIC® DSC をデバッグ / プログラムできます。

MPLAB ICD 3 インサーキット デバッグのプロープは、PC との接続にハイスピード USB 2.0 インターフェイスを使い、対象デバイスとの接続には MPLAB ICD 3 / MPLAB REAL ICE システムと互換のコネクタ (RJ-11) を使います。MPLAB ICD 3 は全ての MPLAB ICD 3 ヘッダをサポートしています。

30.10 PICkit 3 インサーキット デバッグ / プログラムと PICkit 3 Debug Express

MPLAB PICkit 3 は、MPLAB 統合開発環境 (IDE) の強力な GUI を利用して PIC® および dsPIC® フラッシュ マイクロコントローラをデバッグ / プログラムできる低価格なツールです。MPLAB PICkit 3 と設計エンジニアの PC の接続にはフルスピード USB インターフェイスを使います。ターゲット デバイスとの接続には、MPLAB ICD 3 / MPLAB REAL ICE と互換のマイクロチップ デバッグ コネクタ (RJ-11) を使います。このコネクタは 2 本のデバイス I/O ピンとリセットラインを使って、インサーキット デバッグとインサーキット シリアル プログラミングを実現します。

PICkit 3 Debug Express は、PICkit 3、デモボードとマイクロコントローラ、フックアップ ケーブル、CD-ROM (ユーザガイド、レッスン、チュートリアル、コンパイラ、MPLAB IDE ソフトウェアを収録) を含みます。

30.11 PICkit 2 開発用デバッガ / プログラマ と PICkit 2 Debug Express

PICkit™ 2 開発用デバッガ / プログラマは、マイクロチップ社のフラッシュ マイクロコントローラ ファミリーを使いやすいインターフェイスでデバッグ / プログラムできる低コストな開発ツールです。Windows® 環境でプログラミング機能を実行できる本製品は、ベースライン (PIC10F、PIC12F5xx、PIC16F5xx)、ミッドレンジ (PIC12F6xx、PIC16F)、PIC18F、PIC24、dsPIC30、dsPIC33、PIC32 ファミリーを含む 8/16/32 ビット マイクロコントローラ、マイクロチップ社製各種シリアル EEPROM をサポートしています。PICkit™ 2 は、マイクロチップ社の強力な MPLAB 統合開発環境 (IDE) を利用してほとんどの PIC® マイクロコントローラに対してインサーキット デバッグを実行できます。インサーキット デバッグでは、PIC マイクロコントローラをアプリケーションに組み込んだままの状態でのプログラムの実行/停止とシングルステップ実行が可能です。また、ブレークポイントで停止させて、ファイルレジスタを確認 / 変更できます。

PICkit 2 Debug Express は、PICkit 2、デモボードとマイクロコントローラ、フックアップケーブル、CD-ROM (ユーザガイド、レッスン、チュートリアル、コンパイル、MPLAB IDE ソフトウェアを収録) を含みます。

30.12 MPLAB PM3 デバイス プログラマ

MPLAB PM3 デバイス プログラマは CE 準拠のユニバーサル デバイス プログラマで、VDDMIN と VDDMAX でのプログラマブル電圧検証によって最大限の信頼性を確保します。このデバイス プログラマは、メニューとエラーメッセージを表示する大型 LCD (128 x 64) と、各種パッケージタイプに対応するための脱着可能なモジュール式ソケット アセンブリを備えます。ICSP™ ケーブル アセンブリは標準で付属しています。スタンドアロン モードでは、MPLAB PM3 デバイス プログラマを PC に接続せずに、PIC デバイスの読み出し、検証、プログラムが可能です。このモードでコード保護も設定できます。MPLAB PM3 とホスト PC との接続には、RS-232 または USB ケーブルを使います。さらに、大容量メモリデバイスの高速プログラミングを可能にする高速通信と最適化されたアルゴリズムを備え、ファイル保存とデータ アプリケーションのための MMC カードを内蔵しています。

30.13 デモボード、開発ボード、 評価キット、スタータキット

各種 PIC MCU と dsPIC DSC に対応する豊富なデモボード、開発ボード、評価用ボードによって、完全に機能するシステムでアプリケーションを迅速に開発できます。ほとんどのボードは、カスタム回路を追加するためのプロトタイプ領域を備えています。また、付属のアプリケーション ファームウェアとソースコードを使用して動作を評価できます。これらを編集して使用する事もできます。

これらのボードは LED、温度センサ、スイッチ、スピーカ、RS-232 インターフェイス、LCD、ポテンショメータ、増設 EEPROM メモリをはじめとする各種機能をサポートします。

デモボードと開発ボードは、カスタム回路の試作と各種マイクロコントローラ アプリケーションの学習教材として使う事ができます。

PICDEM™ と dsPICDEM™ デモ / 開発ボードシリーズの回路の他に、マイクロチップ社ではアナログフィルタ設計、KEELOQ® セキュリティ IC、CAN、IrDA®、PowerSmart バッテリ管理、SEEVAL® 評価システム、 $\Delta \Sigma$ ADC、流量感知等、各種アプリケーションに対応する評価キットとデモソフトウェアを取り揃えています。

また、特定のデバイスを体験するために必要なものを全てを収めたスタータキットも提供しています。スタータキットは通常、1つのアプリケーションとデバッグ機能の全てを1つのボードに搭載した形で提供します。

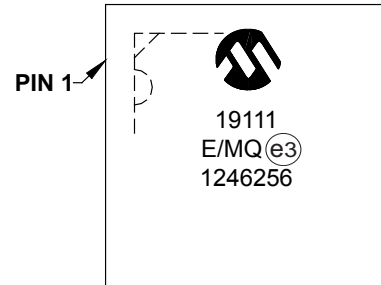
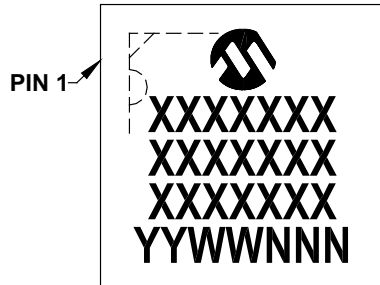
デモボード、開発ボード、評価キットの全一覧は、マイクロチップ社のウェブページ (www.microchip.com) をご覧ください。

31.0 パッケージ情報

31.1 パッケージ マーキング情報

28-Lead QFN (5x5x0.9 mm)

Example



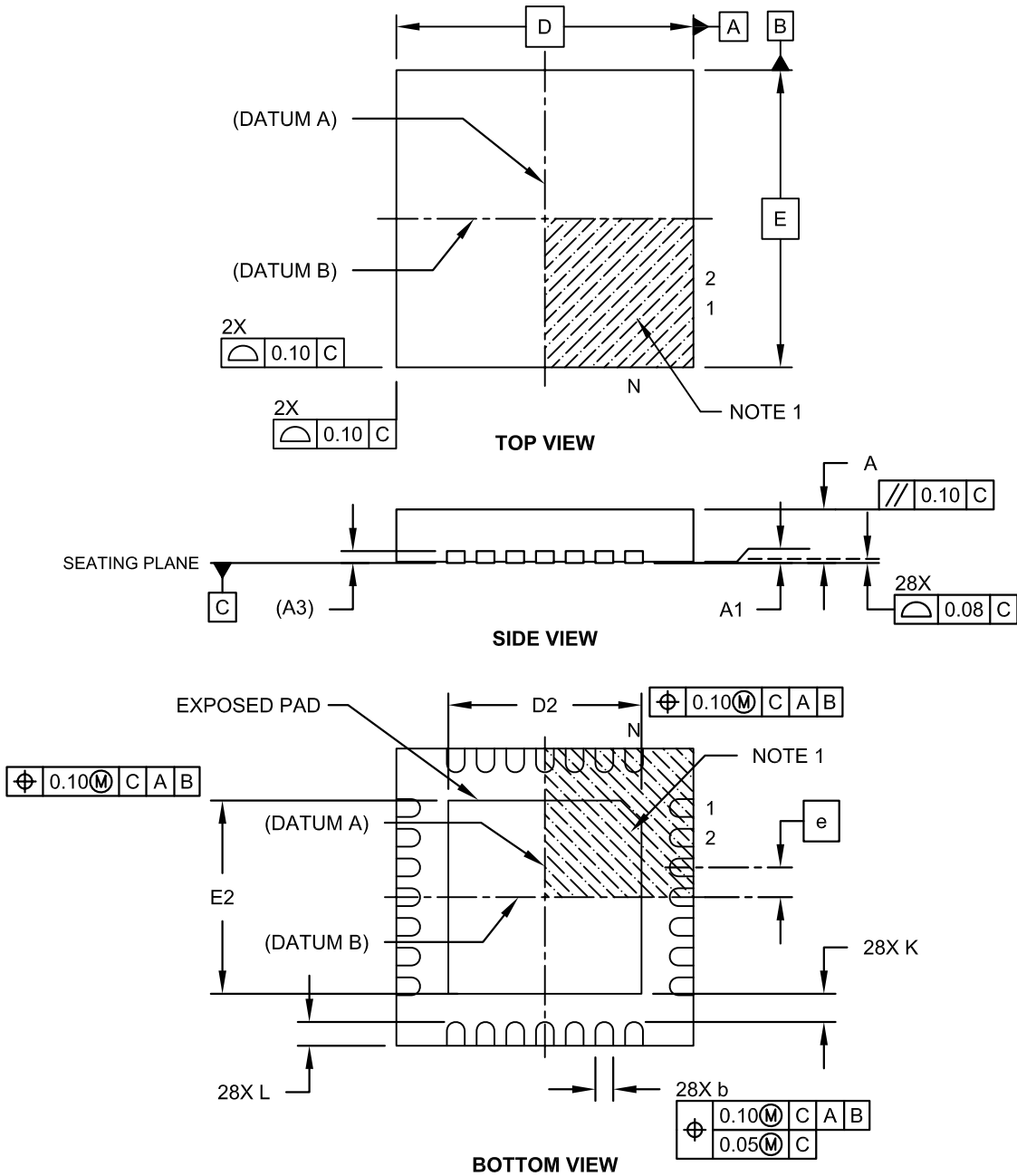
凡例:	XX...X	お客様固有情報
	Y	年コード (西暦の下1桁)
	YY	年コード (西暦の下2桁)
	WW	週コード (1月の第1週が「01」)
	NNN	英数字のトレーサビリティコード
	(e3)	つや消し錫 (Sn) の使用を示す鉛フリーの JEDEC マーク
	*	本パッケージは鉛フリーです。鉛フリー JEDEC マーク (e3) は外箱に表記しています。

Note: マイクロチップ社の製品番号が1行に収まりきらない場合は複数行を使います。この場合お客様固有情報に使える文字数が制限されます。

MCP19111

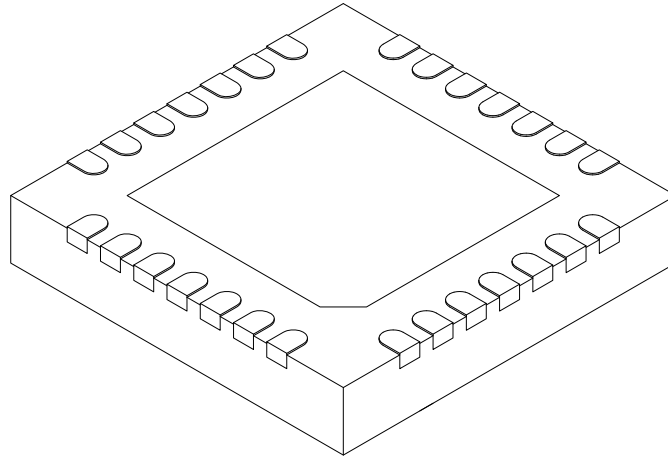
28 ピン プラスチック クアッド フラット、リードレス パッケージ (MQ) - 5x5x0.9 mm ボディ [QFN]

Note: 最新のパッケージ図面については、以下のウェブサイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
<http://www.microchip.com/packaging>



28ピンプラスチッククアッドフラット、リードレスパッケージ (MQ) - 5x5x0.9 mm ボディ [QFN]

Note: 最新のパッケージ図面については、以下のウェブサイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
<http://www.microchip.com/packaging>



単位	ミリメートル			
	寸法	MIN	NOM	MAX
ピン数	N	28		
ピッチ	e	0.50 BSC		
全高	A	0.80	0.90	1.00
スタンドオフ	A1	0.00	0.02	0.05
コンタクト厚	A3	0.20 REF		
全幅	E	5.00 BSC		
露出パッド幅	E2	3.15	3.25	3.35
全長	D	5.00 BSC		
露出パッド長	D2	3.15	3.25	3.35
コンタクト幅	b	0.18	0.25	0.30
コンタクト長	L	0.35	0.40	0.45
コンタクト - 露出パッド間距離	K	0.20	-	-

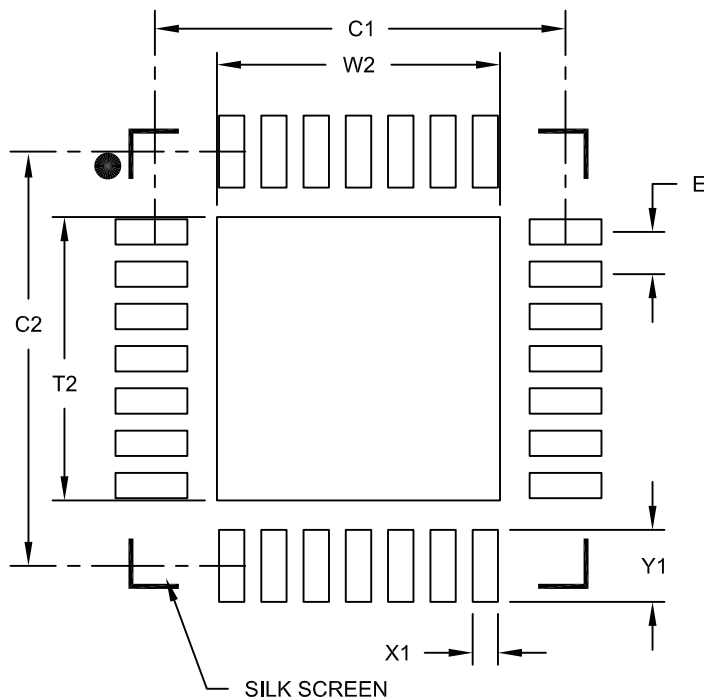
Note:

- ピン1のビジュアル インデックスの場所にはばらつきがありますが、必ず斜線部分内にあります。
- パッケージは切削切り出しされています。
- 寸法と許容誤差は ASME Y14.5M に準拠しています。
 BSC: 基本寸法、理論的に正確な値、公差なしで表示
 REF: 参考寸法、通常は公差を含まない、情報としてのみ使われる値

MCP19111

28ピンプラスチッククアドフラット、リードレスパッケージ (MQ) - 5x5 mm ボディ [QFN] のランドパターン (コンタクト長 0.55 mm)

Note: 最新のパッケージ図面については、以下のウェブサイトにある「Microchip Packaging Specification (マイクロチップ社パッケージ仕様)」を参照してください。
<http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

	単位	ミリメートル		
		寸法	MIN	NOM
コンタクトピッチ	E	0.50 BSC		
オプションのセンターパッド幅	W2			3.35
オプションのセンターパッド長	T2			3.35
コンタクトパッド間隔	C1		4.90	
コンタクトパッド間隔	C2		4.90	
コンタクトパッド幅 (X28)	X1			0.30
コンタクトパッド長 (X28)	Y1			0.85

Note:

- 寸法と許容誤差は ASME Y14.5M に準拠しています。
 BSC: 基本寸法、理論的に正確な値、公差なしで表示

Microchip Technology Drawing No. C04-2140A

補遺 A: 改訂履歴

リビジョン A (2013 年 1 月)

- 本書の初版

MCP19111

NOTE:

索引

A

A/D	
仕様	3, 31
A/D コンバータ (ADC) ADC 参照	
A/D 変換	125
タイミング	32, 33
要件	32
ACKSTAT	170
ACKSTAT ステータスフラグ	170
AC 特性	28
ADC	123
アキュイジション時間の計算	129
アキュイジションの要件	129
関連レジスタ	131
スリープ中の動作	126
設定	124
ソース インピーダンス	129
チャンネルの選択	124
動作	126
内部サンプリングスイッチの インピーダンス (Rss)	129
ブロック図	123
変換クロック	124
変換手順	126
ポートの設定	124
レジスタの定義	127
割り込み	125
割り込みの設定	126
ADCON0 レジスタ	127
ADCON1 レジスタ	128
ANSELA レジスタ	113
ANSELB レジスタ	116
APFCON レジスタ	110

B

BF	170, 172
BF ステータスフラグ	170, 172

C

C コンパイラ	
MPLAB C18	202

D

DC および AC 特性	51
図表	51
DC 特性	28

E

ECCP/CCP	
(拡張型キャプチャ / コンペア / PWM (ECCP))	141
ECCP/CCP。	
拡張型キャプチャ / コンペア / PWM (ECCP) 参照	

I

I/O	
ポート	109
I ² C モード (MSSPx)	
ACK シーケンスのタイミング	174
I ² C クロックレートと BRG の値	181
概要	146
関連レジスタ	180
肯定応答 (ACK) シーケンス	150
ストップ条件のタイミング	174
スリープ動作	175

スリープモード

10 ビットアドレス受信	161
SSPMASKx レジスタ	166
クロック同期	165
ジェネラルコール アドレスのサポート	166
送信	157
動作	151
バスコリジョン	157
動作	148
バスコリジョン	
スタート条件中	176
ストップ条件中	179
反復スタート条件中	178
マスタモード	167
クロック アービトレーション	167
受信	172
スタート条件のタイミング	168
送信	170
動作	167
反復スタート条件のタイミング	169
マルチマスタ モード	175
マルチマスタ通信、バスコリジョン、 バス アービトレーション	175
読み書きビット情報 (R/W ビット)	151
リセットの効果	175

M

MCLR	84
内部	84
MCP19111 ブロック図	8
MOSFET	13, 14, 15, 36, 44, 47, 55, 65
ドライバのデッドタイム	15
MOSFET ドライバ	
デッドタイム	47
プログラマブル デッドタイム	44
MPLAB ASM30 アセンブラ、リンク、 ライブラリアン	202
MPLAB PM3 デバイス プログラマ	204
MPLAB REAL ICE インサーキット エミュレータ システム	203
MPLAB 統合開発環境ソフトウェア	201
MPLINK オブジェクト リンカ / MPLIB オブジェクト ライブラリアン	202
MSSPx	145
baud レート ジェネレータ	181
I ² C スリープモードの動作	151
I ² C バスの用語	149
I ² C マスタモード	167
I ² C モード	146
I ² C モードの動作	148
アービトレーション	148
クロック ストレッチ	148
モジュールの概要	145

P

PCL	76
書き換え	76
PCLATH	76
PCON レジスタ	85, 90
PICKIT	
PICKIT 2 Debug Express	204
PICKIT 2 開発用デバッグ / プログラマ	204
PICKIT 3 Debug Express	203
PICKIT 3 インサーキット デバッグ / プログラマ	203

MCP1911

PIR1 レジスタ	96	Timer1 モジュール	135
PIR2 レジスタ	97	Timer2	
PMADRH レジスタ	103	関連レジスタ	139
PMADRL レジスタ	103, 104	制御レジスタ	139
PMCON1 レジスタ	103, 105	動作	138
PMCON2 レジスタ	103	Timer2 モジュール	138
PMDATH レジスタ	104	TRISGPA	110
PMDATL レジスタ	104	TRISGPA レジスタ	110, 112
PMDRH レジスタ	105	TRISGPB レジスタ	115
PORTGPA	110, 119	TXCON (Timer2) レジスタ	139
ANSELA レジスタ	111	W	
関連レジスタ	113	WCOL	168, 170, 172, 174
機能と出力の優先度	111	WCOL ステータスフラグ	168, 170, 172, 174
弱プルアップ	110	WPUGPB レジスタ	116
状態変化割り込み	110	WWW アドレス	217
その他のピン機能		WWW、オンライン サポート	5
弱プルアップ	115	あ	
PORTGPA レジスタ	110	アセンブラ	
PORTGPB	119	MPASM アセンブラ	202
ANSELB レジスタ	114	アナログ周辺モジュール制御	47
関連レジスタ	117	アナログブロック イネーブル制御	49
機能と出力の優先度	114	い	
弱プルアップ	114	インサーキット シリアル プログラミング (ICSP)	189
状態変化割り込み	114	一般的なプログラミング インターフェイス	189
ピンの説明とブロック図	117	インターネット アドレス	217
PORTGPB レジスタ	115	う	
R		ウォッチドッグ タイマ (WDT)	85, 101
Read-Modify-Write 動作	191	ウォッチドッグ タイマに関連する	
S		コンフィグレーション ワード	102
SSPCON1 レジスタ	183	関連レジスタ	102
SSPOV	172	周期	101
SSPOV ステータスフラグ	172	動作	101
SSPSTAT レジスタ	182	プログラミングの注意事項	101
R/W ビット	151	え	
SSPxADD2 レジスタ	187	エラッタ	5
SSPxADD レジスタ	186	お	
SSPxCON2 レジスタ	184	お客様アンケート	218
SSPxCON3 レジスタ	185	お客様向け変更通知サービス	217
SSPxMSK レジスタ	186, 187	オシレータ	81
STATUS レジスタ	69	関連レジスタ	82
T		校正	81
T1CON レジスタ	136	周波数調整	81
T1CKPS1:T1CKPS0 ビット	44	電源投入時遅延	82
Timer0	133	内部オシレータ	81
8 ビット カウンタ モード	133	オシレータ モジュール	82
8 ビット タイマ モード	133	オペコード フィールドの説明	191
T0CKI	134	温度インジケータ モジュール	121
外部クロック	134	温度仕様	26
関連レジスタ	134	か	
スリープ中の動作	134	改訂履歴	209
動作	133	開発サポート	201
Timer0 モジュール	133	外部クロック	28
Timer1	135	カスタマサポート	217
TMR1H レジスタ	135	過電圧アクセラレータ	47
TMR1L レジスタ	135	過電流	37
関連レジスタ	137	間接アドレス指定	76
クロック源の選択	135	き	
スリープ	136	起動シーケンス	85
スリープ中の動作	136		
制御レジスタ	136		
動作	135		
プリスケアラ	136		
割り込み	136		

機能			
その他	19	
保護	18	
キャプチャ / コンペア / PWM	143	
く			
クロック切り換え	82	
け			
計算型 GOTO	76	
計算型関数呼び出し	76	
こ			
校正ワード			
関連レジスタ	82	
さ			
サンプルコード			
A/D 変換	126	
PORTA の初期化	109	
Timer0 へのプリスケアラ割り当て	134	
WDT へのプリスケアラ割り当て	134	
ステータス レジスタと W レジスタの RAM への保存	98	
し			
システム ベンチテスト	20, 55	
出力	47	
過電圧	18, 23, 46	
過電圧イネーブル	49	
過電流	18, 36, 37	
タイプ	10	
多出力システム	20	
低電圧	18, 23, 46	
低電圧アクセラレータ	47	
低電圧イネーブル	49	
電圧	16	
ソフトスタート	20	
トラッキング	20	
電圧検出ブルアップ / ブルダウン	47	
電圧コンフィグレーション	45	
パワーグッド	20	
状態変化割り込み	119	
関連レジスタ	120	
スリープ中の動作	119	
ピン設定	119	
モジュールの有効化	119	
レジスタ	120	
割り込みフラグのクリア	119	
信号チェーン制御	49	
す			
スイッチング周波数	16	
スタック	76	
スリープ			
からの復帰	99	
割り込みによる復帰	100	
スロープ補償	16, 42	
スロープ補償制御	49	
せ			
製品識別システム	219	
絶対最大定格	21	
ゼロ電流電圧	40	
そ			
相対効率回路制御	49	
相対効率の計測	49, 65	
手順	65	
ソフトウェア シミュレータ (MPLAB SIM)	203	
た			
ダイオード エミュレーション モード	47	
代替ピン機能	110	
代表性曲線	51	
代表的なアプリケーション回路	7	
タイマ			
Timer1			
T1CON	136	
Timer2			
TXCON	139	
タイマの要件			
リセット、ウォッチドッグ タイマ、オシレータ 起動タイマ、パワーアップ タイマ	30	
タイミング チャート			
ACK シーケンス	174	
baud レート ジェネレータ (クロック アービトレーションあり)	168	
I ² C マスタモード (7 ビット受信)	173	
I ² C マスタモード (7 または 10 ビット送信)	171	
クロック同期	165	
最初のスタートビットのタイミング	168	
受信または送信モードの I ² C ストップ条件	174	
スタート条件中の SDA アービトレーション による BRG リセット	177	
スタート条件中のバスコリジョン (SCL = 0)	177	
スタート条件中のバスコリジョン (SDA のみ)	176	
ストップ条件中のバスコリジョン (ケース 1)	179	
ストップ条件中のバスコリジョン (ケース 2)	179	
送信時と ACK 送信時のバスコリジョン	175	
反復スタート条件 反復スタート条件中のバスコリジョン (ケース 1)	178	
反復スタート条件中のバスコリジョン (ケース 2)	178	
タイミング パラメータの記号	27	
タイミング図			
INT ピン割り込み	92	
Timer0	30	
Timer1	30	
ウォッチドッグ タイマ	29	
起動タイマ	29	
キャプチャ / コンペア / PWM	31	
タイムアウト シーケンス 例 1	85	
例 2	86	
例 3	86	
パワーアップ タイマ	29	
リセット	29	
割り込みによる復帰	100	
タイミング要件			
CLKOUT と I/O	29	
外部クロック	28	
多相システム	20	
て			
低電圧ロックアウト			
入力	35	
データメモリ	68	
データメモリ マップ	70	

MCP1911

デジタル電気的特性	27
デバイス	
コンフィグレーション	79
ID ロケーション	80
書き込み保護	80
コード保護	80
コンフィグレーションワード	79
ユーザ ID	80
設定	35
デバイス概要	7
デバイスの校正	57
校正ワード 1	57
校正ワード 2	58
校正ワード 3	59
校正ワード 4	60
校正ワード 5	61
校正ワード 6	62
校正ワード 7	63
電気的特性	21, 22
電流	
計測	49
電流検出	16, 38, 39
と	
特殊機能レジスタ	69
特殊レジスタのまとめ	
バンク 0	71
バンク 1	72
バンク 2	73
バンク 3	74
特長	
同期降圧回路	1
な	
内部温度インジケータ モジュール	121
温度出力	121
回路動作	121
内部温度の計測	49
内部サンプリングスイッチのインピーダンス (R _{ss})	129
内部同期ドライバ	15
に	
入力	22
タイプ	10
低電圧ロックアウト	18, 35
は	
ハイサイドストレングス	47
パッケージ	205
マーキング	205
パルス幅変調	31
関連レジスタ	143
周期	142
スイッチング周波数同期モード	141
スタンダアロン モード	141
スリープ中の動作	143
デューティ サイクル	143
標準モード	141
モジュール	141
パワーアップ タイマ (PWRT)	85
パワーオン リセット (POR)	84
パワーダウン モード (スリープ)	99
関連レジスタ	100

ひ

ピンの説明	
MCP19111	10
まとめ	3
ピン配置図	2

ふ

ファームウェア命令	191
フラッシュ プログラムメモリ制御	103
書き込み	107
書き込み保護中の動作	107
コード保護中の動作	107
保護	107
読み出し	106
フラッシュ プログラムメモリ制御レジスタ	104
プリスケラ、Timer1	
選択 (T1CKPS1:T1CKPS0 ビット)	44
プログラミング、デバイス命令	191
プログラムメモリ	67
マップとスタック (MCP19111)	67
プログラムメモリ保護	80
ブロック図	
ADC	123
ADC の伝達関数	130
MCLR 回路	84
MSSP (I ² C スレーブモード)	146
MSSP (I ² C マスタモード)	145
PWM の概略	142
Timer0	133
Timer1	135
Timer2	138
アナログ入力モデル	130
ウォッチドッグ タイマ	101
内蔵リセット回路	83
汎用 I/O ポート	109
割り込みロジック	92

へ

ベンチテスト	
アナログ ベンチテスト制御	55
システム	55

ほ

補償	16
補償の設定	41

ま

マイクロチップ社ウェブサイト	217
マスタエラー信号ゲイン	43
マスタ同期シリアルポート MSSPx 参照	

め

命令セット	191
ADDLW	193
ADDWF	193
ANDLW	193
ANDWF	193
BCF	193
BSF	193
BTFSC	193
BTFSS	194
CALL	194
CLRF	194
CLRWF	194
CLRWDW	194
COMF	194

DECF	194	OPTION_REG(オプション)	75
DECFSZ	195	OSCTUNE(オシレータ調整)	81
GOTO	195	OUVCON(出力低電圧検出レベル制御)	46
INCF	195	OVCCON(出力電圧セットポイント粗調整制御)	45
INCFSZ	195	OVFCON(出力電圧セットポイント微調整制御)	45
IORLW	195	PCON(電源制御)	85, 90
IORWF	195	PE1(アナログ周辺モジュール	
MOVF	196	イネーブル 1 制御)	48
MOVLW	196	PIE1(周辺機能割り込みイネーブル)	94
MOVWF	196	PIR1(周辺機能割り込みフラグ)	96
NOP	196	PIR2(周辺機能割り込みフラグ)	97
RETFIE	197	PMADRL (プログラムメモリ アドレス)	104
RETLW	197	PMCON1 (プログラムメモリ制御)	105
RETURN	197	PMDATH (プログラムメモリ データ)	104
RLF	198	PMDATL (プログラムメモリ データ)	104
RRF	198	PMDRH (プログラムメモリ アドレス)	105
SLEEP	198	PORTGPA	111
SUBLW	198	PORTGPB	115
SUBWF	199	RELEFF(相対効率の計測)	65
SWAPF	199	SLVGNCON(マスタエラー信号	
XORLW	199	入力ゲイン制御)	43
XORWF	199	SSPCON1 (MSSP 制御 1)	183
一覧表	192	SSPCON1 (SSP 制御)	183
命令の形式	191	SSPSTAT (SSP ステータス)	182
メモリ構成	67	SSPxADD (MSSPx アドレス /baud レート、	
データ	68	I ² C モード)	186
プログラム	67	SSPxADD2 (MSSPx アドレス /baud レート、	
		I ² C モード)	187
ゆ		SSPxCON2 (SSPx 制御 2)	184
ユニティ ゲイン バッファ	56	SSPxCON3 (SSPx 制御 3)	185
り		SSPxMSK (SSPx マスク)	186, 187
リセット	83	SSPxSTAT (SSPx ステータス)	182
関連レジスタ	90	STATUS	69
原因の特定	89	T1CON (Timer1 制御)	136
リニア レギュレータ	15	TRISGPA (3 ステート PORTA)	112
れ		TRISGPB (PORTGPB 3 ステート)	115
レジスタ		TXCON	139
ABECON(アナログブロック イネーブル制御)	50	VINLVL(入力低電圧ロックアウト制御)	35
ADCON0 (ADC 制御 0)	127	VZCCON(ゼロ電流電圧制御)	40
ADCON1 (ADC 制御 1)	128	WPUGPA	
ANSELA (アナログ選択 GPA)	113	弱プルアップ PORTGPA	112
ANSELB (アナログ選択 GPB)	116	WPUGPB (弱プルアップ PORTGPB)	116
APFCON(代替ピン機能の制御)	110	特殊レジスタのまとめ	71, 72, 73, 74
ATSTCON(アナログ ベンチテスト制御)	55	リセット時の値	87
BUFFCON(ユニティ ゲイン バッファ制御)	56	わ	
CALWD1(校正ワード 1)	57	割り込み	
CALWD2(校正ワード 2)	58	ADC	126
CALWD3(校正ワード 3)	59	RA2/INT	91
CALWD4(校正ワード 4)	60	TMR1	136
CALWD5(校正ワード 5)	61	関連レジスタ	97
CALWD6(校正ワード 6)	62	コンテキスト保存	98
CALWD7(校正ワード 7)	63	制御レジスタ	93
CMPZCON(補償設定制御)	41		
CONFIG(コンフィグレーションワード)	79		
CSDGCON(ゼロ電流電圧の制御)	39		
CSGSCON(電流検出 AC ゲイン制御)	38		
DEADCON (ドライバのデッドタイム制御)	44		
DEVICEID(デバイス ID)	80		
INTCON(割り込み制御)	93		
IOCA (PORTGPA 状態変化割り込み)	120		
IOCB (PORTGPB 状態変化割り込み)	120		
LPCRCON(スロープ補償ランプ制御)	42		
OCCON(出力過電流制御)	37		
OOVCON(出力過電圧検出レベル制御)	46		

MCP1911

NOTES:

マイクロチップ社のウェブサイト

マイクロチップ社は、ウェブサイト(www.microchip.com)でオンラインサポートを提供しています。このウェブサイトを活用する事で、ファイルや情報を簡単に入手できます。お好みのインターネット ブラウザを使って下記の内容をご覧になれます。

- **製品サポート** - データシートとエラッタ、アプリケーションノートとサンプル プログラム、設計関連リソース、ユーザガイドとハードウェア サポート文書、最新のソフトウェア リリースと過去のソフトウェア
- **技術サポート** - よく寄せられる質問 (FAQ)、技術サポートのご依頼、オンライン ディスカッショングループ、マイクロチップ社コンサルタント プログラム メンバーの一覧
- **マイクロチップ社の事業** - 製品セレクトと注文のガイド、マイクロチップ社の最新プレスリリース、セミナーとイベントの一覧、マイクロチップ社の各営業所、販売代理店、工場の一覧

お客様向け変更通知サービス

マイクロチップ社のお客様向け変更通知サービスは、お客様がマイクロチップ社製品の最新情報を入手できるようにします。ご興味のある製品ファミリまたは開発ツールに関する変更、更新、エラッタ情報をいち早くメールにてお知らせします。

当サービスをご希望のお客様は、マイクロチップ社ウェブサイト(www.microchip.com)でご登録ください。[サポート] → [お客様向け変更通知] をクリックし、画面の指示に従ってください。

カスタマサポート

マイクロチップ社製品をお使いのお客様は、下記のチャンネルからサポートをご利用頂けます。

- 販売代理店または販売担当者
- 各地の営業所
- フィールド アプリケーション エンジニア (FAE)
- 技術サポート
- 開発システム情報ライン

サポートは販売代理店、販売担当者、フィールド アプリケーション エンジニア (FAE) までお問い合わせください。各地の営業所もご利用頂けます。本書の末尾には各国営業所の一覧を記載しています。

技術サポートは下記のウェブサイトからもご利用頂けます : <http://microchip.com/support>

MCP19111

お客様アンケート

マイクロチップ社は、弊社製品を存分にご活用頂くために、文書の作成に最善の努力を尽くしています。本書の構成、明確さ、内容等に関するご意見を FAX にてお寄せください (宛先：マイクロチップ・テクノロジー・ジャパン株式会社：FAX 番号：03-6880-3771)。

下記のアンケートフォームにお客様情報と本書に関するご意見をご記入ください。

宛先： マイクロチップ・テクノロジー・ジャパン株式会社

送信ページ数 _____

件名： お客様アンケート

送信者： お名前 _____

貴社名 _____

ご住所 _____

郵便番号 _____

電話番号：(_____) _____ - _____ FAX 番号：(_____) _____ - _____

アプリケーション (任意)：

返信をご希望ですか？ ___ はい ___ いいえ

デバイス：MCP19111

文書番号：DS22331A_JP

質問：

1. 本書で最も良かった点は何ですか。

2. 本書はお客様のハードウェア/ソフトウェア開発に役立ちますか。

3. 本書の構成は分かりやすいですか。分かりにくい場合はその理由もご記入ください。

4. 本書の構成と内容を改善するには何を追加すべきですか。

5. 本書から省略してもかまわない内容は何ですか。

6. この文書に、不正確な情報や誤解を招くような表現がありますか。もしあれば、記載ページと該当箇所をお書きください。

7. その他、本書の改善に向けてご意見がございましたらご記入ください。

製品識別システム

ご注文または製品の価格や納期等に関するお問い合わせは、弊社または販売代理店までお問い合わせください。

PART NO.	[X] ⁽¹⁾	-	X	/XX
Device	Tape and Reel Option		Temperature Range	Package
Device: MCP19111: Digitally Enhanced Power Analog Controller with Integrated Synchronous Driver				
Tape and Reel Option:	Blank = Standard packaging (tube) T = Tape and Reel			
Temperature Range:			E = -40°C to +125°C (Extended)	
Package:				MQ = 28-lead Plastic Quad Flat, No Lead Package - 5x5x0.9 mm Body (QFN)

例:

a) MCP19111-E/MQ: 拡張温度仕様、QFN 5x5 パッケージ

a) MCP19111T-E/MQ: テープ & リール、拡張温度仕様、QFN 5x5 パッケージ

Note 1: テープ & リールの識別情報は、カタログの製品番号説明でのみご確認頂けます。この識別情報は注文時に使うもので、デバイスのパッケージには印刷されていません。テープ & リールオプションのあるパッケージの販売状況については、最寄りのマイクロチップ社の営業所までお問い合わせください。

お客様へのご注意

この製品には、Power-One[®], Inc. が所有するデジタル電源テクノロジー (DPT) の特許に関して Power-One, Inc. からのライセンスが適用されます。スタンドアロン電源製品は、このライセンスの適用外です。

マイクロチップ社製デバイスのコード保護機能に関して以下の点にご注意ください。

- マイクロチップ社製品は、該当するマイクロチップ社データシートに記載の仕様を満たしています。
- マイクロチップ社では、通常の条件ならびに仕様に従って使用した場合、マイクロチップ社製品のセキュリティレベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法はマイクロチップ社データシートにある動作仕様書以外の方法でマイクロチップ社製品を使用する事になります。このような行為は知的所有権の侵害に該当する可能性が非常に高いと言えます。
- マイクロチップ社は、コードの保全性に懸念を抱いているお客様と連携し、対応策に取り組んでいきます。
- マイクロチップ社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、マイクロチップ社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。マイクロチップ社では、常に製品のコード保護機能の改善に取り組んでいます。マイクロチップ社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

本書に記載されているデバイス アプリケーション等に関する情報は、ユーザの便宜のためにのみ提供されているものであり、更新によって無効とされる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。マイクロチップ社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。マイクロチップ社は、本書の情報およびその使用に起因する一切の責任を否認します。生命維持装置あるいは生命安全用途にマイクロチップ社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、マイクロチップ社は擁護され、免責され、損害を受けない事に同意するものとします。暗黙的あるいは明示的を問わず、マイクロチップ社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

マイクロチップ社の名称とロゴ、Microchip ロゴ、dsPIC、FlashFlex、KEELOQ、KEELOQ ロゴ、MPLAB、PIC、PICmicro、PICSTART、PIC³² ロゴ、rPIC、SST、SST ロゴ、SuperFlash および UNI/O は、米国およびその他の国におけるマイクロチップ・テクノロジー社の登録商標です。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MTP、SEEVAL、Embedded Control Solutions Company は、米国におけるマイクロチップ・テクノロジー社の登録商標です。

Silicon Storage Technology は、他の国におけるマイクロチップ・テクノロジー社の登録商標です。

Analog-for-the-Digital Age、Application Maestro、BodyCom、chipKIT、chipKIT ロゴ、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindi、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、mTouch、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICKit、PICKtail、REAL ICE、rLAB、Select Mode、SQI、Serial Quad I/O、Total Endurance、TSHARC、UniWinDriver、WiperLock、ZENA および Z-Scale は、米国およびその他の国におけるマイクロチップ・テクノロジー社の商標です。

SQTP は、米国におけるマイクロチップ・テクノロジー社のサービスマークです。

GestIC および ULPP は、マイクロチップ・テクノロジー社の子会社である Microchip Technology Germany II GmbH & Co. & KG 社の他の国における登録商標です。

その他、本書に記載されている商標は各社に帰属します。

© 2013, Microchip Technology Incorporated, All Rights Reserved.

ISBN: 978-1-62076-949-2

マイクロチップ社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州) の本部、設計部およびウェハー製造工場としてカリフォルニア州とインドのデザインセンターが ISO/TS-16949:2009 認証を取得しています。マイクロチップ社の品質システム プロセスおよび手順は、PIC® MCU および dsPIC® DSC、KEELOQ® コードホッピング デバイス、シリアル EEPROM、マイクロペリフェラル、不揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関するマイクロチップ社の品質システムは ISO 9001:2000 認証を取得しています。

**QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
= ISO/TS 16949 =**

各国の営業所とサービス

北米

本社

2355 West Chandler Blvd.
Chandler, AZ 85224-6199

Tel: 480-792-7200

Fax: 480-792-7277

技術サポート:

<http://www.microchip.com/support>

URL:

www.microchip.com

アトランタ

Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

ボストン

Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ

Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

クリーブランド

Independence, OH
Tel: 216-447-0464
Fax: 216-447-0643

ダラス

Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト

Farmington Hills, MI
Tel: 248-538-2250
Fax: 248-538-2260

インディアナポリス

Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453

ロサンゼルス

Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608

サンタクララ

Santa Clara, CA
Tel: 408-961-6444
Fax: 408-961-6445

トロント

Mississauga, Ontario,
Canada
Tel: 905-673-0699
Fax: 905-673-6509

アジア / 太平洋

アジア太平洋支社

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong

Tel: 852-2401-1200

Fax: 852-2401-3431

オーストラリア - シドニー

Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

中国 - 北京

Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都

Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重慶

Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 杭州

Tel: 86-571-2819-3187
Fax: 86-571-2819-3189

中国 - 香港 SAR

Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 南京

Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青島

Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海

Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 瀋陽

Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳

Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武漢

Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安

Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦門

Tel: 86-592-2388138
Fax: 86-592-2388130

中国 - 珠海

Tel: 86-756-3210040
Fax: 86-756-3210049

アジア / 太平洋

インド - バンガロール

Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

インド - ニューデリー

Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

インド - プネ

Tel: 91-20-2566-1512
Fax: 91-20-2566-1513

日本 - 大阪

Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 - 東京

Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韓国 - 大邱

Tel: 82-53-744-4301
Fax: 82-53-744-4302

韓国 - ソウル

Tel: 82-2-554-7200
Fax: 82-2-558-5932 または
82-2-558-5934

マレーシア - クアラルンプール

Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

マレーシア - ペナン

Tel: 60-4-227-8870
Fax: 60-4-227-4068

フィリピン - マニラ

Tel: 63-2-634-9065
Fax: 63-2-634-9069

シンガポール

Tel: 65-6334-8870
Fax: 65-6334-8850

台湾 - 新竹

Tel: 886-3-5778-366
Fax: 886-3-5770-955

台湾 - 高雄

Tel: 886-7-213-7828
Fax: 886-7-330-9305

台湾 - 台北

Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

タイ - バンコク

Tel: 66-2-694-1351
Fax: 66-2-694-1350

ヨーロッパ

オーストリア - ヴェルス

Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン

Tel: 45-4450-2828
Fax: 45-4485-2829

フランス - パリ

Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - ミュンヘン

Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

イタリア - ミラノ

Tel: 39-0331-742611
Fax: 39-0331-466781

オランダ - ドリユーン

Tel: 31-416-690399
Fax: 31-416-690340

スペイン - マドリッド

Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

イギリス - ウォーキングム

Tel: 44-118-921-5869
Fax: 44-118-921-5820