

3.3 V 8 チャンネル アナログ フロントエンド

特長：

- 8つの同期サンプリング式 24ビット分解能 $\Delta\Sigma$ 型 A/D コンバータ内蔵
- 各チャンネルで 94.5 dB の SINAD(信号とノイズ + 歪みの比)、-107 dBc の総高調波歪み (THD) (最大 35 次の高調波までを含む)、112 dBFS の SFDR
- ダイナミックレンジ 10,000:1 にわたり 0.1% (typ.) の有効電力計測誤差を実現
- 先進のセキュリティ機能：
 - 全ての通信に 16ビット巡回冗長検査 (CRC) チェックサムを適用したセキュアなデータ転送
 - レジスタマップのコンフィグレーションに対する 16ビットCRC チェックサムと割り込みアラート
 - 8ビットのセキュアキーによるレジスタマップのロック
- 2.7 ~ 3.6 V の AV_{DD} 、 DV_{DD}
- 最大 125 ksp/s まで設定可能なデータレート：
 - 最大サンプリング周波数：4 MHz
 - 最大マスタクロック周波数：16 MHz
- 最大オーバーサンプリング率：4096
- < 10 μ A の超低消費電力シャットダウンモード
- チャンネル間クロストーク：-122 dB
- 低ドリフト (9 ppm/ $^{\circ}$ C) の 1.2 V 内部参照電圧
- 差動参照電圧入力ピン
- 各チャンネル別の高ゲイン プログラマブルゲインアンプ (PGA) (最大 32 V/V)
- 位相遅延補償 (時間分解能：1 μ s)
- 専用データレディピンによる容易な同期
- 各チャンネル別の 24ビット デジタル オフセットおよびゲイン誤差補正
- 高速 20 MHz シリアル ペリフェラル インターフェイス (SPI) (モード 0,0 および 1,1 と互換)
- 16/32 ビット専用モードを備えた、通信時間を最小にする連続読み書きモード
- 40ピン UQFN パッケージで供給
- 拡張温度レンジ：-40 ~ +125 $^{\circ}$ C

アプリケーション：

- 多相電気メータ
- 電気メータと電力計測
- 車載
- 携帯型計器
- 医療と電力監視
- 音響 / 音声認識

概要：

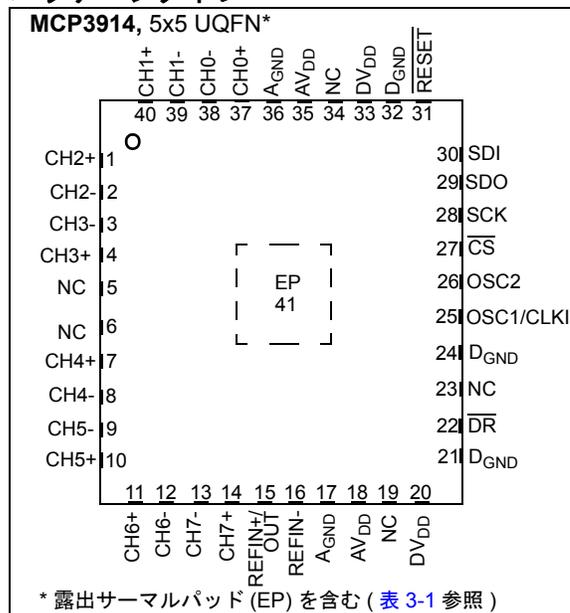
MCP3914 は 2.7 ~ 3.6 V の 8 チャンネル アナログ フロントエンド (AFE) です。8つの同期サンプリング $\Delta\Sigma$ 型 A/D コンバータ (ADC)、8つの PGA、位相遅延補償ブロック、低ドリフト内部参照電圧、デジタル オフセットおよびゲイン誤差校正レジスタ、20 MHz の SPI 互換高速シリアル インターフェイスを備えています。

MCP3914 の ADC はビット分解能 (16/24)、オーバーサンプリング比 (OSR) (32 ~ 4096)、ゲイン (1x ~ 32x)、チャンネル別のシャットダウンとリセット、ディザリング、自動ゼロ調整等が構成可能だという特長を備えています。8ビットコマンドにより通信は大幅に簡素化されています。例えば、16/24/32 ビットのデータフォーマットによる各種の連続読み書きモードは 8/16/32 ビット MCU のダイレクトメモリアクセス (DMA) で利用でき、独立したデータレディピンは MCU の割り込み要求 (IRQ) 入力に直接接続できます。

MCP3914 は、シリアルデータ出力と静的レジスタマップ設定の両方に CRC-16 チェックサムを適用する等、通信と設定を保護する先進のセキュリティ機能を備えています。意図せぬ書き込みコマンドを防止するための、8ビットのセキュアキーによるレジスタマップのロック機能も備えています。

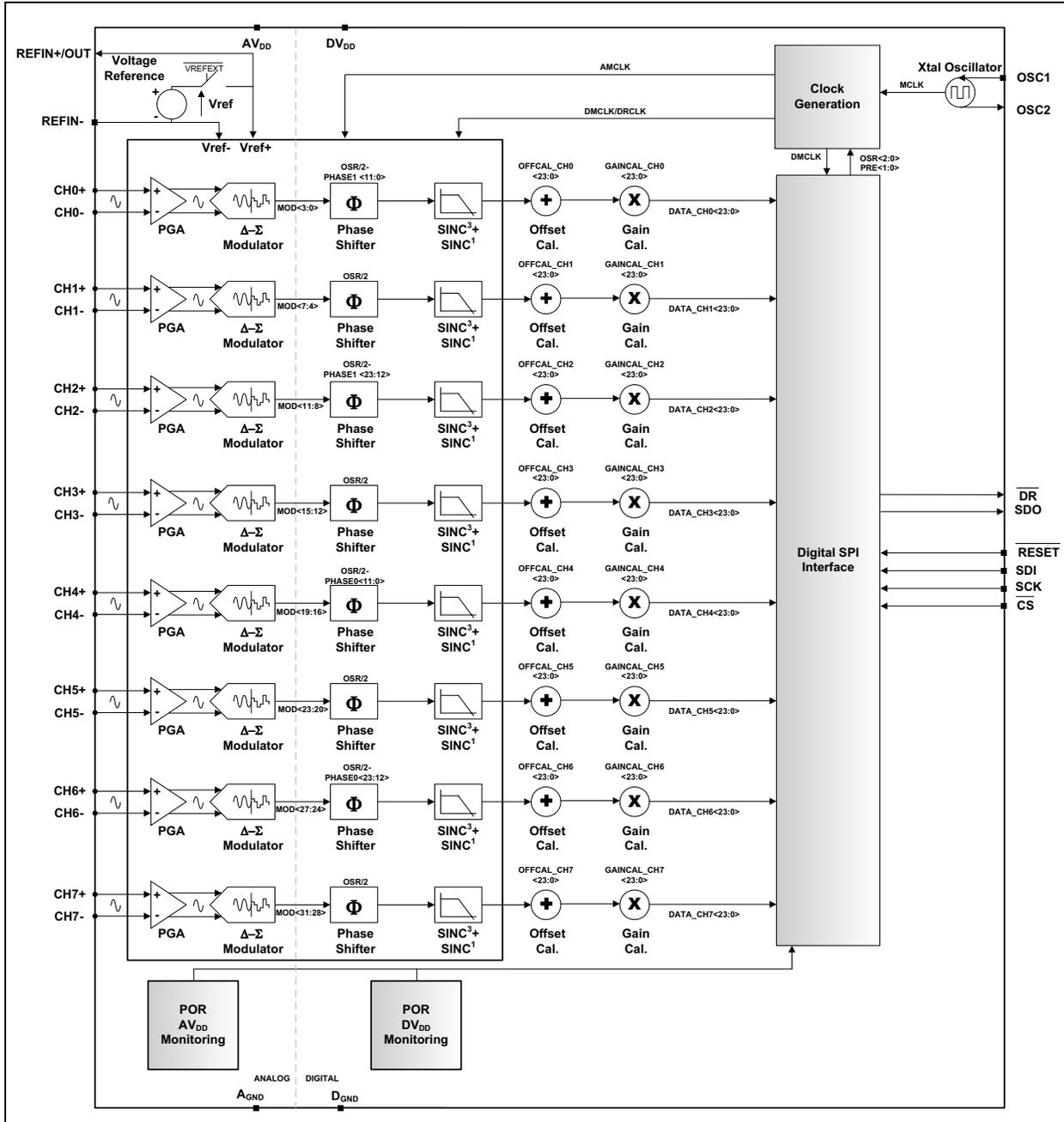
MCP3914 はシャント、変流器、ログスキーコイル、ホール効果センサ等の各種電圧 / 電流センサに接続できます。

パッケージタイプ



MCP3914

機能ブロック図



1.0 電気的特性

絶対最大定格 †

V _{DD}	-0.3 ~ 4.0 V
A _{GND} 基準のデジタル入出力	-0.3 ~ 4.0 V
A _{GND} 基準のアナログ入力	-2 ~ +2 V
A _{GND} 基準の V _{REF} 入力	-0.6 V ~ V _{DD} +0.6 V
保管温度	-65 ~ +150 °C
通電中の周囲温度	-65 ~ +125 °C
ピンのはんだ付け温度 (10 秒間)	+300 °C
アナログ入力の ESD (HBM, MM)	1.5 kV, 300 V
その他のピンの ESD (HBM, MM)	2 kV, 300 V

† Notice: 「絶対最大定格」を超える条件は、デバイスに恒久的な損傷を生じる可能性があります。これはストレス定格です。本仕様書の動作表に示す条件外でのデバイス運用は想定していません。長期間にわたる最大定格条件での動作や保管は、デバイスの信頼性に影響する可能性があります。

1.1 電気的仕様

表 1-1: アナログ仕様

特性	記号	Min	Typ	Max	単位	条件
電氣的仕様 : 特に明記しない限り、全てのパラメータには次の条件を適用します: AV _{DD} = DV _{DD} = 2.7 ~ 3.6 V, MCLK = 4 MHz, PRE<1:0> = 00, OSR = 256, GAIN = 1, VREFEXT = 0, CLKEXT = 1, DITHER<1:0> = 11, BOOST<1:0> = 10, V _{CM} = 0 V, T _A = -40 ~ +125 °C、全チャンネル V _{IN} = -0.5 dBFS @ 50/60 Hz						
ADC 性能						
分解能 (ノー ミッシング コード)		24	-	-	ビット	OSR = 256 以上
サンプリング周波数	f _S (DMCLK)	-	1	4	MHz	最大条件時: BOOST<1:0> = 11
出力データレート	f _D (DRCLK)	-	4	125	ksps	最大条件時: BOOST<1:0> = 11、OSR = 32
CHn+/- ピンのアナログ入力絶対電圧 (n = 0 ~ 7)	CHn+/-	-1	-	+1	V	A _{GND} 基準で計測した全アナログ入力チャンネル
アナログ入力リーク電流	I _{IN}	-	+/-1	-	nA	RESET<7:0> = 11111111、MCLK 連続動作
差動入力電圧レンジ	(CH _{n+} -CH _{n-})	-600/ ゲイン	-	+600/ ゲイン	mV	V _{REF} = 1.2 V 時、V _{REF} に比例
オフセット誤差	V _{OS}	-1	0.2	1	mV	Note 5
オフセット誤差ドリフト		-	0.5	-	μV/ °C	
ゲイン誤差	GE	-4	-	+4	%	Note 5
ゲイン誤差ドリフト		-	1	-	ppm/ °C	

Note 1: 動的性能は、以下の条件で規定されます: 最大差動入力値の-0.5 dB下、V_{IN} = 1.2 V_{PP} = 424 mV_{RMS} @ 50/60 Hz、V_{REF} = 1.2 V 定義は**セクション 4.0 「用語と計算式」**を参照してください。このパラメータは特性評価のみの値で、完全に試験で確認した値ではありません。

- これらの動作電流には下記のコンフィグレーション ビット設定を適用します: SHUTDOWN<7:0> = 00000000、RESET<7:0> = 00000000、VREFEXT = 0、CLKEXT = 0
- これらの動作電流には下記のコンフィグレーション ビット設定を適用します: SHUTDOWN<7:0> = 11111111、VREFEXT = 1、CLKEXT = 1
- 1 チャンネルに対する他の全チャンネルからのクロストークを計測します。これは、クロストーク性能を全チャンネルにわたって平均した値です。(個々のチャンネルの性能は、[図 2-32](#)を参照してください)
- 全ゲインに適用します。オフセットおよびゲイン誤差は PGA ゲイン設定で異なります。代表性能曲線を参照してください。
- このレンジ外の ADC 精度は指定されていません。入力レンジが ±2 V 以内であれば、連続的に印加してもデバイスは損傷しません。
- ADC を適正に動作させて最善の精度を得るために、AMCLK の周波数は、[表 5-2](#) で BOOST および PGA 設定値の関数として定義した最大周波数以下に制限する必要があります。プリスケアラ (PRE<1:0>) の設定で AMCLK = MCLK/ プリスケール値を [表 5-2](#) に定義されたレンジ内に収める事ができる限り、MCLK を大きくできます。

MCP3914

表 1-1: アナログ仕様 (続き)

電氣的仕様: 特に明記しない限り、全てのパラメータには次の条件を適用します: $AV_{DD} = DV_{DD} = 2.7 \sim 3.6 \text{ V}$, $MCLK = 4 \text{ MHz}$, $PRE<1:0> = 00$, $OSR = 256$, $GAIN = 1$, $VREFEXT = 0$, $CLKEXT = 1$, $DITHER<1:0> = 11$, $BOOST<1:0> = 10$, $V_{CM} = 0 \text{ V}$, $T_A = -40 \sim +125 \text{ }^\circ\text{C}$, 全チャンネル $V_{IN} = -0.5 \text{ dBFS @ } 50/60 \text{ Hz}$

特性	記号	Min	Typ	Max	単位	条件
積分非直線性	INL	-	5	-	ppm	
計測誤差	ME	-	0.1	-	%	ダイナミックレンジ 10,000:1 で計測 (600 mV _{Peak} ~ 60 μV _{Peak})、 $AV_{DD} = DV_{DD} = 3 \text{ V}$ 、計測点の平均時間: 20 秒、各チャンネルペア (CH0/1、CH2/3、CH4/5、CH6/7) に対して計測
差動入力インピーダンス	Z _{IN}	232	-	-	kΩ	G=1、1/AMCLK に比例
		142	-	-	kΩ	G=2、1/AMCLK に比例
		72	-	-	kΩ	G=4、1/AMCLK に比例
		38	-	-	kΩ	G=8、1/AMCLK に比例
		36	-	-	kΩ	G=16、1/AMCLK に比例
		33	-	-	kΩ	G=32、1/AMCLK に比例
SINAD(Note 1)	SINAD	92	94.5	-	dB	
全高調波歪み (Note 1)	THD	-	-107	-103	dBc	35 次高調波まで含む
S/N 比 (Note 1)	SNR	92	95	-	dB	
スプリアスフリーダイナミックレンジ (Note 1)	SFDR	-	112	-	dBFS	
クロストーク (50、60 Hz)	CTALK	-	-122	-	dB	Note 4
AC 電源除去率	AC PSRR	-	-73	-	dB	$AV_{DD} = DV_{DD} = 3 \text{ V} + 0.6 \text{ V}_{PP}$ 50/60 Hz、100/120 Hz
DC 電源除去率	DC PSRR	-	-73	-	dB	$AV_{DD} = DV_{DD} = 2.7 \sim 3.6 \text{ V}$
DC コモンモード除去率	DC CMRR	-	-100	-	dB	$V_{CM} = -1 \sim +1 \text{ V}$

Note 1: 動的性能は、以下の条件で規定されます: 最大差動入力値の -0.5 dB 下、 $V_{IN} = 1.2 \text{ V}_{PP} = 424 \text{ mV}_{RMS} @ 50/60 \text{ Hz}$ 、 $V_{REF} = 1.2 \text{ V}$ 定義は [セクション 4.0「用語と計算式」](#) を参照してください。このパラメータは特性評価のみの値で、完全に試験で確認した値ではありません。

- これらの動作電流には下記のコンフィグレーション ビット設定を適用します: $SHUTDOWN<7:0> = 00000000$ 、 $RESET<7:0> = 00000000$ 、 $VREFEXT = 0$ 、 $CLKEXT = 0$
- これらの動作電流には下記のコンフィグレーション ビット設定を適用します: $SHUTDOWN<7:0> = 11111111$ 、 $VREFEXT = 1$ 、 $CLKEXT = 1$
- 1 チャンネルに対する他の全チャンネルからのクロストークを計測します。これは、クロストーク性能を全チャンネルにわたって平均した値です。
(個々のチャンネルの性能は、[図 2-32](#) を参照してください)
- 全ゲインに適用します。オフセットおよびゲイン誤差は PGA ゲイン設定で異なります。代表性能曲線を参照してください。
- このレンジ外の ADC 精度は指定されていません。入力レンジが $\pm 2 \text{ V}$ 以内であれば、連続的に印加してもデバイスは損傷しません。
- ADC を適正に動作させて最善の精度を得るために、AMCLK の周波数は、[表 5-2](#) で BOOST および PGA 設定値の関数として定義した最大周波数以下に制限する必要があります。プリスケアラ ($PRE<1:0>$) の設定で $AMCLK = MCLK /$ プリスケール値を [表 5-2](#) に定義されたレンジ内に収める事ができる限り、MCLK を大きくできます。

表 1-1: アナログ仕様 (続き)

特性	記号	Min	Typ	Max	単位	条件
電氣的仕様 : 特に明記しない限り、全てのパラメータには次の条件を適用します: $AV_{DD} = DV_{DD} = 2.7 \sim 3.6$ V, $MCLK = 4$ MHz, $PRE<1:0> = 00$, $OSR = 256$, $GAIN = 1$, $VREFEXT = 0$, $CLKEXT = 1$, $DITHER<1:0> = 11$, $BOOST<1:0> = 10$, $V_{CM} = 0$ V, $T_A = -40 \sim +125$ °C、全チャンネル $V_{IN} = -0.5$ dBFS @ 50/60 Hz						
内部参照電圧						
許容誤差	V_{REF}	1.176	1.2	1.224	V	$VREFEXT = 0$, $T_A = +25$ °Cのみ
温度係数	TCV_{REF}	-	9	-	ppm/°C	$T_A = -40 \sim +125$ °C、 $VREFEXT = 0$ 、 $VREFCAL<7:0> = 0x50$
出力インピーダンス	$ZOUTV_{REF}$	-	0.6	-	k Ω	$VREFEXT = 0$
内部参照電圧の動作電流	$AI_{DD}V_{REF}$	-	54	-	μ A	$VREFEXT = 0$ 、 $SHUTDOWN<7:0> = 11111111$
参照電圧入力						
入力静電容量		-	-	10	pF	
差動入力電圧レンジ ($V_{REF+} - V_{REF-}$)	V_{REF}	1.1	-	1.3	V	$VREFEXT = 1$
REFIN+ ピンの絶対電圧	V_{REF+}	$V_{REF-} + 1.1$	-	$V_{REF-} + 1.3$	V	$VREFEXT = 1$
REFIN- ピンの絶対電圧	V_{REF-}	-0.1	-	+0.1	V	$VREFEXT = 0$ の場合、REFIN- を A_{GND} に接続する必要があります。
マスタクロック入力						
マスタクロック入力の周波数レンジ	f_{MCLK}	-	-	20	MHz	$CLKEXT = 1$, (Note 7)
水晶振動子の動作周波数レンジ	f_{XTAL}	1	-	20	MHz	$CLKEXT = 0$, (Note 7)
アナログ マスタクロック	AMCLK	-	-	16	MHz	(Note 7)
水晶振動子の動作電流	DIDDXTAL	-	80	-	μ A	$CLKEXT = 0$
電源						
動作電圧、アナログ	AV_{DD}	2.7	-	3.6	V	
動作電圧、デジタル	DV_{DD}	2.7	-	3.6	V	
動作電流、アナログ (Note 2)	$I_{DD,A}$	-	5.8	7.5	mA	$BOOST<1:0> = 00$
		-	7.2	10	mA	$BOOST<1:0> = 01$
		-	9.8	12.5	mA	$BOOST<1:0> = 10$
		-	17.2	22	mA	$BOOST<1:0> = 11$

Note 1: 動的性能は、以下の条件で規定されます: 最大差動入力値の-0.5 dB下、 $V_{IN} = 1.2$ V_{PP} = 424 mV_{RMS} @ 50/60 Hz、 $V_{REF} = 1.2$ V 定義は **セクション 4.0 「用語と計算式」** を参照してください。このパラメータは特性評価のみの値で、完全に試験で確認した値ではありません。

- これらの動作電流には下記のコンフィグレーション ビット設定を適用します: $SHUTDOWN<7:0> = 00000000$ 、 $RESET<7:0> = 00000000$ 、 $VREFEXT = 0$ 、 $CLKEXT = 0$
- これらの動作電流には下記のコンフィグレーション ビット設定を適用します: $SHUTDOWN<7:0> = 11111111$ 、 $VREFEXT = 1$ 、 $CLKEXT = 1$
- 1チャンネルに対する他の全チャンネルからのクロストークを計測します。これは、クロストーク性能を全チャンネルにわたって平均した値です。(個々のチャンネルの性能は、**図 2-32** を参照してください)
- 全ゲインに適用します。オフセットおよびゲイン誤差はPGAゲイン設定で異なります。代表性能曲線を参照してください。
- このレンジ外のADC精度は指定されていません。入力レンジが ± 2 V以内であれば、連続的に印加してもデバイスは損傷しません。
- ADCを適正に動作させて最善の精度を得るために、AMCLKの周波数は、**表 5-2** でBOOSTおよびPGA設定値の関数として定義した最大周波数以下に制限する必要があります。プリスケラ ($PRE<1:0>$) の設定で $AMCLK = MCLK /$ プリスケール値を **表 5-2** に定義されたレンジ内に収める事ができる限り、MCLKを大きくできます。

MCP3914

表 1-1: アナログ仕様 (続き)

電氣的仕様: 特に明記しない限り、全てのパラメータには次の条件を適用します: $AV_{DD} = DV_{DD} = 2.7 \sim 3.6 \text{ V}$ 、 $MCLK = 4 \text{ MHz}$ 、 $PRE<1:0> = 00$ 、 $OSR = 256$ 、 $GAIN = 1$ 、 $VREFEXT = 0$ 、 $CLKEXT = 1$ 、 $DITHER<1:0> = 11$ 、 $BOOST<1:0> = 10$ 、 $V_{CM} = 0 \text{ V}$ 、 $T_A = -40 \sim +125 \text{ }^\circ\text{C}$ 、全チャンネル $V_{IN} = -0.5 \text{ dBFS @ } 50/60 \text{ Hz}$

特性	記号	Min	Typ	Max	単位	条件
動作電流、デジタル	$I_{DD,D}$	-	0.65	1.1	mA	MCLK = 4 MHz 時、 MCLK に比例 (Note 2)
		-	2.8		mA	MCLK = 16 MHz 時、 MCLK に比例 (Note 2)
シャットダウン電流、アナログ	$I_{DDS,A}$	-	0.01	2	μA	AV_{DD} ピンのみ (Note 3)
シャットダウン電流、デジタル	$I_{DDS,D}$	-	0.01	7	μA	DV_{DD} ピンのみ (Note 3)
OSC2 ピンのブルダ ウン電流(外部クロッ クモードのみ)	I_{OSC2}	-	35	-	μA	CLKEXT = 1

- Note 1:** 動的性能は、以下の条件で規定されます: 最大差動入力値の -0.5 dB 下、 $V_{IN} = 1.2 \text{ V}_{PP} = 424 \text{ mV}_{RMS} @ 50/60 \text{ Hz}$ 、 $V_{REF} = 1.2 \text{ V}$ 定義はセクション 4.0「用語と計算式」を参照してください。このパラメータは特性評価のみの値で、完全に試験で確認した値ではありません。
- 2:** これらの動作電流には下記のコンフィグレーション ビット設定を適用します: $SHUTDOWN<7:0> = 00000000$ 、 $RESET<7:0> = 00000000$ 、 $VREFEXT = 0$ 、 $CLKEXT = 0$
- 3:** これらの動作電流には下記のコンフィグレーション ビット設定を適用します: $SHUTDOWN<7:0> = 11111111$ 、 $VREFEXT = 1$ 、 $CLKEXT = 1$
- 4:** 1 チャンネルに対する他の全チャンネルからのクロストークを計測します。これは、クロストーク性能を全チャンネルにわたって平均した値です。
(個々のチャンネルの性能は、図 2-32 を参照してください)
- 5:** 全ゲインに適用します。オフセットおよびゲイン誤差は PGA ゲイン設定で異なります。代表性曲線を参照してください。
- 6:** このレンジ外の ADC 精度は指定されていません。入力レンジが $\pm 2 \text{ V}$ 以内であれば、連続的に印加してもデバイスは損傷しません。
- 7:** ADC を適正に動作させて最善の精度を得るために、AMCLK の周波数は、表 5-2 で BOOST および PGA 設定値の関数として定義した最大周波数以下に制限する必要があります。プリスケアラ ($PRE<1:0>$) の設定で $AMCLK = MCLK /$ プリスケール値を表 5-2 に定義されたレンジ内に収める事ができる限り、MCLK を大きくできます。

1.2 シリアル インターフェ이스の特性

表 1-2: シリアル DC 特性

電氣的仕様: 特に明記しない限り、全てのパラメータには次の条件を適用します: $DV_{DD} = 2.7 \sim 3.6 \text{ V}$ 、 $T_A = -40 \sim +125 \text{ }^\circ\text{C}$ 、 $C_{LOAD} = 30 \text{ pF}$ 、全デジタル I/O に適用

特性	記号	Min	Typ	Max	単位	条件
HIGH レベル入力電圧	V_{IH}	$0.7 DV_{DD}$	-	-	V	シュミットトリガ
LOW レベル入力電圧	V_{IL}	-	-	$0.3 DV_{DD}$	V	シュミットトリガ
入力リーク電流	I_{LI}	-	-	± 1	μA	$\overline{CS} = DV_{DD}$ 、 $V_{IN} = D_{GND} \sim DV_{DD}$
出力リーク電流	I_{LO}	-	-	± 1	μA	$\overline{CS} = DV_{DD}$ 、 $V_{OUT} = D_{GND}$ または DV_{DD}
シュミットトリガ入力の ヒステリシス	V_{HYS}	-	500	-	mV	$DV_{DD} = 3.3 \text{ V}$ の場合のみ、 Note 2
LOW レベル出力電圧	V_{OL}	-	-	$0.2 DV_{DD}$	V	$I_{OL} = +1.7 \text{ mA}$
HIGH レベル出力電圧	V_{OH}	$0.8 DV_{DD}$	-	-	V	$I_{OH} = -1.7 \text{ mA}$
内部静電容量 (全入出力)	C_{INT}	-	-	7	pF	$T_A = +25 \text{ }^\circ\text{C}$ 、 $SCK = 1.0 \text{ MHz}$ 、 $DV_{DD} = 3.3 \text{ V}$ (Note 1)

- Note 1:** このパラメータは定期的にサンプルされるだけで、全数検査は実施していません。
- 2:** このパラメータは特性から求めた値であり、量産検査は実施していません。

表 1-3: シリアル AC 特性

電氣的仕様: 特に明記しない限り、全てのパラメータには次の条件を適用します: $DV_{DD} = 2.7 \sim 3.6 \text{ V}$ 、 $T_A = -40 \sim +125^\circ\text{C}$ 、ゲイン = 1、 $C_{LOAD} = 30 \text{ pF}$

特性	記号	Min	Typ	Max	単位	条件
シリアルクロック周波数	f_{SCK}	-	-	20	MHz	
\overline{CS} セットアップ時間	t_{CSS}	25	-	-	ns	
\overline{CS} ホールド時間	t_{CSH}	50	-	-	ns	
\overline{CS} 無効時間	t_{CSD}	50	-	-	ns	
データ セットアップ時間	t_{SU}	5	-	-	ns	
データホールド時間	t_{HD}	10	-	-	ns	
シリアルクロック HIGH 時間	t_{HI}	20	-	-	ns	
シリアルクロック LOW 時間	t_{LO}	20	-	-	ns	
シリアルクロック遅延時間	t_{CLD}	50	-	-	ns	
シリアルクロック有効時間	t_{CLE}	50	-	-	ns	
SCK LOW から出力有効までの時間	t_{DO}	-	-	25	ns	
出力ホールド時間	t_{HO}	0	-	-	ns	Note 1
出力無効時間	t_{DIS}	-	-	25	ns	Note 1
リセットパルス幅 (\overline{RESET})	t_{MCLR}	100	-	-	ns	
\overline{DR} (Data Ready) からデータ転送までの時間	t_{DODR}		-	25	ns	Note 2
モジュレータモードに移行してからモジュレータデータが利用可能になるまでの時間	t_{MODSU}		-	100	ns	
データレディパルス LOW 時間	t_{DRP}		$1/(2 \times DMCLK)$	-	μs	

Note 1: このパラメータは定期的にサンプルされるだけで、全数検査は実施していません。

2: このパラメータは特性から求めた値であり、量産検査は実施していません。

表 1-4: 温度仕様

電氣的仕様: 特に明記しない限り、全てのパラメータには次の条件を適用します: $AV_{DD} = 2.7 \sim 3.6 \text{ V}$ 、 $DV_{DD} = 2.7 \sim 3.6 \text{ V}$

パラメータ	記号	Min	Typ	Max	単位	条件
温度レンジ						
動作温度レンジ	T_A	-40	-	+125	$^\circ\text{C}$	Note 1
保管温度レンジ	T_A	-65	-	+150	$^\circ\text{C}$	
パッケージ熱抵抗						
熱抵抗、40ピン 5x5 UQFN	θ_{JA}	-	41	-	$^\circ\text{C}/\text{W}$	

Note 1: 内部の接合部温度 (T_J) は最大絶対定格温度 (+150 $^\circ\text{C}$) を超えない必要があります。

MCP3914

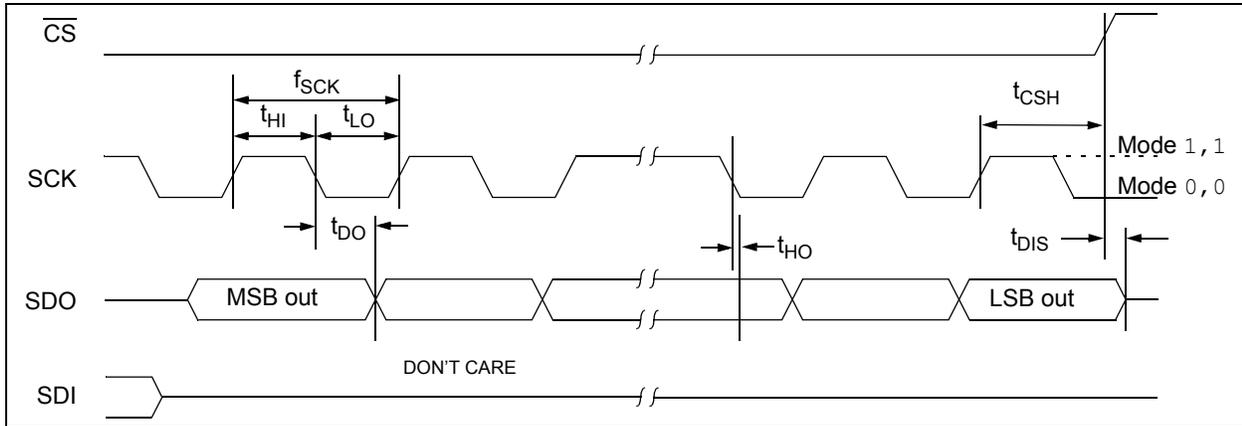


図 1-1: シリアル出力のタイミング図

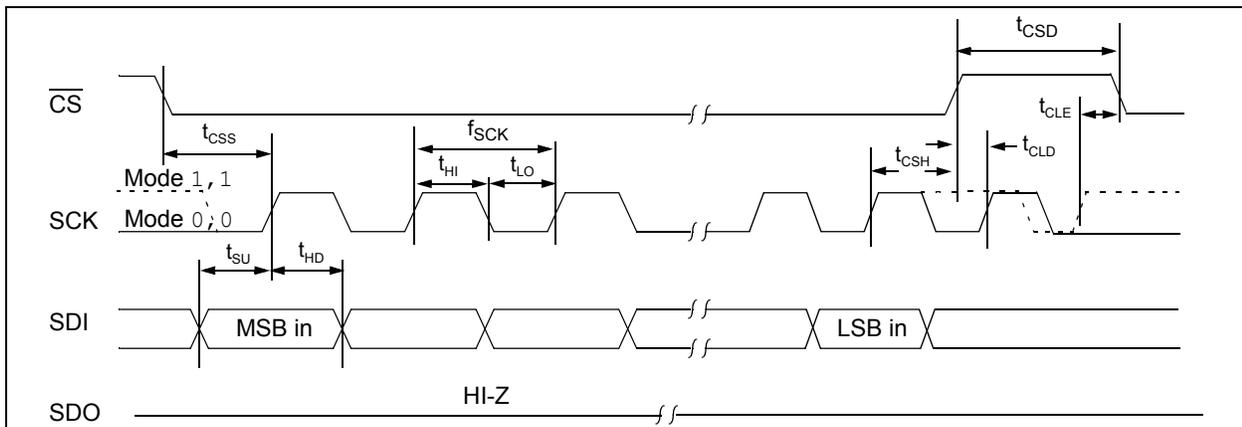


図 1-2: シリアル入力のタイミング図

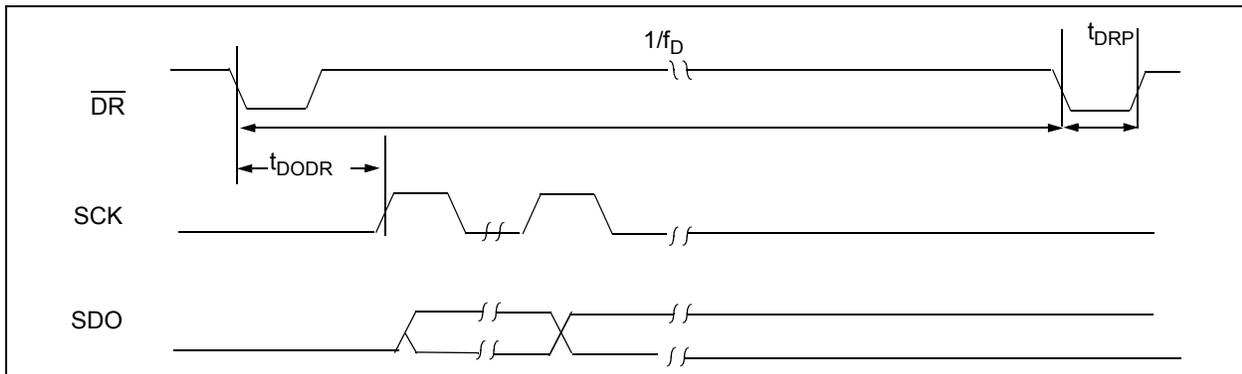


図 1-3: データレディ パルス / サンプリングのタイミング図

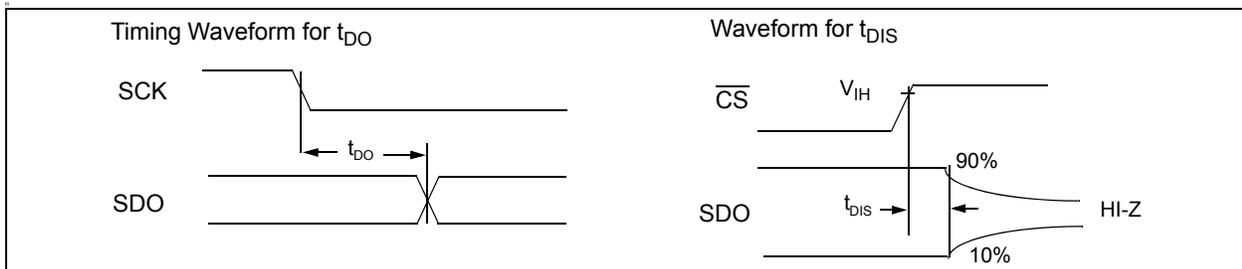


図 1-4: タイミング図 (続き)

2.0 代表性能曲線

Note: 下図表は限られたサンプル数に基づく統計的な結果であり、情報の提供のみを目的とします。ここに記載する性能特性は検証されておらず、保証されません。下図表の一部には、仕様動作レンジ外で計測されたデータも含まれます(例:仕様レンジ外の電源を使用)。従ってこれらのデータは保証範囲外です。

Note: 特に明記しない限り、次の条件を適用します: $AV_{DD} = 3\text{ V}$ 、 $DV_{DD} = 3\text{ V}$ 、 $T_A = +25^\circ\text{C}$ 、 $MCLK = 4\text{ MHz}$ 、プリスケール = 1、 $OSR = 256$ 、ゲイン = 1、ディザリング = 最大、 $V_{IN} = -0.5\text{ dBFS @ }60\text{ Hz}$ (全チャンネル)、 $VREFEXT = 0$ 、 $CLKEXT = 1$ 、 $BOOST<1:0> = 10$

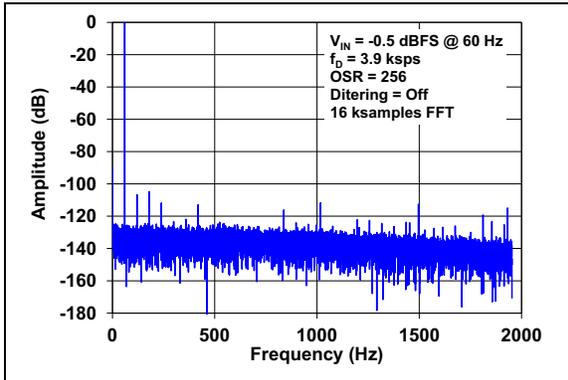


図 2-1: スペクトル応答

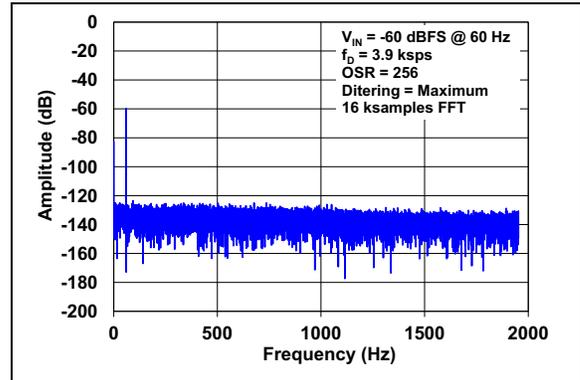


図 2-4: スペクトル応答

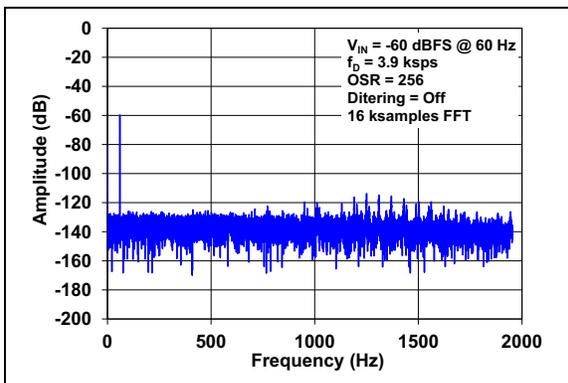


図 2-2: スペクトル応答

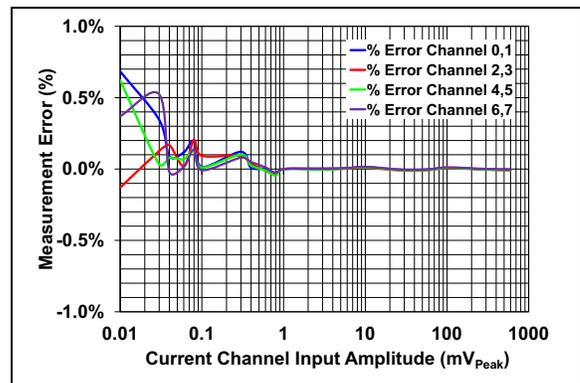


図 2-5: 1点校正時の計測誤差

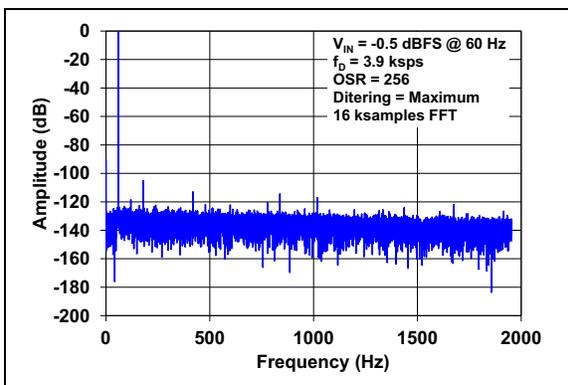


図 2-3: スペクトル応答

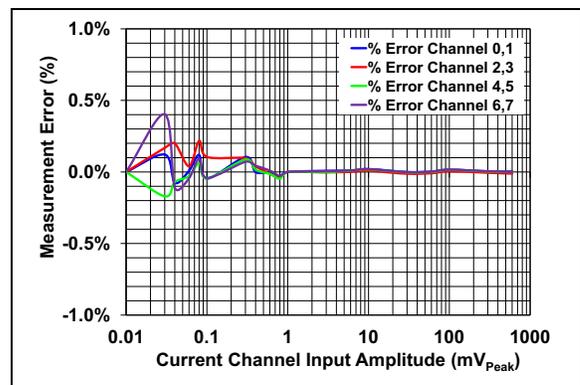


図 2-6: 2点校正時の計測誤差

MCP3914

Note: 特に明記しない限り、次の条件を適用します : $AV_{DD} = 3V$ 、 $DV_{DD} = 3V$ 、 $T_A = +25^\circ C$ 、 $MCLK = 4MHz$ 、 $プリスケール = 1$ 、 $OSR = 256$ 、 $ゲイン = 1$ 、 $ディザリング = 最大$ 、 $V_{IN} = -0.5 dBFS @ 60 Hz$ (全チャンネル)、 $V_{REFEXT} = 0$ 、 $CLKEXT = 1$ 、 $BOOST<1:0> = 10$

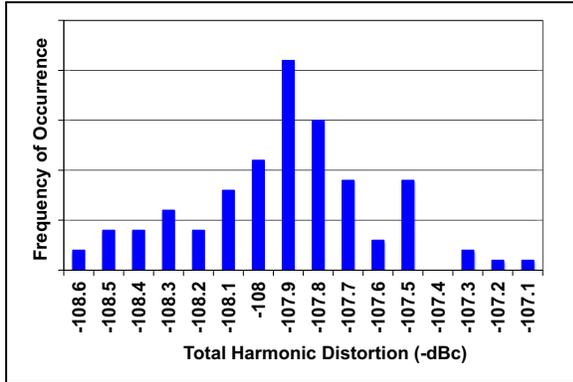


図 2-7: THD の繰り返し性ヒストグラム

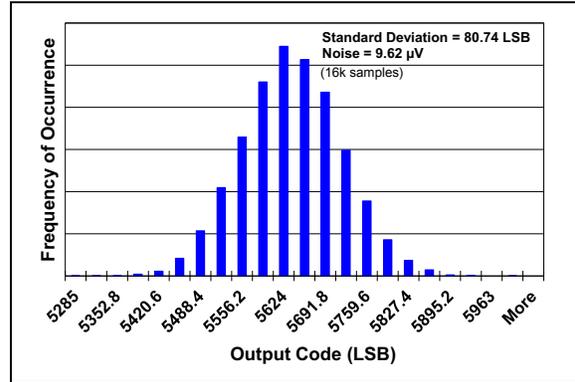


図 2-10: 出カノイズのヒストグラム

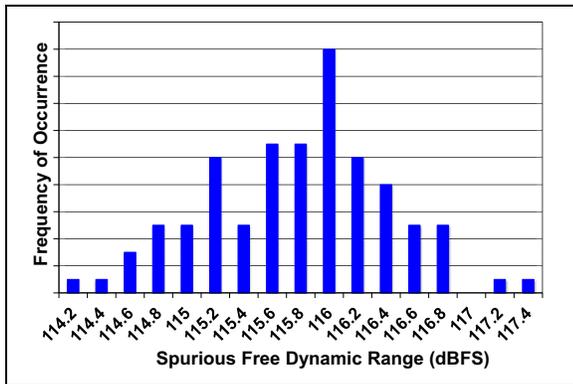


図 2-8: スプリアスフリー ダイナミックレンジの繰り返し性ヒストグラム

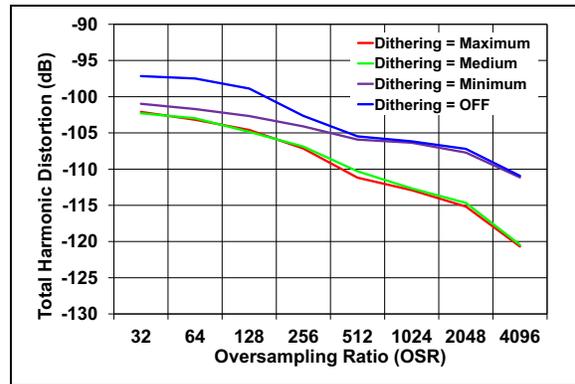


図 2-11: OSR に対する THD

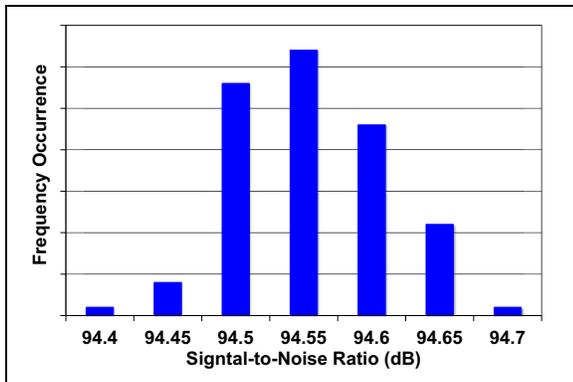


図 2-9: SINAD の繰り返し性ヒストグラム

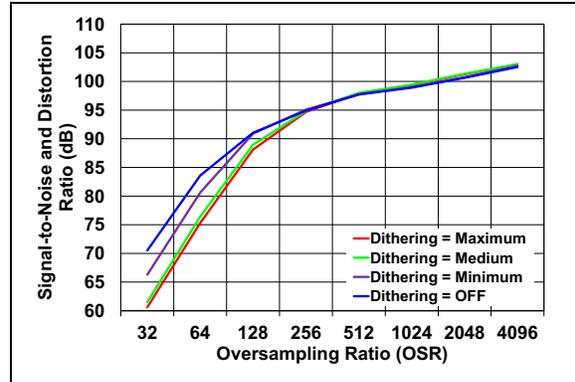


図 2-12: OSR に対する SINAD

Note: 特に明記しない限り、次の条件を適用します : $AV_{DD} = 3V$ 、 $DV_{DD} = 3V$ 、 $T_A = +25^\circ C$ 、 $MCLK = 4MHz$ 、 $プリスケール = 1$ 、 $OSR = 256$ 、 $ゲイン = 1$ 、 $ディザリング = 最大$ 、 $V_{IN} = -0.5 dBFS @ 60 Hz$ (全チャンネル)、 $VREFEXT = 0$ 、 $CLKEXT = 1$ 、 $BOOST <1:0> = 10$

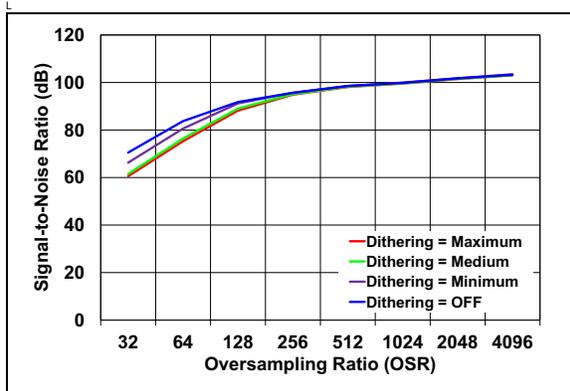


図 2-13: OSR に対する SNR

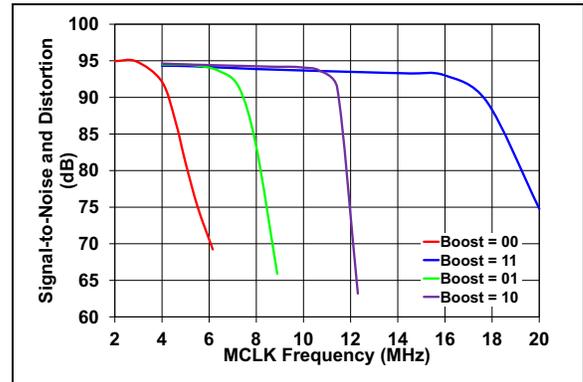


図 2-16: MCLK に対する SINAD

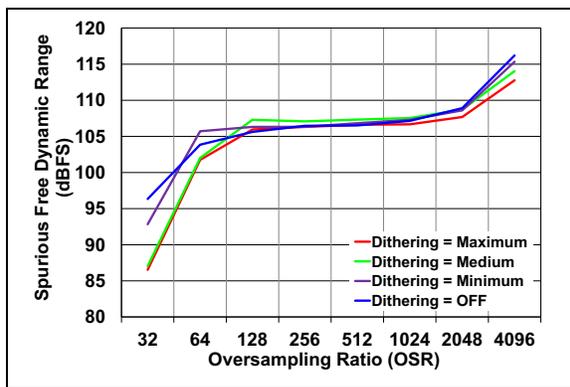


図 2-14: OSR に対する SFDR

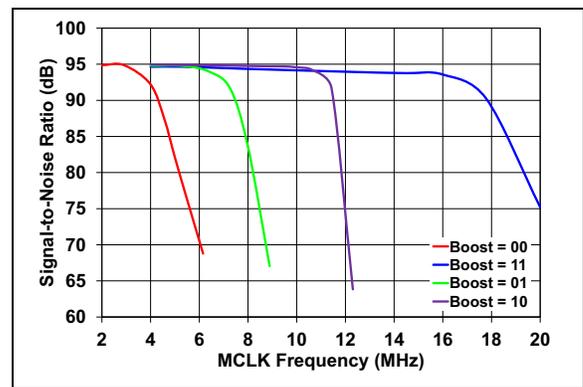


図 2-17: MCLK に対する SNR

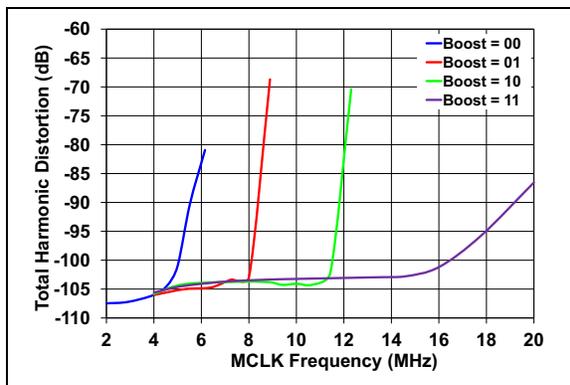


図 2-15: MCLK に対する THD

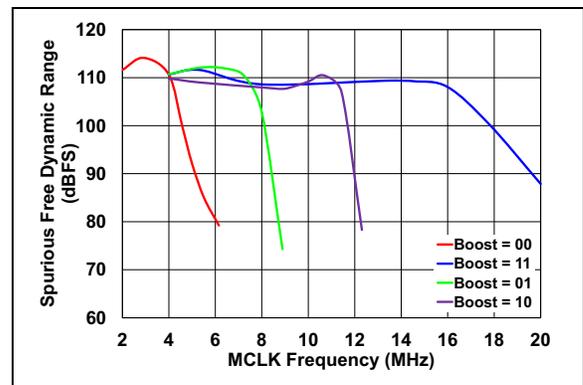


図 2-18: MCLK に対する SFDR

MCP3914

Note: 特に明記しない限り、次の条件を適用します : $AV_{DD} = 3V$ 、 $DV_{DD} = 3V$ 、 $T_A = +25^\circ C$ 、 $MCLK = 4MHz$ 、
 プリスケール = 1、OSR = 256、ゲイン = 1、ディザリング = 最大、 $V_{IN} = -0.5 dBFS @ 60 Hz$ (全チャンネル)、
 $V_{REFEXT} = 0$ 、 $CLKEXT = 1$ 、 $BOOST<1:0> = 10$

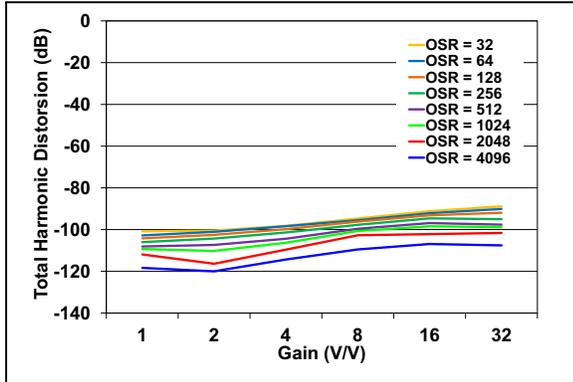


図 2-19: ゲインに対する THD

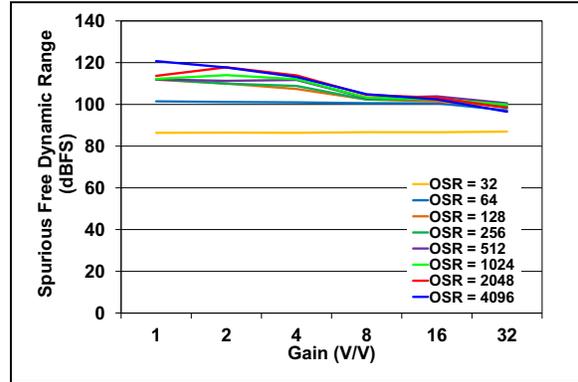


図 2-22: ゲインに対する SFDR

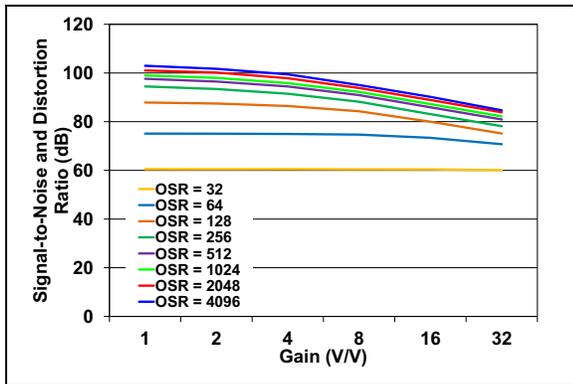


図 2-20: ゲインに対する SINAD

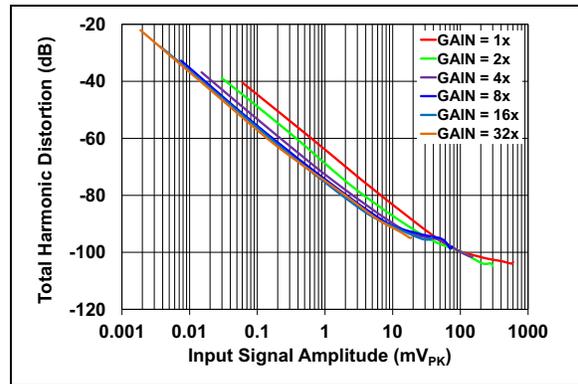


図 2-23: 入力信号振幅に対する THD

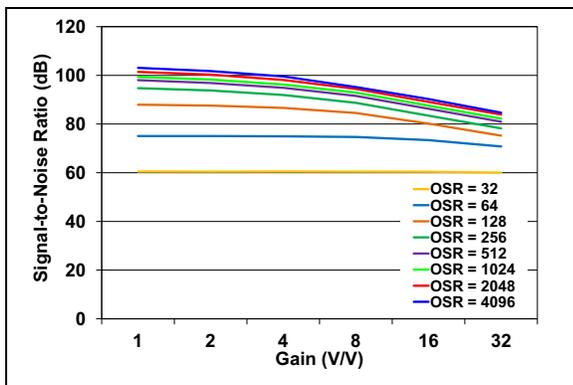


図 2-21: ゲインに対する SNR

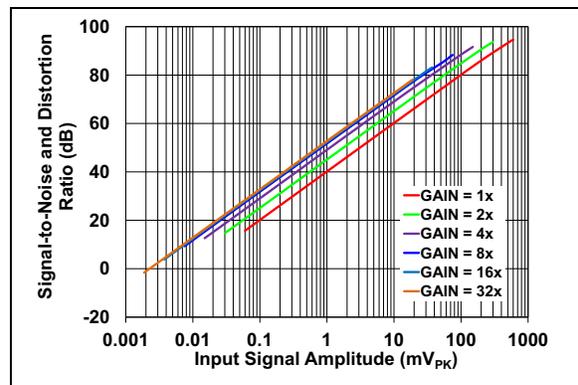


図 2-24: 入力信号振幅に対する SINAD

Note: 特に明記しない限り、次の条件を適用します : $AV_{DD} = 3\text{ V}$ 、 $DV_{DD} = 3\text{ V}$ 、 $T_A = +25^\circ\text{C}$ 、 $MCLK = 4\text{ MHz}$ 、 $\text{プリスケール} = 1$ 、 $\text{OSR} = 256$ 、 $\text{ゲイン} = 1$ 、 $\text{ディザリング} = \text{最大}$ 、 $V_{IN} = -0.5\text{ dBFS @ } 60\text{ Hz}$ (全チャンネル)、 $VREFEXT = 0$ 、 $CLKEXT = 1$ 、 $\text{BOOST} <1:0> = 10$

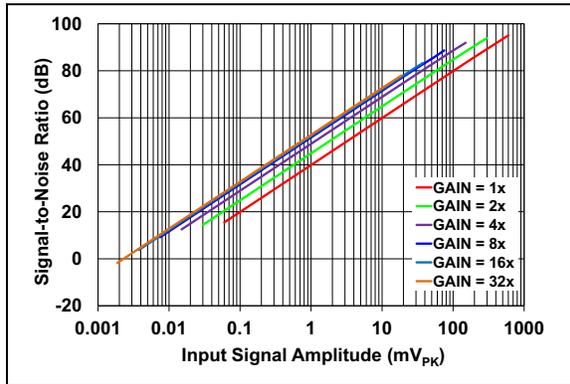


図 2-25: 入力信号振幅に対する SNR

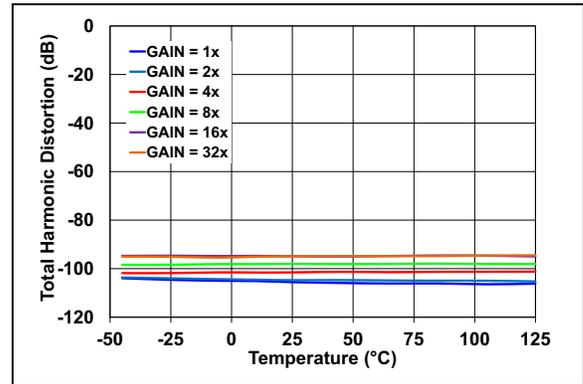


図 2-28: 温度に対する THD

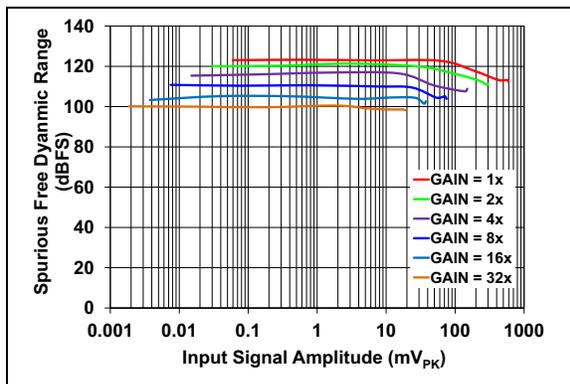


図 2-26: 入力信号振幅に対する SFDR

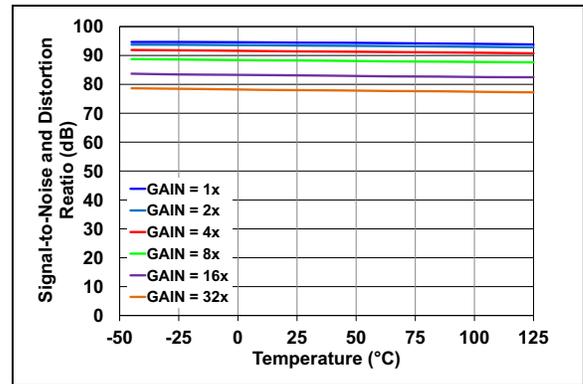


図 2-29: 温度に対する SINAD

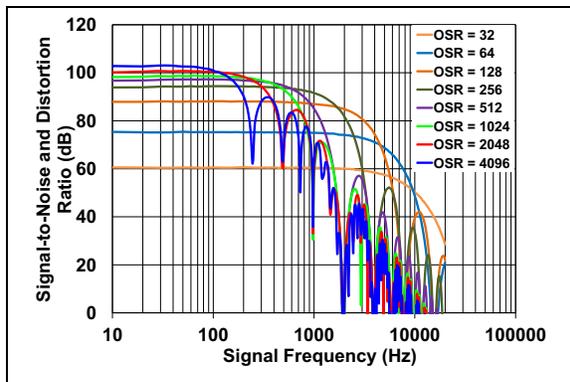


図 2-27: 入力周波数に対する SINAD

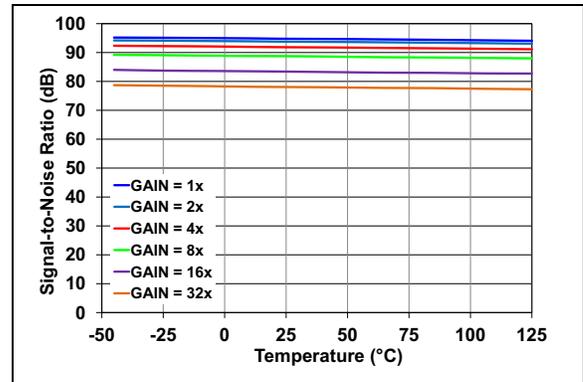


図 2-30: 温度に対する SNR

MCP3914

Note: 特に明記しない限り、次の条件を適用します : $AV_{DD} = 3V$ 、 $DV_{DD} = 3V$ 、 $T_A = +25^\circ C$ 、 $MCLK = 4MHz$ 、 $プリスケール = 1$ 、 $OSR = 256$ 、 $ゲイン = 1$ 、 $ディザリング = 最大$ 、 $V_{IN} = -0.5 dBFS @ 60 Hz$ (全チャンネル)、 $VREFEXT = 0$ 、 $CLKEXT = 1$ 、 $BOOST<1:0> = 10$

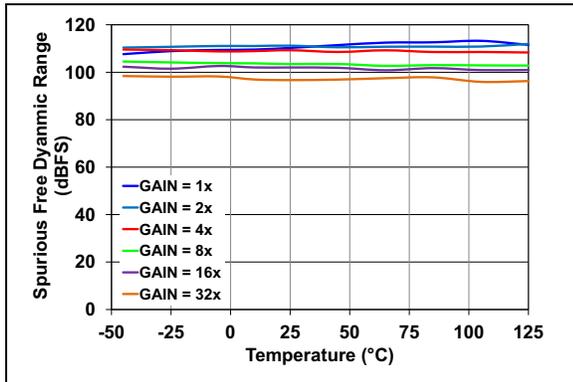


図 2-31: 温度に対する SFDR

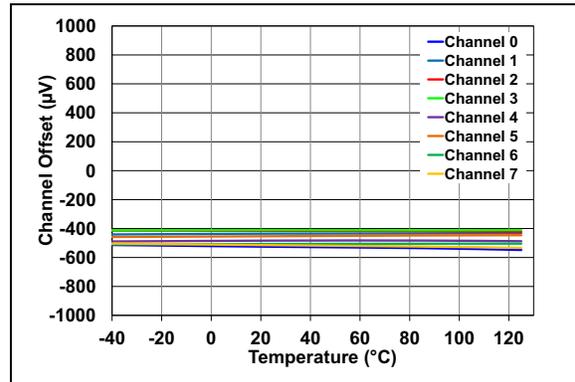


図 2-34: 温度に対するチャンネル オフセット マッチング

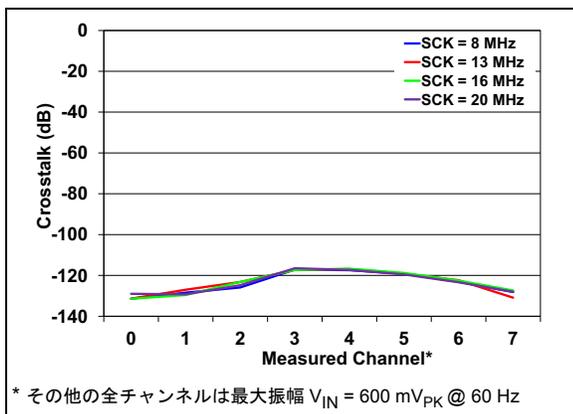


図 2-32: 計測チャンネルに対するクロストーク

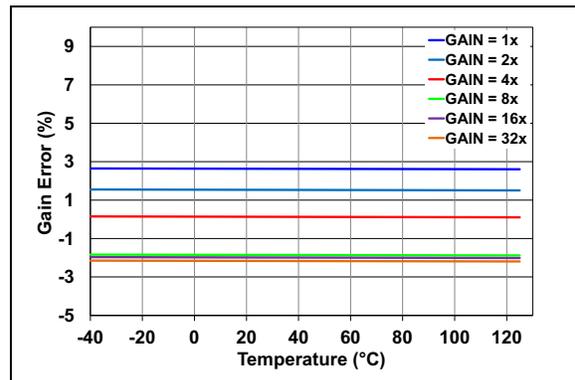


図 2-35: 各ゲインでの温度に対するゲイン誤差

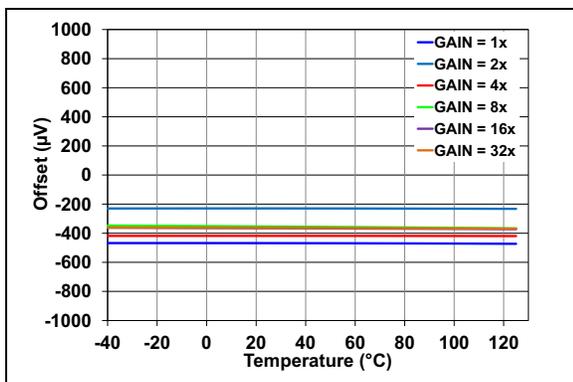


図 2-33: 各ゲインでの温度に対するオフセット

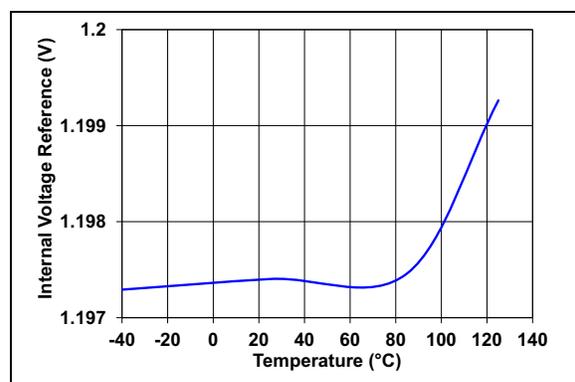


図 2-36: 温度に対する内部参照電圧

Note: 特に明記しない限り、次の条件を適用します : $AV_{DD} = 3\text{ V}$ 、 $DV_{DD} = 3\text{ V}$ 、 $T_A = +25^\circ\text{C}$ 、 $MCLK = 4\text{ MHz}$ 、 $\text{プリスケール} = 1$ 、 $\text{OSR} = 256$ 、 $\text{ゲイン} = 1$ 、 $\text{ディザリング} = \text{最大}$ 、 $V_{IN} = -0.5\text{ dBFS @ } 60\text{ Hz}$ (全チャンネル)、 $V_{REFEXT} = 0$ 、 $\text{CLKEXT} = 1$ 、 $\text{BOOST} <1:0> = 10$

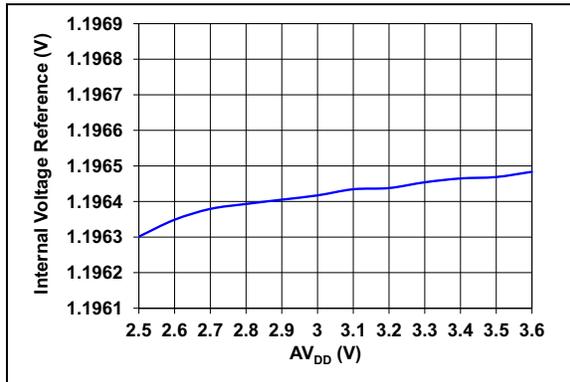


図 2-37: 電源電圧に対する内部参照電圧

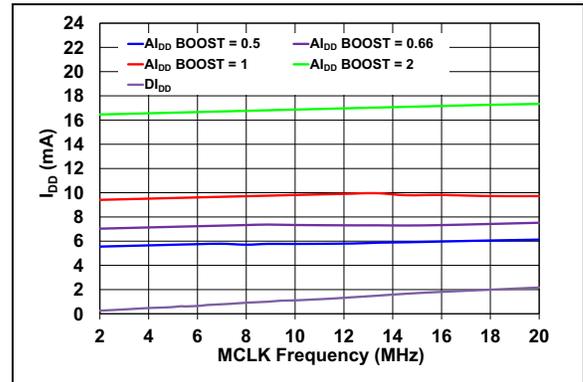


図 2-40: 各 BOOST 設定での MCLK 周波数に対する動作電流、 $V_{DD} = 3.3\text{ V}$

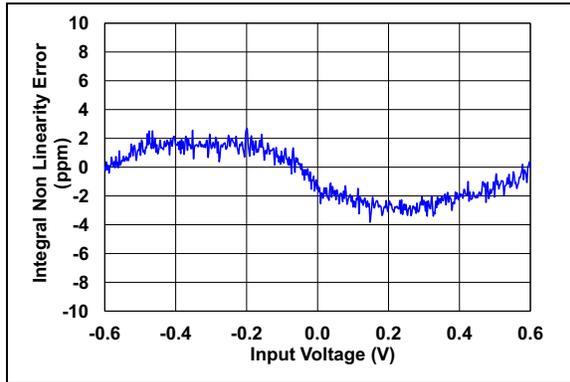


図 2-38: 積分非直線性 (ディザリング最大)

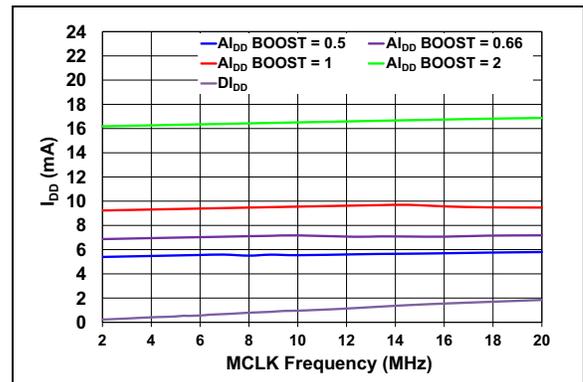


図 2-41: 各 BOOST 設定での MCLK 周波数に対する動作電流、 $V_{DD} = 2.7\text{ V}$

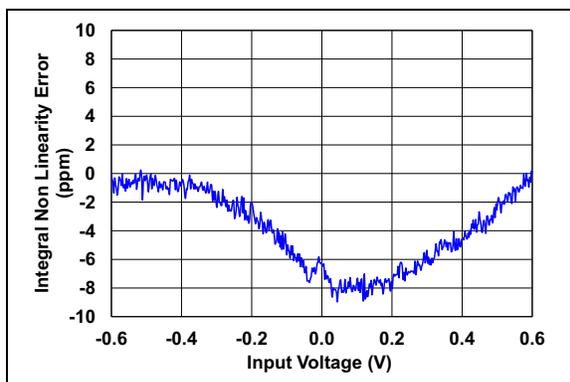


図 2-39: 積分非直線性 (ディザリング OFF)

MCP3914

NOTES:

3.0 ピンの説明

表 3-1 に、ピンの説明を示します。

表 3-1: 8 チャンネル MCP3914 ピン機能

MCP3914 UQFN	記号	機能
1	CH2+	チャンネル 2 の非反転アナログ入力ピン
2	CH2-	チャンネル 2 の反転アナログ入力ピン
3	CH3-	チャンネル 3 の反転アナログ入力ピン
4	CH3+	チャンネル 3 の非反転アナログ入力ピン
5	NC	未接続
6	NC	未接続
7	CH4+	チャンネル 4 の非反転アナログ入力ピン
8	CH4-	チャンネル 4 の反転アナログ入力ピン
9	CH5-	チャンネル 5 の反転アナログ入力ピン
10	CH5+	チャンネル 5 の非反転アナログ入力ピン
11	CH6+	チャンネル 6 の非反転アナログ入力ピン
12	CH6-	チャンネル 6 の反転アナログ入力ピン
13	CH7-	チャンネル 7 の反転アナログ入力ピン
14	CH7+	チャンネル 7 の非反転アナログ入力ピン
15	REFIN+/OUT	参照電圧非反転入力 / 内部参照電圧出力用のピン
16	REFIN-	参照電圧の反転入力ピン
17	A _{GND}	アナロググランドピン、内部アナログ回路の戻り経路
18	AV _{DD}	アナログ電源ピン
19	NC	未接続
20	DV _{DD}	デジタル電源ピン
21	D _{GND}	デジタルグランドピン、内部デジタル回路の戻り経路
22	$\overline{\text{DR}}$	データレディ信号の出力ピン
23	NC	未接続
24	D _{GND}	デジタルグランドピン、内部デジタル回路の戻り経路
25	OSC1/CLKI	水晶振動子の接続ピンまたは外部クロック入力ピン
26	OSC2	水晶振動子の接続ピン
27	$\overline{\text{CS}}$	シリアルインターフェイスのチップセレクトピン
28	SCK	シリアルインターフェイスのクロック入力ピン
29	SDO	シリアルインターフェイスのデータ出力ピン
30	SDI	シリアルインターフェイスのデータ入力ピン
31	$\overline{\text{RESET}}$	マスタリセット論理入力ピン
32	D _{GND}	デジタルグランドピン、内部デジタル回路の戻り経路
33	DV _{DD}	デジタル電源ピン
34	NC	未接続
35	AV _{DD}	アナログ電源ピン
36	A _{GND}	アナロググランドピン、内部アナログ回路の戻り経路
37	CH0+	チャンネル 0 の非反転アナログ入力ピン
38	CH0-	チャンネル 0 の反転アナログ入力ピン
39	CH1-	チャンネル 1 の反転アナログ入力ピン
40	CH1+	チャンネル 1 の非反転アナログ入力ピン
41	EP	露出サーマルパッド、A _{GND} に接続するかフローティングにする必要あり

MCP3914

3.1 ADC 差動アナログ入力 (CHn+/CHn-)

CHn+/- ピン (n = 0 ~ 7) は、 $\Delta\Sigma$ 型 ADC に入力する 8 本の差動アナログ電圧です。

これらのチャンネルの線形領域と仕様領域は PGA ゲインで異なります。この領域は ± 600 mV/ゲイン ($V_{REF}=1.2$ V) の差動電圧レンジに対応します。

A_{GND} を基準とする各 CHn+/- 入力ピンの最大絶対電圧は、歪みなしの場合 ± 1 V、電圧の連続印加後に破損しない値は ± 2 V です。この最大絶対電圧は V_{REF} 電圧に比例しません。

3.2 参照電圧の非反転入力、内部参照電圧の出力 (REFIN+/OUT)

このピンは、全ての ADC で使う差動参照電圧の非反転側入力または内部参照電圧の出力です。

$V_{REFEXT} = 1$ の場合、内部参照電圧を無効にして外部参照電圧源を使えます。外部の差動参照電圧を使う場合、その V_{REF+} をこのピンに接続します。外部のシングルエンド参照電圧を使う場合もこのピンに接続します。

$V_{REFEXT} = 0$ の場合、内部参照電圧が有効になり、スイッチを介してこのピンに接続されます。この参照電圧は最小限の駆動能力しか持たないため、電圧源として使うには適切なバッファリングとバイパスコンデンサが必要です (ほとんどの場合、 $0.1 \mu\text{F}$ のセラミックコンデンサで十分です)。

参照電圧を内部 V_{REF} として使うだけであれば、REFIN+/OUT ピンにバイパスコンデンサを追加しなくても ADC の精度を保てます。しかし、REFIN+/OUT ピンをフローティングのままにすると、ピンがアンテナを形成して EMI/EMC に敏感になるといった問題が生じます。この問題は、 $0.1 \mu\text{F}$ 以上のセラミックコンデンサをピンに接続する事で防げます。

3.3 参照電圧の反転入力 (REFIN-)

このピンは、全ての ADC で使う差動参照電圧の反転側入力です。外部の差動参照電圧を使う場合、その V_{REF-} をこのピンに接続します。外部のシングルエンド参照電圧を使う場合、または内部参照電圧を使う場合 ($V_{REFEXT} = 0$ 、既定値)、このピンは A_{GND} へ直接接続する必要があります。

3.4 アナログ電源 (AV_{DD})

AV_{DD} は MCP3914 内部のアナログ回路で使う電源電圧です。複数のピン (ピン 18 および 35) に分配されています。最適の性能を得るには、これらのピンをスター型に接続し、適切なバイパスコンデンサ (通常 $0.1 \mu\text{F}$ セラミックと並列に $10 \mu\text{F}$) を接続します。仕様通りに動作させるには、 AV_{DD} を $2.7 \sim 3.6$ V に維持する必要があります。

デバイスの適切な機能を保証するには、これらのピンのどれか 1 本は適切に接続する必要があります。デバイスの最適性能を確保するには、これらのピンの全て

を適切に接続する必要があります。これらのピンのどれかをフローティングのままにすると、精度およびノイズの仕様を保証できません。

3.5 アナロググランド (A_{GND})

A_{GND} は、MCP3914 内部のアナログ回路で使うグランド参照電圧です。複数のピン (ピン 17 および 36) に分配されています。最適性能を得るには、これらのピンをスター型に接続し、それを D_{GND} と同じグランドノード電圧に、可能ならばこちらにもスター型に接続する事を推奨します。

デバイスの適切な機能を保証するには、これらのピンのどれか 1 本は適切に接続する必要があります。デバイスの最適性能を確保するには、これらのピンの全てを適切に接続する必要があります。これらのピンのどれかをフローティングのままにすると、精度およびノイズの仕様を保証できません。プリント基板にアナロググランドプレーンが存在する場合、これらのピンをそのプレーンに接続する事を推奨します。このプレーンは、システム内の他のアナログ回路全てに対しても基準電位とする必要があります。

3.6 デジタル電源 (DV_{DD})

DV_{DD} は MCP3914 内部のデジタル回路で使う電源電圧です。複数のピン (ピン 20 および 33) に分配されています。最適の性能を得るには、これらのピンをスター型に接続し、適切なバイパスコンデンサ (通常 $0.1 \mu\text{F}$ セラミックと並列に $10 \mu\text{F}$) を接続する事を推奨します。仕様通りに動作させるには、 DV_{DD} を $2.7 \sim 3.6$ V に維持する必要があります。

デバイスの適切な機能を保証するには、これらのピンのどれか 1 本は適切に接続する必要があります。デバイスの最適性能を確保するには、これらのピンの全てを適切に接続する必要があります。これらのピンのどれかをフローティングのままにすると、精度およびノイズの仕様を保証できません。

3.7 デジタルグランド (D_{GND})

D_{GND} は、MCP3914 内部のデジタル回路で使うグランド参照電圧です。複数のピン (ピン 21、24、32) に分配されています。最適性能を得るには、これらのピンをスター型に接続し、それを A_{GND} と同じグランドノード電圧に、可能ならばこちらにもスター型に接続します。

デバイスの適切な機能を保証するには、これらのピンのどれか 1 本は適切に接続する必要があります。デバイスの最適性能を確保するには、これらのピンの全てを適切に接続する必要があります。これらのピンのどれかをフローティングのままにすると、精度およびノイズの仕様を保証できません。プリント基板にデジタルグランドプレーンが存在する場合、これらのピンをそのプレーンに接続する事を推奨します。このプレーンはシステム内の他のデジタル回路全てに対しても基準電位とする必要があります。

3.8 データレディ出力 (\overline{DR})

データレディピンは、新しい変換結果の読み出しが可能かどうかを示します。このピンの既定値状態は、 $\overline{DR_HIZ} = 1$ の場合は論理 HIGH、 $\overline{DR_HIZ} = 0$ (既定値) の場合はハイ インピーダンスです。1 回の変換が終了するたびにデータレディピンで論理 LOW パルスが発生し、割り込みとして変換結果の読み出しが可能である事を示します。このパルスはマスタクロックと同期し、決められた一定のパルス幅を持ちます。

データレディピンは、SPI インターフェイスとは独立して、割り込み出力のように機能します。データレディピンの状態はラッチされず、パルス幅と周期は MCLK 周波数、オーバーサンプリング率、内部クロックのプリスケール設定で決まります。データレディのパルス幅は DMCLK の半周期に等しく、パルス周波数は DRCLK と同じです (図 1-3 参照)。

Note: $\overline{DR_HIZ}$ ビットが LOW の場合、このピンをフローティングのままにしないでください。この場合、100 k Ω のプルアップ抵抗を介して DV_{DD} に接続する事を推奨します。

3.9 オシレータとマスタクロック入力ピン (OSC1/CLKI)

OSC1/CLKI と OSC2 はデバイスにマスタクロックを提供します。CLKEXT = 0 の場合、正常な動作を確保するために、水晶振動子またはこれに準じる正弦波クロック源を OSC1 と OSC2 ピンの間に接続する必要があります。

クロック周波数の仕様代表値は 4 MHz です。適切に動作させ、ADC の精度を最適化するために、AMCLK は、表 5-2 に BOOST および PGA の設定値の関係として定義した最大周波数以下に制限する必要があります。プリスケララの設定 (PRE<1:0>) で AMCLK = MCLK/プリスケール値を表 5-2 に定義されたレンジ内に収める事ができる限り、MCLK を大きくできます。適正な動作を得るには、これらのピンに適正な負荷容量を接続する必要があります。

Note: CLKEXT = 1 の場合、水晶振動子オシレータは無効です。OSC1 は、外部クロック源のための直接経路となるマスタクロック入力 CLKI として機能します。例えば、MCU で生成されるクロック源です。

3.10 水晶振動子 (OSC2)

CLKEXT = 0 の場合 (既定値)、正常な動作を確保するために、水晶振動子またはこれに準じる正弦波クロック源を OSC1 と OSC2 ピンの間に接続する必要があります。適正な動作を得るには、これらのピンに適正な負荷容量を接続する必要があります。

CLKEXT = 1 の場合、このピンは常時 D_{GND} に接続しておく必要があります (ピンをフローティングのままにすると、内部プルダウンがこの機能を果たします)。

3.11 チップセレクト (\overline{CS})

このピンは、シリアル通信を有効にするシリアルペリフェラルインターフェイス (SPI) のチップセレクトです。このピンが論理 HIGH の間、通信はできません。シリアル通信はチップセレクトの立ち下がリエッジで始まり、立ち上がリエッジで終了します。 \overline{CS} が論理 LOW でも、RESET も論理 LOW であれば通信はできません。この入力はシュミットトリガです。

3.12 シリアルデータクロック (SCK)

SPI 通信に使うシリアルクロックピンです。データは SCK の立ち上がリエッジでデバイスにクロック入力されます。データは SCK の立ち下がリエッジでデバイスからクロック出力されます。

MCP3914 の SPI インターフェイスは SPI 0,0 および 1,1 の両モードに互換です。SPI モードは、 \overline{CS} の HIGH 期間中に変更できます。

最大クロック周波数の仕様値は 20 MHz です。SCK と MCLK は互いに非同期的に独立した 2 つのクロックです。SCK は通信の実行時にのみ必要となるのに対し、MCLK はデバイスがアナログ入力を変換している間、常に必要です。

この入力はシュミットトリガです。

3.13 シリアルデータ出力 (SDO)

SPI データ出力ピンです。データは SCK の立ち下がリエッジでデバイスからクロック出力されます。

このピンは、コマンドバイト中にハイ インピーダンスを維持します。書き込みコマンド通信の全期間、および \overline{CS} ピンが論理 HIGH または RESET ピンが論理 LOW の場合にもハイ インピーダンスを維持します。このピンは読み出しコマンドの処理中にのみアクティブになります。インターフェイスは半二重です (入力と出力の同時発生なし)。

3.14 シリアルデータ入力 (SDI)

SPI データ入力ピンです。データは SCK の立ち上がリエッジでデバイスにクロック入力されます。 \overline{CS} が論理 LOW の時、このピンを一連の 8 ビットコマンドによる通信に使用します。インターフェイスは半二重です (入力と出力の同時発生なし)。

各通信はチップセレクトの立ち下がリエッジで始まり、その後 8 ビットのコマンドワードが SDI ピンから入力されます。各コマンドは「読み出し」コマンドか「書き込み」コマンドのどちらかです。読み出しコマンド後または \overline{CS} が論理 HIGH の間、SDI のトグルは無視されます。

この入力はシュミットトリガです。

3.15 マスタリセット ($\overline{\text{RESET}}$)

このピンはアクティブLOWです。このピンがアクティブになるとチップ全体がリセット状態に移行します。

$\overline{\text{RESET}}$ が論理 LOW の時、全てのレジスタは既定値にリセットされ、通信はできなくなります。また、デバイス内部にクロックは供給されません。ただし、MCLK が供給されている場合、入力構造にはクロックが供給されます (MCLK がアイドルの場合、クロックは一切供給されません)。この状態はパワーオン リセット (POR) 状態と等価です。

ADC の既定値状態は ON であるため、 $\overline{\text{RESET}}$ が論理 LOW の場合のアナログ消費電力は、 $\overline{\text{RESET}}$ が論理 HIGH の場合と同じです。リセット状態では、デジタル消費電力だけが大幅に減少します。これは、この電流消費が基本的に動的であり、クロックが動作していない時に大幅に減少するためです。

全てのアナログバイアスはリセット中も有効です。このため、 $\overline{\text{RESET}}$ が論理 LOW の時に MCLK が印加されていれば、 $\overline{\text{RESET}}$ の立ち上がりエッジ直後からデバイスは完全に動作可能です。MCLK を印加していないと、変換が不正確になる恐れのある期間がハードリセット後に生じます。この期間は入力構造の起動時間に対応しています。

この入力シュミットトリガです。

3.16 露出サーマルパッド

適切に動作させるには、このピンを A_{GND} に接続するかフローティングのままにする必要があります。ノイズを最小限に抑え、最適の熱特性を得るには A_{GND} に接続する事を推奨します。

4.0 用語と計算式

このセクションでは、本データシートで使う下記の用語と計算式を定義します。次の用語の定義について説明します。

- MCLK - マスタクロック
- AMCLK - アナログ マスタクロック
- DMCLK - デジタル マスタクロック
- DRCLK - データレート クロック
- OSR - オーバーサンプリング率
- オフセット誤差
- ゲイン誤差
- 積分非直線性誤差
- S/N 比 (SNR)
- SINAD
- 全高調波歪み (THD)
- スプリアスフリー ダイナミック レンジ (SFDR)
- MCP3914 の ΔΣ 型アーキテクチャ
- アイドルトーン
- ディザリング
- クロストーク
- PSRR
- CMRR
- ADC リセットモード
- ハードリセット モード (RESET = 0)
- ADC シャットダウン モード
- フル シャットダウン モード
- 計測誤差

4.1 MCLK - マスタクロック

これはデバイス内で最速のクロックです。マスタクロックの周波数は、CLKEXT = 0 の場合は OSC1/OSC2 入力に接続された水晶振動子の周波数、CLKEXT = 1 の場合は OSC1/CLKI に入力されるクロックの周波数です。図 4-1 を参照してください。

4.2 AMCLK - アナログ マスタクロック

AMCLK はデバイスのアナログ部に供給されるクロック周波数です。このクロックの周波数は、CONFIG0 PRE<1:0> レジスタビットによるプリスケール後の周波数です (式 4-1 参照)。アナログ部は PGA と ΔΣ 型モジュレータを含みます。

式 4-1:

$$AMCLK = \frac{MCLK}{PRESCALE}$$

表 4-1: MCP3914 のオーバーサンプリング率の設定

設定		アナログ マスタクロック プリスケール
PRE<1:0>		
0	0	AMCLK = MCLK/1 (既定値)
0	1	AMCLK = MCLK/2
1	0	AMCLK = MCLK/4
1	1	AMCLK = MCLK/8

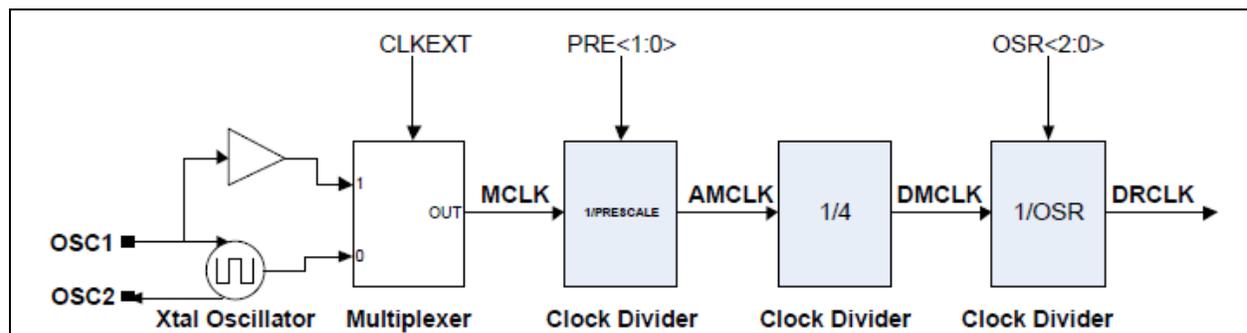


図 4-1: クロック部の回路

4.3 DMCLK - デジタル マスタクロック

これは、デバイスのデジタル部に供給されるクロックです。MCLK をプリスケールし、さらに 4 分周したクロック周波数です (式 4-2)。この周波数はサンプリング周波数でもあり、モジュレータ出力はこの周波数で更新されます。このクロックの周期が、1 つのサンプルおよびモジュレータ出力に対応します。図 4-1 を参照してください。

式 4-2:

$$DMCLK = \frac{AMCLK}{4} = \frac{MCLK}{4 \times PRESCALE}$$

4.4 DRCLK - データレート クロック

これは出力データレートです。ADC はこのデータレートで出力を更新します。データが更新されるたびに、DR ピンでデータレディパルスが生成されます。このデータレートは OSR とプリスケールで決まり、式 4-3 で求めます。

式 4-3:

$$DRCLK = \frac{DMCLK}{OSR} = \frac{AMCLK}{4 \times OSR} = \frac{MCLK}{4 \times OSR \times PRESCALE}$$

MCP3914

これは出力データレートであり、かつデシメーションフィルタはSINC(またはノッチ)フィルタであるため、このデータレートの整数倍の周波数でフィルタ伝達関数にノッチが発生します。

表 4-2 に、OSR とプリスケール値の各種の組み合わせに対する AMCLK、DMCLK、DRCLK のレートを示します。

表 4-2: MCLK、OSR、プリスケール値の組み合わせに対するデバイスのデータレート、MCLK = 4 MHz

PRE<1:0>		OSR <2:0>			OSR	AMCLK	DMCLK	DRCLK	DRCLK (ksp/s)	SINAD (dB) Note 1	SINAD の ENOB (bit) Note 1
1	1	1	1	1	4096	MCLK/8	MCLK/32	MCLK/131072	.035	102.5	16.7
1	1	1	1	0	2048	MCLK/8	MCLK/32	MCLK/65536	.061	100	16.3
1	1	1	0	1	1024	MCLK/8	MCLK/32	MCLK/32768	.122	97	15.8
1	1	1	0	0	512	MCLK/8	MCLK/32	MCLK/16384	.244	96	15.6
1	1	0	1	1	256	MCLK/8	MCLK/32	MCLK/8192	0.488	95	15.5
1	1	0	1	0	128	MCLK/8	MCLK/32	MCLK/4096	0.976	91	14.8
1	1	0	0	1	64	MCLK/8	MCLK/32	MCLK/2048	1.95	84	13.6
1	1	0	0	0	32	MCLK/8	MCLK/32	MCLK/1024	3.9	70	11.3
1	0	1	1	1	4096	MCLK/4	MCLK/16	MCLK/65536	.061	102.5	16.7
1	0	1	1	0	2048	MCLK/4	MCLK/16	MCLK/32768	.122	100	16.3
1	0	1	0	1	1024	MCLK/4	MCLK/16	MCLK/16384	.244	97	15.8
1	0	1	0	0	512	MCLK/4	MCLK/16	MCLK/8192	.488	96	15.6
1	0	0	1	1	256	MCLK/4	MCLK/16	MCLK/4096	0.976	95	15.5
1	0	0	1	0	128	MCLK/4	MCLK/16	MCLK/2048	1.95	91	14.8
1	0	0	0	1	64	MCLK/4	MCLK/16	MCLK/1024	3.9	84	13.6
1	0	0	0	0	32	MCLK/4	MCLK/16	MCLK/512	7.8125	70	11.3
0	1	1	1	1	4096	MCLK/2	MCLK/8	MCLK/32768	.122	102.5	16.7
0	1	1	1	0	2048	MCLK/2	MCLK/8	MCLK/16384	.244	100	16.3
0	1	1	0	1	1024	MCLK/2	MCLK/8	MCLK/8192	.488	97	15.8
0	1	1	0	0	512	MCLK/2	MCLK/8	MCLK/4096	.976	96	15.6
0	1	0	1	1	256	MCLK/2	MCLK/8	MCLK/2048	1.95	95	15.5
0	1	0	1	0	128	MCLK/2	MCLK/8	MCLK/1024	3.9	91	14.8
0	1	0	0	1	64	MCLK/2	MCLK/8	MCLK/512	7.8125	84	13.6
0	1	0	0	0	32	MCLK/2	MCLK/8	MCLK/256	15.625	70	11.3
0	0	1	1	1	4096	MCLK	MCLK/4	MCLK/16384	.244	102.5	16.7
0	0	1	1	0	2048	MCLK	MCLK/4	MCLK/8192	.488	100	16.3
0	0	1	0	1	1024	MCLK	MCLK/4	MCLK/4096	.976	97	15.8
0	0	1	0	0	512	MCLK	MCLK/4	MCLK/2048	1.95	96	15.6
0	0	0	1	1	256	MCLK	MCLK/4	MCLK/1024	3.9	95	15.5
0	0	0	1	0	128	MCLK	MCLK/4	MCLK/512	7.8125	91	14.8
0	0	0	0	1	64	MCLK	MCLK/4	MCLK/256	15.625	84	13.6
0	0	0	0	0	32	MCLK	MCLK/4	MCLK/128	31.25	70	11.3

Note 1: OSR = 32 および 64 の場合、ディザリングは OFF です。OSR = 128 以上の場合、ディザリングは最大です。SINAD 値はゲイン = 1 の場合の値です。

4.5 OSR - オーバーサンプリング率

オーバーサンプリング率とは、出力データレートに対するサンプリング周波数の倍率です (OSR = DMCLK/DRCLK)。OSR<2:0>の既定値は256です。つまり、MCLK = 4 MHz、プリスケール = 1、AMCLK = 4 MHz、 $f_S = 1$ MHz、 $f_D = 3.90625$ ksp/s に設定されます。表 4-3 に示す通り、CONFIG0 レジスタの OSR<2:0> ビットを使い、オーバーサンプリング率 (OSR) を変更します。

表 4-3: MCP3914 のオーバーサンプリング率の設定

OSR <2:0>			オーバーサンプリング率 OSR
0	0	0	32
0	0	1	64
0	1	0	128
0	1	1	256 (既定値)
1	0	0	512
1	0	1	1024
1	1	0	2048
1	1	1	4096

4.6 オフセット誤差

オフセット誤差は入力を短絡 ($V_{IN} = 0$ V) した時に ADC によって生じる誤差です。仕様値は PGA と ADC オフセットの両方の影響を考慮しています。この誤差は PGA と OSR の設定によって変化します。オフセットはチャンネルごとに異なり、チップによっても異なります。オフセット仕様の単位は μ V です。オフセット誤差は、OFFCAL_CHn レジスタで 24 ビットの校正ワードを使い、チャンネルごとに個別にデジタル補償できます。

MCP3914 のオフセットの温度係数は低く抑えられています。

4.7 ゲイン誤差

これは ADC の伝達関数の傾きによって生じる誤差です。この誤差は式 5-3 で定義される理想的な伝達関数に対する偏差 (%) を表します。仕様値は PGA と ADC ゲイン誤差の両方の影響を含みますが、 V_{REF} の影響は含みません (計測には外部の V_{REF} を使うため)。

この誤差は PGA と OSR の設定によって変化します。ゲイン誤差は、GAINCAL_CHn レジスタで 24 ビットの校正ワードを使い、チャンネルごとに個別にデジタル補償できます。

MCP3914 のゲイン誤差の温度係数は低く抑えられています。

4.8 積分非直線性誤差

積分非直線性誤差は、オフセット誤差とゲイン誤差を取り除いた (端点を 0 とした) 理想的伝達関数から ADC の遷移点までの最大偏差を表します。

これは、オフセット誤差とゲイン誤差の校正後の、DC 入力信号に対する最大残留誤差です。

4.9 S/N 比 (SNR)

MCP3914 の ADC では、所定周波数の正弦波信号を入力した時の、出力における基本周波数信号電力 (信号の高調波成分は含まない) とノイズ電力の比を S/N 比としています (式 4-4 参照)。計測単位は dB です。通常、S/N 比の最大値だけを仕様に表示します。S/N 比 (SNR) には、主にデバイスの OSR と DITHER の設定が影響します。

式 4-4: 信号/ノイズ比

$$SNR(dB) = 10 \log \left(\frac{Signal Power}{Noise Power} \right)$$

4.10 SINAD

MCP3914 の仕様値の中で、ADC のアナログ性能指数の内最も重要な値が SINAD です。

SINAD は S/N 比に似ていますが、ノイズ電力の計算に高調波電力を含める点が異なります (式 4-5 参照)。SINAD には、主に OSR と DITHER の設定が影響します。

式 4-5: SINAD の計算式

$$SINAD(dB) = 10 \log \left(\frac{Signal Power}{Noise + Harmonics Power} \right)$$

SINAD は SNR と THD の計算値から下式に従って求める事もできます。式 4-6 を参照してください。

式 4-6: SINAD、THD、SNR の関係

$$SINAD(dB) = 10 \log \left[10^{\left(\frac{SNR}{10}\right)} + 10^{\left(\frac{-THD}{10}\right)} \right]$$

MCP3914

4.11 全高調波歪み (THD)

全高調波歪みは、正弦波入力から得られる出力信号の、基本周波数成分に対する高調波成分の電力比であり、式 4-7 で定義されます。

式 4-7:

$$THD(dB) = 10\log\left(\frac{HarmonicsPower}{FundamentalPower}\right)$$

MCP3914 の仕様では、THD の計算に 35 次の高調波まで含みます。一般的な THD の計測では、10 次の高調波までしか考慮しないため、見かけ上優れた値が得られます。THD は % で表す場合もあります。式 4-8 は、THD を % に変換します。

式 4-8:

$$THD(\%) = 100 \times 10^{\frac{THD(dB)}{20}}$$

THD の仕様は、主に DITHER の設定に影響されます。

4.12 スプリアスフリー ダイナミックレンジ (SFDR)

SFDR は、出力周波数スペクトル内の最大スプリアス成分に対する基本周波数成分の電力比で表します (式 4-9 参照)。スプリアス周波数は基本周波数の高調波でなくても構いません (通常は高調波)。この SFDR 値は、フルスケール信号を入力した時の ADC のダイナミックレンジを表します。SFDR の仕様値には、主に DITHER の設定が影響します。

式 4-9:

$$SFDR(dB) = 10\log\left(\frac{FundamentalPower}{HighestSpurPower}\right)$$

4.13 MCP3914 の $\Delta\Sigma$ 型アーキテクチャ

MCP3914 はマルチビット アーキテクチャを備えた 8 つの $\Delta\Sigma$ 型 ADC を内蔵しています。 $\Delta\Sigma$ 型 ADC はモジュレータを内蔵したオーバーサンプリング コンバータであり、モジュレータ ループが積分した電荷量をデジタル化します (図 5-1 参照)。量子化器 (Quantizer) は、A/D 変換を実行するブロックです。通常は 1 ビットの量子化器 (単純なコンパレータ) が使われ、これは ADC の直線性性能を維持するのに有利に働きます (この場合、DAC 構造は本質的にリニアです)。

1 ビットの量子化器ではループにフィードバックされる誤差が非常に大きくなる可能性があるのに対し、マルチビットの量子化器は、モジュレータ次数や OSR を変更する事なく量子化誤差を低減でき、結果として SNR 値を改善できます。

MCP3914 の各 ADC チャンネルの量子化器は、等間隔のしきい値を持つ 4 つのコンパレータと温度計コードを使ったフラッシュ ADC です。MCP3914 は本質的にリニアな独自の 5 レベル DAC アーキテクチャを採用し、これによって THD を改善しています。

4.14 アイドルトーン

$\Delta\Sigma$ 型コンバータは積分型コンバータです。このコンバータにも量子化器が検出可能な最小量子化ステップ (最下位ビット、つまり LSB) があります。この量子化ステップを下回る DC 入力電圧は小さすぎて検出されないため、全てゼロとして出力されます。積分型デバイスである $\Delta\Sigma$ 型 ADC は、どれもアイドルトーンを示します。すなわち、量子化ステップ電圧と入力電圧の間の比率に応じて、出力の特定の周波数成分にスプリアスが発生します。これらのスプリアスは、量子化ステップ未満の入力が積分された結果生じます。このような入力の積分時間が長くなるとやがて量子化ステップを超えます。これが ADC 出力に AC 周波数を発生させ、その結果は ADC の出力スペクトルに表れます。

これらのアイドルトーンは、量子化プロセスと、コンバータがリセットなしで常に積分し続けるという事実によって本来的につきまとう問題です。これらは変換プロセスが持つ有限の分解能に起因する残留誤差です。これらは信号に大きく依存し、減衰させるのは非常に困難です。これらは、たとえ DC 入力であってもコンバータの SFDR と THD を悪化させます。これらはコンバータのベースバンドに集中する場合があるため、実際の入力信号からフィルタ処理で除去するのは困難です。

電力計測アプリケーションでは、入力電力が皆無であっても ADC の DC オフセットによっては、50 または 60 Hz でも電力量が検出される場合があるため、アイドルトーンは非常に厄介な問題です。アイドルトーン現象を抑制するか減衰させるには、ADC にディザリングを適用する事が唯一の現実的な方法です。アイドルトーンの振幅はモジュレータ次数、OSR、モジュレータ内の量子化器のレベル数で決まります。モジュレータ次数、OSR、量子化器のレベル数のいずれも値が大きいほどアイドルトーンの振幅は減衰します。

4.15 ディザリング

$\Delta\Sigma$ 型 ADC には必ず存在するアイドルトーンの抑制または減衰のために、ADC にディザリングを適用します。ディザリング処理は、ADC フィードバック ループに誤差を追加して出力の「相関性を弱める」事でアイドルトーンの挙動を「抑制」します。通常は、 $\Delta\Sigma$ 型 ADC のフィードバック ループに対して、乱数発生器または擬似乱数発生器がアナログまたはデジタル誤差を追加する事で、出力に調性挙動が生じないようにします。この誤差はフィードバック ループでフィルタ処理され、通常は平均値がゼロであるため、コンバータの静的な伝達関数がディザリングの悪影響を受ける事はありません。ディザリング処理によってデバイスに追加されたノイズがノイズフロアをわずかに増加させますが、調性挙動が減少するので結果として SFDR と THD は改善されます。ディザリング処理は、アイドルトーンをベースバンドのホワイトノイズに埋没させる事

で、ダイナミック仕様 (SNR、SINAD、THD、SFDR) の信号依存性を低減します。MCP3914 は全ての ADC に独自のディザリング アルゴリズムを適用する事で、アイドルトーンを除去して THD を改善します。これは電力計測アプリケーションで重要です。

4.16 クロストーク

クロストークは、ある ADC チャンネルに対して、チップ内にある他の全ての ADC チャンネルが引き起こす攪乱として定義されます。これはチップ内の各チャンネル間の絶縁状態を表す指標です。

クロストークは、次の 2 段階の手順で計測します。

1. 1つの ADC 入力を他の ADC からの攪乱がない状態 (ADC の入力を短絡した状態) で計測します。
2. 次に、他の全ての ADC に特定周波数の擾乱正弦波信号を入力した状態で同じ ADC 入力を計測します。

クロストークの値は、上記 2 つの ADC 出力電力の差を攪乱信号の電力で除算する事で求めます。クロストーク値が小さい事は、チャンネル間の独立性と絶縁性が高い事を意味します。

クロストーク値は、MCLK = 4 MHz で、下記の既定値条件の下に計測しています。

- ゲイン = 1
- プリスケール = 1
- OSR = 256
- MCLK = 4 MHz

CH0 のクロストーク計測のステップ 1:

- CH0+ = CH0- = AGND
- CHn+ = CHn- = AGND
n = 1 ~ 7

CH0 のクロストーク計測のステップ 2:

- CH0+ = CH0- = AGND
- CHn+ - CHn- = 1.2 V_{P-P} @ 50/60 Hz (フルスケールの正弦波)、n = 1 ~ 7

チャンネル 0 のクロストーク値は以上の結果から、式 4-10 の式で求めます。

式 4-10:

$$CTalk(dB) = 10 \log \left(\frac{\Delta CH0Power}{\Delta CHnPower} \right)$$

クロストークは、MCP3914 内のチャンネルの位置に若干依存します。図 2-32 に、この依存性を示します。内側 (チャンネル 0 および 7 から遠い側) のチャンネルの方が、外側のチャンネルよりも大きなクロストークを示します。内側の方が擾乱源により近いからです。クロストークを最小化するには、外側のチャンネルが適しています。

4.17 PSRR

PSRR は、電源電圧の変化に対する ADC 出力コードの変化の比率を示します。すなわち ADC 出力に対する電源電圧の影響を表す指標です。

PSRR の仕様には、DC (電源に複数の異なる DC 電圧を使用) と AC (電源に特定コモンモードで特定周波数の正弦波を使用) の 2 つの値があります。AC の場合、正弦波の振幅は電源電圧の変動です。これは、式 4-11 で定義します。

式 4-11:

$$PSRR(dB) = 20 \log \left(\frac{\Delta V_{OUT}}{\Delta V_{DD}} \right)$$

V_{OUT} は ADC の伝達関数に基づいて出力コードから換算される等価入力電圧です。

MCP3914 の仕様値では、DC PSRR については AV_{DD} が 2.7 ~ 3.6 V で変化し、AC PSRR については中心電圧 3.0 V、最大振幅 300 mV、周波数 50/60 Hz の正弦波を使います。PSRR 値の仕様値は、AV_{DD} = DV_{DD} の条件で計測しています。

4.18 CMRR

CMRR は、コモンモード入力電圧の変化に対する ADC 出力コードの変化の比率を示します。すなわち、コモンモード入力電圧が ADC 出力に影響する度合を表す指標です。

CMRR の仕様には、DC (コモンモード入力電圧に複数の DC 値を使用) と AC (コモンモード入力電圧に特定コモンモードによる特定周波数の正弦波を使用) の 2 つの値があります。AC の場合、正弦波の振幅は電源電圧の変動です。これは、式 4-12 で定義します。

式 4-12:

$$CMRR(dB) = 20 \log \left(\frac{\Delta V_{OUT}}{\Delta V_{CM}} \right)$$

V_{CM} = (CHn+ + CHn-)/2 はコモンモード入力電圧、V_{OUT} は ADC 伝達関数を使って出力コードから換算した等価入力電圧です。

MCP3914 の仕様値は、V_{CM} が -1 ~ +1 V で変化した場合の値です。

4.19 ADC リセットモード

ADC リセットモードはソフトリセットモードとも呼ばれます。コンフィグレーションレジスタの RESET<7:0> ビットを HIGH に設定した場合のみ、このモードに移行できます。このモードは、コンバータがアクティブなまま、その出力が強制的に 0 にリセットされる状態です。

対応するチャンネルのフラッシュ ADC 出力は、MOD レジスタの既定値 (0011) にリセットされます。

リセットモードが終了して SINC フィルタのセトリングタイムが経過した後、ADC は即座に有効なコードを出力できます。このモードの開始と終了は、どちらもコンフィグレーションレジスタで設定します。

各コンバータは、個別にソフトリセットモードに移行できます。ソフトリセットモードはコンフィグレーションレジスタの値を変更しません。リセットモードにある ADC チャンネルはデータレディパルスを生じません。

ADC リセットモード終了後も、リセットモード開始前の位相遅延はそのまま続きます。片方の ADC だけをリセットした状態からその ADC のリセットモードを終了すると、その ADC は位相遅延レジスタブロックの設定に従って ADC チャンネル間の位相差を自動的に再同期した状態でデータレディパルスを生じします。

他の ADC が変換中に 1 つの ADC をリセットモードにしても、内部クロックはシャットダウンしません。リセットモードが解除されると、リセット中も動作を続けたクロックに自動的に再同期します。

全ての ADC がソフトリセットモードに移行すると、消費電力を節約するために、デジタルコアへのクロックの供給が停止します。ADC のどれかが通常動作に戻ると、クロックの供給は自動的に再開します。

しかし、8 つのチャンネルが全てソフトリセットモードであっても、入力を適切にバイアスしてリーク電流を止めるために MCLK を印加している場合、入力構造はクロック動作を続けます。MCLK を供給しない場合、大きな負の入力電圧 (通常 A_{GND} 基準で -0.6 V 未満) に対して、大きなアナログ入力リーク電流が生じる可能性があります。

4.20 ハードリセットモード ($\overline{\text{RESET}} = 0$)

POR 時または $\overline{\text{RESET}}$ ピンが論理 LOW の時のみ、このモードを使えます。 $\overline{\text{RESET}}$ ピンの論理 LOW 状態は、デバイスをハードリセットモードに移行させます。このモードでは、全ての内部レジスタをそれぞれの既定値状態へリセットします。

アナログブロックの DC バイアスはアクティブな状態を維持します (MCP3914 は変換動作可能状態を維持)。ただし、このピンは ADC 内の全ての変換データをクリアします。全ての ADC のコンパレータ出力は、強制的にリセット状態 (0011) に設定されます。SINC フィルタと、それらのダブル出力バッファは全てリセットされます。ハードリセットモードに移行するパルスには最小 LOW 時間が規定されています ([セクション](#)

[1.0 「電気的特性」](#) 参照)。ハードリセット中は、デバイスとの通信は一切できません。デジタルインターフェイスはリセット状態に保持されます。

この状態で MCLK をデバイスに供給すれば、全チャンネルの入力構造を適正にバイアスできます。MCLK を供給しない場合、大きな負の入力信号に対して大きなアナログ入力リーク電流が生じる可能性があります。また、ハードリセット状態の終了後に入力構造を適正にバイアスするまでに一定の起動時間が必要です。この遅延期間中の A/D 変換は不正確である可能性があります。

4.21 ADC シャットダウンモード

ADC シャットダウンモードとは、コンバータとそれらのバイアスが OFF になり、リーク電流だけが消費される状態です。SHUTDOWN<7:0> ビットの 1 つが「0」にリセットされると、対応するチャンネルのアナログバイアス、クロック、デジタル回路が有効になります。対応するチャンネルの ADC は、SINC フィルタのセトリングタイムが終了した後、データレディを生じします。しかし、変換の初期ではアナログバイアスが完全には安定していないため、最初の約 1 ms 間のサンプリングは不正確になる可能性があります (その期間はワーストケース条件でのバイアスのセトリングタイムに応じて決まります)。精度を確保するために、(1 ms + SINC フィルタのセトリングタイム) の遅延期間中は、データレディパルスを無視する必要があります。

各コンバータは個別にシャットダウンモードに移行できます。シャットダウンモードはコンフィグレーションレジスタの値を変更しません。シャットダウンモードは、CONFIG1 レジスタの SHUTDOWN<7:0> ビットを設定した場合のみ使えます。

ADC のシャットダウン中、出力データは全てゼロにクリアされます。ADC シャットダウンモードでは、ADC はデータレディパルスを一切生成しません。

ADC シャットダウンモードを解除した時点では、シャットダウン開始前に存在した位相遅延はそのまま存在します。1 つの ADC だけをシャットダウンした状態から、その ADC のシャットダウンモードを終了すると、その ADC は位相遅延レジスタブロックの設定に従って、他の ADC チャンネルに対する位相差を自動的に再同期して、データレディパルスを生じます。

他の ADC の変換中に 1 つの ADC をシャットダウンモードにしても内部クロックはシャットダウンしません。シャットダウン中の ADC のシャットダウンモードを解除すると、その ADC はリセット中も動作を続けたクロックに自動的に再同期します。

全ての ADC がシャットダウンモードに移行すると、消費電力を節約するために、入力構造またはデジタルコアへのクロックの供給が停止します。このため、大きな負の入力電圧 (通常 A_{GND} 基準で -0.6 V 未満) に対して、大きなアナログ入力リーク電流が生じる可能性があります。ADC のどれかが通常動作に復帰すると、クロックの供給は自動的に再開します。

4.22 フル シャットダウン モード

SHUTDOWN<7:0> = 11111111、VREFEXT = CLKEXT = 1 にすると消費電力が最も低くなります。このモードはフル シャットダウン モードと呼び、アナログ回路は全て無効になります。このモードでは、AV_{DD} と DV_{DD} 両方の POR 監視も無効になり、チップのどの部分にもクロックは伝播しません。全ての ADC がシャットダウンモードに移行し、内部参照電圧が無効になります。このモードはレジスタマップの書き込み可能部分を既定値にリセットしません。

入力構造へのクロック供給も停止します。このため、大きな負の入力電圧（通常 A_{GND} 基準で -0.6 V 未満）に対して、大きなアナログ入力リーク電流が生じる可能性があります。

SPI インターフェイスだけが動作を続けますが、この回路は静的電力消費を一切生じません。SCK がアイドル中である場合、トランジスタによるリーク電流だけが消費電流となりますが、その量は電源あたり 5 μA 未満です。

このモードを使うとチップを完全にパワーダウンできるため、アナログ入力に変換すべきデータが存在しない場合の電力消費を防ぐ事ができます。このモードで SCK または MCLK エッジが発生すると、動的な消費電力が発生します。

SHUTDOWN<7:0>、CLKEXT、VREFEXT ビットのいずれかが「0」にリセットされると、2つの POR 監視ブロックが動作状態に復帰し、AV_{DD} 監視と DV_{DD} 監視が実行可能になります。

4.23 計測誤差

電力計測アプリケーションでは一般的に計測誤差の仕様を使います。この仕様は、特定の電力計で、そのダイナミック レンジ全体にわたって計測される有効電力量の線形性によって表します。

この計測の目標は、電圧の二乗平均平方根 (RMS) 値を一定にして、電流の RMS 値をメータに規定されているダイナミック レンジにわたリスイープさせながら、1つの相の有効電力量を得る事です。計測誤差は電流ダイナミック レンジ内における電力の非線形性誤差です。この誤差はパーセント (%) で表します。式 4-13 に、計測誤差を求める計算式を示します。

式 4-13:

$$\text{Measurement Error}(I_{RMS}) = \frac{\text{Measured Active Energy} - \text{Active Energy present at inputs}}{\text{Active Energy present at inputs}} \times 100\%$$

このデバイスでは、有効電力量をチップ外で計算しています。通常、例えば偶数チャンネルを電流チャンネル、奇数チャンネルを電圧チャンネルと見なし、マイクロコントローラで後処理ステップとして計算します。有効電力量の計測誤差のグラフを得るには、奇数チャンネル（電圧）に 100 mV ピークのフルスケール正弦波を供給し、ゲイン = 1、ディザリング = 最大に設定します。有効電力量の計測誤差のグラフを得るには、偶数チャンネルに 600 mV ピークから 60 μV ピークまで

振幅が変化する、10000:1 のダイナミック レンジに相当する正弦波を供給します。電流と電圧の両チャンネルからオフセットを除去し、両方の値を掛け合わせる事で瞬時電力を求めます。有効電力量は電流および電圧チャンネルを掛け、この電力の計算結果を 20 秒間にわたって平均する事で得られます。サンプリング周波数はライン周波数の整数倍になるように選びます（コヒーレント サンプリング）。従って、この計算では不適切な同期で生じる残留誤差は一切考慮されていません。

計測誤差は I_{RMS} の関数であり、OSR、平均化時間、MCLK 周波数によって変化し、ノイズおよび線形性の仕様に深く関係しています。計測誤差は、ADC の線形性と THD で決まるのに対し、計測誤差の標準偏差は ADC のノイズ仕様で決まります。総合的に見て、THD の仕様値が小さければ、非常に広いダイナミック レンジ（例：10,000:1）で計測誤差を低減できます。低ノイズかつ高 SNR の仕様は計測時間を短縮できます。従って、信頼性の高い計測誤差仕様を得るための校正時間を短縮できます。

図 2-5 に、MCP3914 で取得したサンプルに基づく代表計測誤差曲線を示します。計測には既定値設定を使い、1点校正と2点校正を実施しています。これらの校正については、[セクション 7.0「応用回路に関する基本的な推奨事項」](#)で説明します。

MCP3914

NOTES:

5.0 デバイス概要

5.1 アナログ入力 (CHn+/-)

MCP3914 のアナログ入力は、電流変換器または電圧変換器 (シャント、変流器、Rogowski コイル等) へ直接接続できます。各入力ピンは、 A_{GND} を基準とする $\pm 2V$ の正負連続電圧を、恒久的な損傷の恐れなく印加できる、専用の静電気放電 (ESD) 保護構造で守られています。

全チャンネル共、ノイズ性能を改善する完全差動電圧入力を備えています。ADC の仕様精度を確保するには、動作中の各ピンの絶対電圧 (A_{GND} 基準) を $\pm 1V$ レンジ内に維持する必要があります。共通モード信号は、前述の条件と差動入力電圧レンジの両方に適合させる必要があります。最高性能を得るには、共通モード信号を A_{GND} に保つ必要があります。

Note: アナログ入力が長時間 $-0.6 \sim -1V$ の電位に保持される場合、アナログ入力に大きなリーク電流が流れるのを防ぐために、デバイス内に MCLK を供給する必要があります。これは、たとえデバイスがハードリセットモードにある場合、または全 ADC がソフトリセットされている場合でも同様です。しかし、全 ADC がシャットダウンモードであるか POR 状態である場合、クロックは回路内部に供給されません。これらの状態では、アナログ入力に大きなリーク電流が流れるのを防ぐために、アナログ入力電圧を $-0.6V$ (A_{GND} 基準) よりも高く保持する事を推奨します。

5.2 プログラマブル ゲインアンプ (PGA)

各 $\Delta\Sigma$ 型 ADC のフロントエンドには 8 つのプログラマブル ゲインアンプ (PGA) があります。これらのアンプは 2 つの機能を持ちます。1 つは入力のコモンモードを A_{GND} から $A_{GND} \sim AV_{DD}$ の内部レベルに変換する事、もう 1 つは入力差動信号を増幅する事です。共通モードの変換は、差動信号を変化させずに共通モードの中心をシフトして、入力信号を適正に増幅できるようにします。

PGA ブロックは微小信号の増幅に使用できますが、 $\Delta\Sigma$ 型モジュレータの差動入力レンジを超えてはいけません。各チャンネルの PGA は互いに独立しており、GAIN レジスタの $PGA_CHn<2:0>$ ビットで制御します。表 5-1 に、PGA のゲイン設定を示します。

表 5-1: PGA の設定

GAIN PGA_CHn<2:0>			ゲイン (V/V)	ゲイン (dB)	$V_{IN} = (CHn+) - (CHn-)$ 差動入力レンジ (V)
0	0	0	1	0	± 0.6
0	0	1	2	6	± 0.3
0	1	0	4	12	± 0.15
0	1	1	8	18	± 0.075
1	0	0	16	24	± 0.0375
1	0	1	32	30	± 0.01875

Note: 上表で定義されていない 2 つの設定では $G = 1$ です。この表の定義は、 $V_{REF} = 1.2V$ の場合です。

5.3 $\Delta\Sigma$ 型モジュレータ

5.3.1 アーキテクチャ

MCP3914 内の ADC は全て同一で、どれもマルチビット 5 レベル DAC アーキテクチャに基づく独自の 2 次モジュレータを備えています (図 5-1 参照)。量子化器は、等間隔のしきい値を持つ 4 つのコンパレータと温度計コードを使ったフラッシュ ADC です。独自の 5 レベル アーキテクチャが、直線性や歪みを悪化させる事なく、モジュレータ出力の量子化ノイズを最小限に抑えます。サンプリング周波数は DMCLK で与えられるため (通常、MCLK = 4 MHz の場合、1 MHz)、モジュレータは DMCLK のレートで更新されます。

図 5-1 に、MCP3914 の $\Delta\Sigma$ 型 ADC の概略ブロック図を示します。

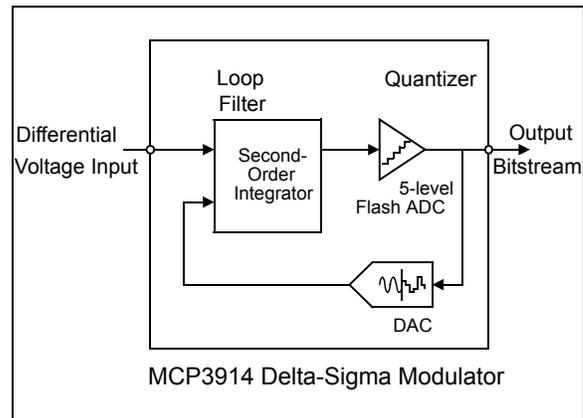


図 5-1: $\Delta\Sigma$ 型 ADC の概略ブロック図

5.3.2 モジュレータの入カレンジと飽和点

仕様参照電圧 (1.2 V) における仕様差動入カレンジは ± 600 mV です。入カレンジは V_{REF} に比例し、 V_{REF} 電圧に従ってスケーリングします。このレンジ内では、モジュレータの振幅と周波数に対する安定性が保証されます。このレンジ外でもモジュレータは機能しますが、安定性は保証されません。従ってレンジ内での使用を推奨します。ADC の伝達関数には PGA の設定に関わらず既定値として 1.5 のゲインが含まれているため、モジュレータの飽和点は $V_{REF}/1.5$ です。([セクション 5.5 「ADC 出力コーディング」](#) 参照)。

5.3.3 BOOST 設定

この $\Delta\Sigma$ 型モジュレータは、MCLK によって適用されるサンプリング速度に応じて、消費電力をさらに調整するために、プログラマブルなバイアス回路を内蔵しています。このバイアスは BOOST<1:0> ビットを使って設定し、全チャンネルに同時に印加されます。

アナログ マスタクロックの最大速度 (AMCLK)、最大サンプリング周波数 (DMCLK)、最大データレート (DRCLK) には、BOOST<1:0> と PGA_CHn<2:0> の設定が大きく影響します。[表 5-2](#) に、最適精度を維持できる最大 AMCLK を、BOOST<1:0> および PGA_CHn<2:0> 設定値の関数として示します。

表 5-2: AMCLK の上限と BOOST 設定および PGA ゲインの関係

条件		$V_{DD} = 3.0 \sim 3.6$ V, $T_A = -40 \sim +125$ °C		$V_{DD} = 2.7 \sim 3.6$ V, $T_A = -40 \sim +125$ °C	
BOOST	ゲイン	最大 AMCLK 周波数 (MHz) (SINAD は最大値から -3 dB 以内)	最大 AMCLK 周波数 (MHz) (SINAD は最大値から -5 dB 以内)	最大 AMCLK 周波数 (MHz) (SINAD は最大値から -3 dB 以内)	最大 AMCLK 周波数 (MHz) (SINAD は最大値から -5 dB 以内)
0.5x	1	4	4	4	4
0.66x	1	6.4	7.3	6.4	7.3
1x	1	11.4	11.4	10.6	10.6
2x	1	16	16	16	16
0.5x	2	4	4	4	4
0.66x	2	6.4	7.3	6.4	7.3
1x	2	11.4	11.4	10.6	10.6
2x	2	16	16	13.3	14.5
0.5x	4	2.9	2.9	2.9	2.9
0.66x	4	6.4	6.4	6.4	6.4
1x	4	10.7	10.7	9.4	10.7
2x	4	16	16	16	16
0.5x	8	2.9	4	2.9	4
0.66x	8	7.3	8	6.4	7.3
1x	8	11.4	12.3	8	8.9
2x	8	16	16	10	11.4
0.5x	16	2.9	2.9	2.9	2.9
0.66x	16	6.4	7.3	6.4	7.3
1x	16	11.4	11.4	9.4	10.6
2x	16	13.3	16	8.9	11.4
0.5x	32	2.9	2.9	2.9	2.9
0.66x	32	7.3	7.3	7.3	7.3
1x	32	10.6	12.3	9.4	10.6
2x	32	13.3	16	10	11.4

5.3.4 デザリングの設定

全てのモジュレータに、コンフィグレーションレジスタのDITHER<1:0>ビットで有効化できるデザリングのアルゴリズムが組み込まれています。デザリング処理はTHDとSFDR(高OSR設定の場合)を改善しますが、ADCのノイズフロアをわずかに増加させます。電力計測アプリケーションや歪みに敏感なアプリケーションでは、良好なTHDおよびSFDR性能を確保するために、デザリング設定を最大にする事を推奨します。電力計測アプリケーションでは、THDとSFDRの仕様が非常に重要です。ADC出力の平均化係数が大きい場合、SNR(ノイズフロア)の最適化は問題ありません。従って、OSRの設定が低くてもデザリングアルゴリズムはアプリケーション性能を向上させます。

5.4 SINC³ + SINC¹ フィルタ

MCP3914の全チャンネルに設けられたデシメーションフィルタは、2つのSINCフィルタをカスケード接続したものです(sinc³+sinc¹)。デシメーション比がOSR₃の3次のSINCフィルタと、これに後続するデシメーション比がOSR₁の1次SINCフィルタ(OSR₁の値の移動平均)です。図5-2に、デシメーションフィルタのアーキテクチャを示します。

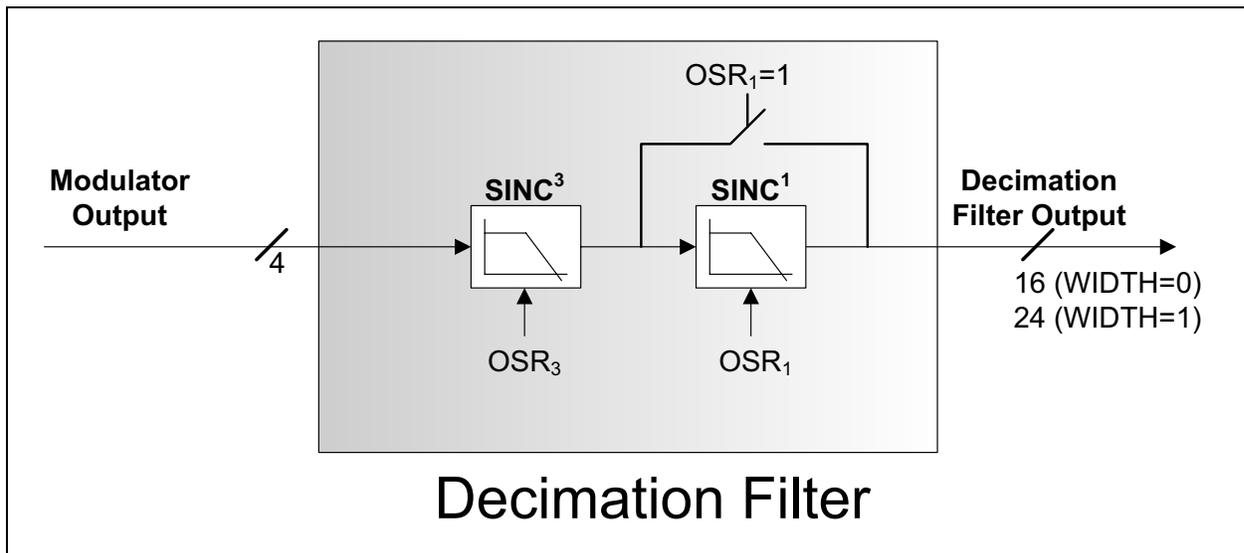


図 5-2: MCP3914 デシメーションフィルタのブロック図

式 5-1 は、フィルタの z ドメインの伝達関数を求める式です。

式 5-1: SINC フィルタの伝達関数 N

$$H(z) = \frac{(1-z^{-OSR_3})^3}{(OSR_3(1-z^{-1}))^3} \times \frac{(1-z^{-OSR_1 \times OSR_3})}{OSR_1 \times (1-z^{-OSR_3})}$$

$$z = EXP(2\pi \cdot j \cdot f_{in}) / (DMCLK)$$

式 5-2 は、ADC のセトリングタイムを DMCLK 周期の関数として計算する式です。

式 5-2:

$$SettlingTime(DMCLKperiods) = 3 \times OSR_3 + (OSR_1 - 1) \times OSR_3$$

SINC³ フィルタ後の SINC¹ フィルタは、高 OSR 設定の場合(OSR > 512)にのみ有効になります。この SINC¹ フィルタを使うと、-3 dB 帯域幅にほとんど影響を与えずに低コストで除去率を高める事ができます。デジタルフィルタの分解能(2のべき乗またはビットで表される出力可能なコードの数)は、OSRとデータフォーマットに関わらず最大24ビットです。分解能は、表5-3に基づくCONFIG0レジスタのOSR<2:0>の設定だけで決まります。OSRを選べば分解能は固定され、出力コードはSTATUSCOMレジスタのWIDTH_DATA<1:0>の設定で定義されるデータフォーマットに従います(セクション5.5「ADC出力コーディング」参照)。

MCP3914

このフィルタの伝達関数のゲインは、DMCLK (1 MHz、typ.) の倍数の各周波数で 1 となります。従って、適切なアンチエイリアス フィルタを入力に適用する必要があります。このフィルタは DMCLK 近くの周波数成分を減衰させ、コンバータのベースバンド全体に必要な精度を確保します。このアンチエイリアス フィルタには、十分に時定数が小さく、DMCLK の周波数で高い除去率が得られる、シンプルな 1 次 RC ネットワークを使う事ができます。

データの破損を防ぐために、不安定なデータは全て自動的に破棄されます。各データレディ パルスは、デシメーションフィルタの出力でデータが完全に安定した時に生成されます。デシメーションフィルタのセトリングタイム (表 5-3 参照) が終了した後に、最初のデータをフィルタの出力から読み出せます。最初のデータを処理した後、同じ ADC チャンネルから出力される 2 つのデータレディ パルス間の遅延は、DRCLK の

1 周期分です。入力から出力へのデータストリームの遅延時間は、フィルタのセトリングタイムと同じです (フィルタの群遅延)。

デシメーションフィルタの出力 (ADC の出力) で達成可能な分解能、-3 dB 帯域幅、セトリングタイムは、各 SINC フィルタの OSR で決まります。表 5-3 にまとめます。

表 5-3: オーバーサンプリング率と SINC フィルタのセトリングタイム

OSR<2:0>			OSR ₃	OSR ₁	総 OSR	分解能 (ビット) (ノーミッシングコード)	セトリングタイム	-3 dB 帯域幅
0	0	0	32	1	32	17	96/DMCLK	0.26*DRCLK
0	0	1	64	1	64	20	192/DMCLK	0.26*DRCLK
0	1	0	128	1	128	23	384/DMCLK	0.26*DRCLK
0	1	1	256	1	256	24	768/DMCLK	0.26*DRCLK
1	0	0	512	1	512	24	1536/DMCLK	0.26*DRCLK
1	0	1	512	2	1024	24	2048/DMCLK	0.37*DRCLK
1	1	0	512	4	2048	24	3072/DMCLK	0.42*DRCLK
1	1	1	512	8	4096	24	5120/DMCLK	0.43*DRCLK

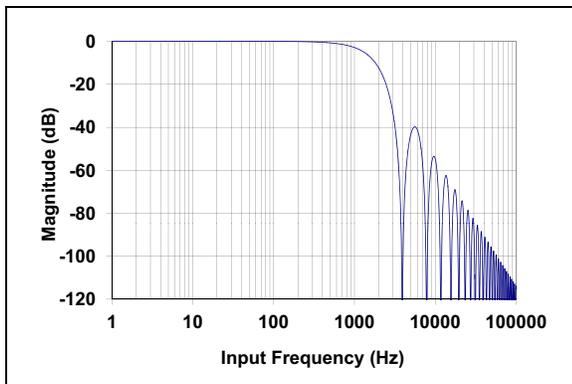


図 5-3: SINC フィルタの周波数応答、OSR = 256、MCLK = 4 MHz、PRE<1:0> = 00

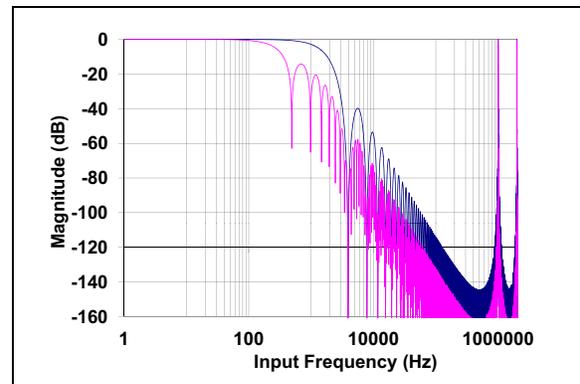


図 5-4: SINC フィルタの周波数応答、OSR = 4096 (ピンク)、OSR = 512 (青)、MCLK = 4 MHz、PRE<1:0> = 00

5.5 ADC 出力コーディング

2 次モジュレータ、SINC³+SINC¹ フィルタ、PGA、V_{REF}、アナログ入力構造の全てが連動して、デバイスの A/D 変換の伝達関数が決まります (式 5-3 参照)。

各チャンネルのデータは 24 ビット (23 ビット + 符号) で計算され、最上位ビット (MSb) を先頭とした 2 の補数フォーマットでコーディングされます。次に、出力フォーマットは STATUSCOM レジスタの WIDTH_DATA<1:0> 設定で変更でき、16/24/32 ビットフォーマットと互換性を持たせる事ができます (セクション 8.6 「STATUSCOM レジスタ - ステータスおよび通信レジスタ」参照)。

正側の飽和 (CH_{n+} - CH_{n-} > V_{REF}/1.5) では、24 ビットモードの場合、出力が 7FFFFFFF にロックされます。負側の飽和 (CH_{n+} - CH_{n-} < -V_{REF}/1.5) では、24 ビットモードの場合、出力が 8000000 にロックされます。

式 5-3 は DC 入力に対してのみ適用可能です。AC 入力に対しては、この伝達関数に SINC³+SINC¹ フィルタの伝達関数を掛ける必要があります (式 5-1 および式 5-3 参照)。

式 5-3:

$$DATA_CHn = \left(\frac{(CH_{n+} - CH_{n-})}{V_{REF+} - V_{REF-}} \right) \times 8,388,608 \times G \times 1.5$$

24 ビットモードの場合 : WIDTH_Data<1:0> = 01(Default)

既定値の 24 ビットデータフォーマット以外の場合、式 5-3 には、適用するフォーマット (WIDTH_DATA<1:0> で定義) に応じたスケール係数を掛ける必要があります。図 5-5 に、データフォーマットと対応するスケール係数を示します。

Unformatted ADC data	DATA <23:16> DATA <15:8> DATA <7:0>	Scaling Factor
WIDTH_DATA<1:0> = 00 16-bit	DATA <23:16> DATA <15:8> DATA <7:0> (Rounded)	x1/256
WIDTH_DATA<1:0> = 01 24-bit	DATA <23:16> DATA <15:8> DATA <7:0>	x1
WIDTH_DATA<1:0> = 10 32-bit with zeros padded	DATA <23:16> DATA <15:8> DATA <7:0> 0x00	x256
WIDTH_DATA<1:0> = 11 32-bit with sign extension	DATA <23> DATA <23:16> DATA <15:8> DATA <7:0>	x1

図 5-5: 出力データフォーマット

ADC 分解能は OSR で決まります (セクション 5.4 「SINC3 + SINC1 フィルタ」)。分解能は全チャンネルで同じです。分解能に関係なく、ADC 出力データは常に 24 ビットワードで計算されます。OSR が低いために 24 ビットの分解能を生成できない場合、末尾にゼロを追加します (左寄せ)。

MCP3914

表 5-4: OSR = 256 以上の出力コード例

ADC 出力コード (MSb 先頭)	16 進数	10 進数、 24 ビット分解能
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	0x7FFFFFFF	+ 8,388,607
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	0x7FFFFFFE	+ 8,388,606
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	0xFFFFFFFF	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1	0x800001	- 8,388,607
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 8,388,608

表 5-5: OSR = 128 の出力コード例

ADC 出力コード (MSb 先頭)	16 進数	10 進数、 23 ビット分解能
0 1 1 1 1 1 1 1 1 1 1 1 1 1 0	0x7FFFFFFE	+ 4,194,303
0 1 1 1 1 1 1 1 1 1 1 1 1 0 0	0x7FFFFFFC	+ 4,194,302
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	0xFFFFFFFF	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 1	0x800002	- 4,194,303
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 4,194,304

表 5-6: OSR = 64 の出力コード例

ADC 出力コード (MSb 先頭)	16 進数	10 進数、 20 ビット分解能
0 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0	0x7FFFF0	+ 524, 287
0 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0	0x7FFFE0	+ 524, 286
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	0xFFFFFFFF	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0	0x800010	- 524,287
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 524, 288

表 5-7: OSR = 32 の出力コード例

ADC 出力コード (MSb 先頭)	16 進数	10 進数、 17 ビット分解能
0 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0	0x7FFF80	+ 65, 535
0 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0 0	0x7FFF00	+ 65, 534
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000000	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 0 0 0 0 0	0xFFFF80	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0	0x800080	- 65,535
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800000	- 65, 536

5.6 参照電圧

5.6.1 内部参照電圧

MCP3914 は、温度ドリフトを最小化するために特別に設計された内部参照電圧源を内蔵しています。内部参照電圧を有効にするには、コンフィグレーションレジスタの VREFEXT ビットを「0」(既定値)に設定する必要があります。この内部 V_{REF} は全チャンネルに参照電圧を供給します。参照電圧の代表値は $1.2\text{V} \pm 2\%$ です。内部参照電圧の温度係数は $\pm 7\text{ ppm}/^\circ\text{C}$ (typ.) と非常に低く抑えられており、結果として $(1/V_{REF})$ に比例して変化する出力の温度依存性を最小限に抑える事ができます。

内部参照電圧のノイズは十分に低く、高精度の低ノイズ参照電圧源を外付けした場合と比べても、ADC の SNR を大幅に劣化させる事はありません。内部参照電圧の出力ピンは REFIN+/OUT です。

参照電圧を内部 V_{REF} として使うだけであれば、REFIN+/OUT ピンにバイパス コンデンサを追加しなくても、ADC の精度を保てます。しかし、REFIN+/OUT ピンをフローティングのままにすると、ピンがアンテナを形成して EMI/EMC に敏感になるといった問題が生じます。この問題は、 $0.1\ \mu\text{F}$ 以上のセラミック コンデンサをピンに接続する事で防げます。

参照電圧出力を他の回路に接続する場合にも、バイパス コンデンサは役立ちます。その場合、参照電圧出力の駆動能力は低い場合、バッファを追加する事が必要になる場合があります。

ただし REFIN+/OUT ピンに接続したコンデンサの静電容量が大きすぎると、ADC の THD 性能が若干悪化します。

5.6.2 外部差動電圧入力

VREFEXT ビットが「1」にセットされている場合、2つの参照ピン (REFIN+/OUT、REFIN-) は差動参照電圧入力として機能します。REFIN+/OUT ピンの電圧は V_{REF+} 、REFIN- ピンの電圧は V_{REF-} と表記します。式 5-4 に、差動電圧入力の値を示します。

式 5-4:

$$V_{REF} = V_{REF+} - V_{REF-}$$

V_{REF} の仕様レンジは $1.1 \sim 1.3\text{V}$ です。REFIN- ピン電圧 (V_{REF-}) は、 A_{GND} に対して $\pm 0.1\text{V}$ 以内に制限する必要があります。通常、シングルエンド参照電圧を使うアプリケーションの場合、REFIN- ピンを A_{GND} に直接接続する必要があります。その場合、スイッチングノイズによるスパイクを防ぐために、独立した専用のトレースを使ってください。

これらのバッファはシステムに一定量の $1/f$ ノイズを注入します。このノイズは、入力信号によって変調され、OSR が非常に高い場合 (OSR > 256) に SNR を制限する可能性があります。このような制限をなくすために、これらのバッファには $1/f$ ノイズとオフセットを大幅に低減する、自動ゼロ調整アルゴリズムが組み込まれており、OSR が非常に高い時でもシステムの

SNR がこのノイズ成分によって制限されません。この自動ゼロ調整アルゴリズムは、デバイスに入力される MCLK に同期して実行されます。

5.6.3 温度補償 (VREFCAL<7:0>)

内部参照電圧は、1 次および 2 次の温度係数を補償するために、独自の回路とアルゴリズムを備えています。温度補償により、 $-40 \sim +125\text{ }^\circ\text{C}$ の全温度レンジで、温度係数を非常に低く抑える事ができます ($9\text{ ppm}/^\circ\text{C}$, typ.)。温度係数はデバイスごとに異なります。

この温度係数は、CONFIG0 レジスタの VREFCAL<7:0> ビット (bit 7 ~ 0) でデバイスごとに調整できます。これらのレジスタの設定には注意が必要です。システムまたはアプリケーション全体の温度係数を校正する必要がない限り、VREFCAL<7:0> は変更しないでください。このレジスタの既定値は $0x50$ に設定されています。この既定値 ($0x50$) は、プロセスのばらつきに対する温度係数の標準偏差を最適化するために選ばれました。VREFCAL<7:0> に $0x42$ を書き込むと、 V_{REF} の温度係数の値を約 $7\text{ ppm}/^\circ\text{C}$ と若干改善できますが、標準偏差は劣化します。図 5-6 に、VREFCAL レジスタのコードに対する、内部参照電圧の温度係数変動の代表値を示します。VREFCAL<7:0> ビットに保存された値を変更すると、温度係数だけでなく、参照電圧も変化する可能性があります。

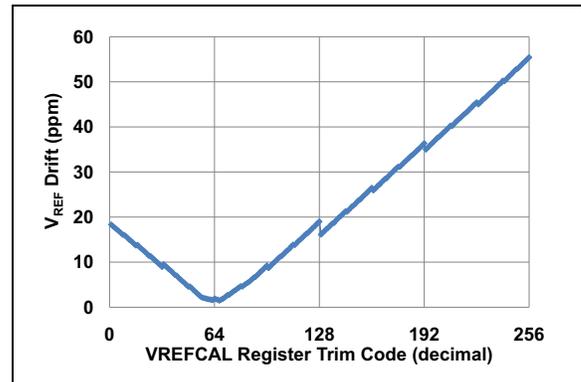


図 5-6: VREFCAL トリミングコードに対する V_{REF} 温度係数のグラフ

5.6.4 参照電圧バッファ

各チャンネルは REFIN+/OUT ピンに接続された参照電圧バッファを備えています。このバッファによって、レギュレーションが劣る外部参照電圧を接続した場合でも、内部コンデンサを参照電圧信号で適切に充電できます。これによって、各チャンネルには正確な電流量が供給され仕様精度が保証されると共に、参照電圧のレギュレーションに対する制約が解消されます。

5.7 パワーオンリセット

MCP3914 は、動作中にアナログ部とデジタル部両方の電源電圧を監視する POR 回路を内蔵しています。パワーアップイベントの検出しきい値は $2.0\text{V} \pm 10\%$ (typ.)、起動時間 (t_{POR}) は $50\ \mu\text{s}$ (typ.) です。POR 回路には瞬時スパイク耐性を改善するためにヒステリシス

MCP3914

を設けています (200 mV、typ.)。適正なデカップリングコンデンサ (10 μ F と並列の 0.1 μ F) を、AV_{DD} ピンと DV_{DD} ピンのできるだけ近くに取り付けて、瞬時耐性をさらに改善する必要があります。

図 5-7 に代表的な条件におけるパワーオンイベントとパワーダウンイベントの各種条件を示します。全ての内部 DC バイアスは、システム POR 後 1 ms 以上 (ワーストケース) が経過するまで安定しません。精度を確

保するために、この 1 ms にシステムリセット後の SINC フィルタのセトリングタイムを加えた時間が経過する前に発生したデータレディパルスは全て無視する必要があります。POR の後、コンフィギュレーションレジスタが全て既定値にリセットされた状態でデータレディパルスがピンに出力されます

AV_{DD} と DV_{DD} の両方を監視するため、電源シーケンスはどちらかが先行する事もあります。

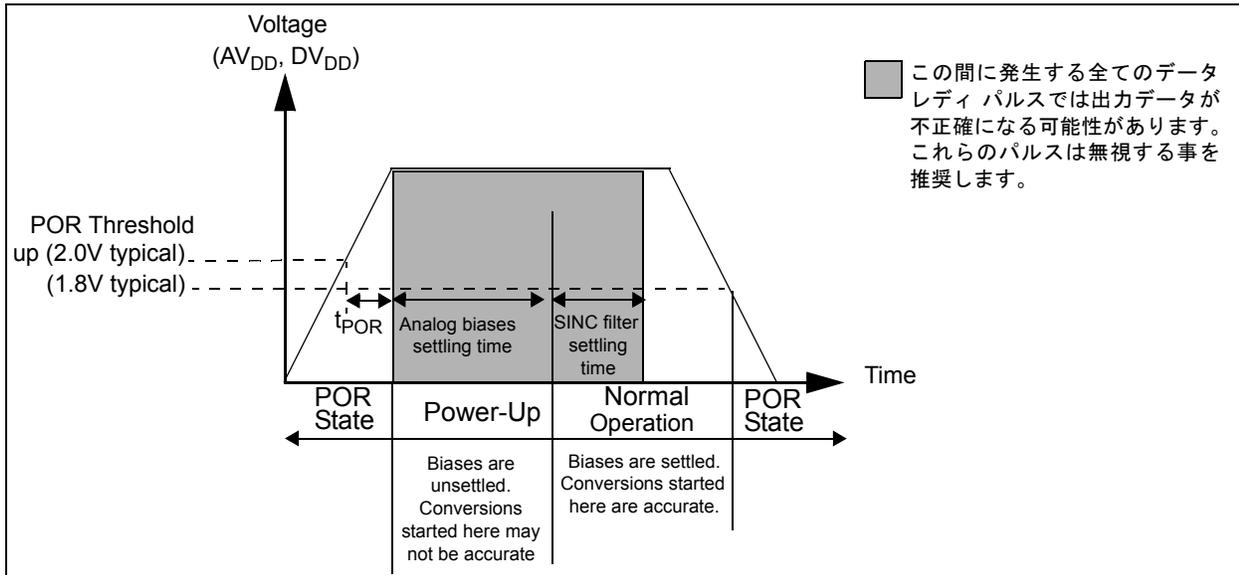


図 5-7: パワーオンリセット動作

5.8 $\Delta\Sigma$ 型モジュレータ/SINCフィルタに対するハードリセットの影響

RESET ピンが論理 LOW の間、全ての ADC はリセット状態を保持してコード 0x000000h を出力します。RESET ピンはハードリセットを実行し (DC バイアスは ON のままであるため、デバイスは A/D 変換可能な状態)、 $\Delta\Sigma$ 型モジュレータ内の全電荷をクリアします。各 ADC のコンパレータ出力は「0011」です。

SINC フィルタと、それらのダブル出力バッファは全てリセットされます。このピンはシリアルインターフェイスとは無関係です。全てのレジスタは既定値にリセットされます。RESET が論理 LOW の間、SPI インターフェイスによる書き込みは全て無効になり、無視されます。全ての出力ピン (SDO、 $\overline{\text{DR}}$) はハイインピーダンスになります。

外部クロック (MCLK) を供給している場合、入力構造が有効となり、入力トランジスタの基板を適切にバイアスします。この場合、アナログ入力電圧が -1 ~ +1 V 以内であれば、アナログ入力のリーク電流を低く抑えられます。

リセットモード中に MCLK を供給していない場合、アナログ入力電圧が -0.6 V (A_{GND} 基準) よりも下がると、リーク電流が大きくなる可能性があります。

5.9 位相遅延ブロック

MCP3914 は位相遅延ジェネレータを内蔵しており、これを使って 1 対の ADC (CH0/1、CH2/3、CH4/5、CH6/7) の間で一定の位相差を保ちながら入力を変換できます。8 つの ADC は同期してサンプリングしますが、モジュレータ出力の平均化を遅らせる事で、SINC フィルタ出力 (すなわち ADC 出力) には PHASE0/1 レジスタの設定で決まる一定の位相遅延が生じます。奇数チャンネル (CH1、3、5、7) が各ペアの位相遅延の基準チャンネルであり、時間基準です。通常、これらのチャンネルは多相電気メータアプリケーションの電圧チャンネルに使います。これらの奇数チャンネルは常に同期状態を保つため、動作可能になると同時にデータレディパルスを出力します。偶数チャンネル (CH0/2/4/6) には時間基準 (CH1/3/5/7) に対して一定の遅延が加わります。その時間は、PHASE0/1 レジスタで各チャンネルペアに対して定義された固定値です。

PHASE0/1 の 2 つのレジスタは、チャンネルの各ペア間の遅延を表す、4 つの 12 ビットバンクに分割されます。等価性は表 5-8 に従って定義されます。各位相の値 (PHASEA/B/C/D) は、対応する奇数チャンネルを基準とした偶数チャンネルの遅延を 11 ビットと符号で表す、MSb を先頭とした 2 の補数コードです。このコードは、ペア内の各チャンネルの間に、DMCLK の周期何回分の遅延があるかを示します (式 5-5 参照)。奇数チャンネルは時間基準である事から、PHASEX<11:0> が正の場合、ペア内の偶数チャンネルが遅延し、奇数

チャンネルが先行します。PHASEX<11:0> が負の場合、ペア内の偶数チャンネルが先行し、奇数チャンネルが遅延します。

表 5-8: 位相遅延の等価性

チャンネルのペア	位相バンク	レジスタマップの位置
CH1/CH0	PHASEA<11:0>	PHASE1<11:0>
CH3/CH2	PHASEB<11:0>	PHASE1<23:12>
CH5/CH4	PHASEC<11:0>	PHASE0<11:0>
CH7/CH6	PHASED<11:0>	PHASE0<23:12>

式 5-5:

$$Total\ Delay = \frac{PHASEX<11:0>\ Decimal\ Code}{DMCLK}$$

$$X = A/B/C/D$$

MCLK = 4 MHz の既定値コンフィグレーションにおける位相遅延の時間分解能は1/DMCLKまたは1 μsです。

DMCLK の定義を前提として、位相遅延はプリスケアラの設定 (PRE<1:0>) および MCLK 周波数の変化の影響を受けます。

データレディ信号は位相遅延設定の影響を受けます。通常、偶奇チャンネルのデータレディパルス間の時間差は、対応する位相遅延設定に一致します。

従って、各 ADC で変換が始まると、各データレディパルスは OSR/2 x DMCLK 周期 (DRCLK 周期の半分に等しい) のタイミング分遅延します。このタイミングによって、奇数チャンネルのデータレディ信号を固定された時間基準 (リセットから OSR/2 x DMCLK 周期) に置く一方、偶数チャンネルをこの時間基準から対応する PHASEX<11:0> 遅延値だけ先行または遅延させる事ができます。

Note: データレディピン (DR) の位相遅延に関する詳細は、[セクション 5.11「データレディステータスビット」](#) を参照してください。

5.9.1 位相遅延の限界値

位相遅延の限界値は OSR の設定で決まります。位相遅延は DMCLK の (-OSR/2 ~ +OSR/2-1) 周期の範囲でしか変化できません。

2 つのチャンネル間にこれより大きな遅延が必要な場合、MCU を使ってチップ外部で実装できます。MCU 内の FIFO は、進み側チャンネルからのデータを DRCLK クロックの N 周期の間保存できます。この場合、DRCLK は粗い時間分解能、DMCLK は細かい時間分解能を表します。総遅延は下式で求められます。

式 5-6:

$$総遅延 = N/DRCLK + PHASE/DMCLK$$

Note: PHASE レジスタに同じ値を再度書き込む事により、全ての ADC を自動的にリセットして再起動できます。

位相遅延レジスタを一度 OSR = 4096 に設定しておく、その後は PHASE レジスタの値を変更しなくても、自動的に OSR を調整します。

- **OSR = 4096:** 遅延の範囲: -2048 ~ +2047、PHASEX<11> は符号ビット、PHASEX<10> が MSb、PHASEX<0> が LSb
- **OSR = 2048:** 遅延の範囲: -1024 ~ +1023、PHASEX<10> は符号ビット、PHASEX<9> が MSb、PHASEX<0> が LSb
- **OSR = 1024:** 遅延の範囲: -512 ~ +511、PHASEX<9> は符号ビット、PHASEX<8> が MSb、PHASEX<0> が LSb
- **OSR = 512:** 遅延の範囲: -256 ~ +255、PHASEX<8> は符号ビット、PHASEX<7> が MSb、PHASEX<0> が LSb
- **OSR = 256:** 遅延の範囲: -128 ~ +127、PHASEX<7> は符号ビット、PHASEX<6> が MSb、PHASEX<0> が LSb
- **OSR = 128:** 遅延の範囲: -64 ~ +63、PHASEX<6> は符号ビット、PHASEX<5> が MSb、PHASEX<0> が LSb
- **OSR = 64:** 遅延の範囲: -32 ~ +31、PHASEX<5> は符号ビット、PHASEX<4> が MSb、PHASEX<0> が LSb
- **OSR = 32:** 遅延の範囲: -16 ~ +15、PHASEX<4> は符号ビット、PHASEX<3> が MSb、PHASEX<0> が LSb

表 5-9: MCLK = 4 MHz、OSR = 4096、PRE<1:0> = 00 の場合の位相値

チャンネルペア CH<n/n+1> の PHASEX<11:0>	16 進数	遅延 (CH<n+1> に対する CH<n> の遅延)
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	0x7FF	+ 2047 μs
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	0x7FE	+ 2046 μs
0 0 0 0 0 0 0 0 0 0 0 0 0 0 1	0x001	+ 1 μs
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x000	0 μs
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	0xFFF	- 1 μs
1 0 0 0 0 0 0 0 0 0 0 0 0 0 1	0x801	- 2047 μs
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0x800	-2048 μs

5.10 データレディ リンク

データレディ パルスを制御する STATUSCOM レジスタの DR_LINK ビットで定義される 2 つのモードがあります。データレディ パルスの位置は、このモードと OSR<2:0> および PHASE0/1 レジスタの設定に応じて変わります。図 5-8 に、2 つの DR_LINK 設定に対するデータレディピンの動作を示します。

- DR_LINK = 0: ADC チャンネル 0 と ADC チャンネル 1 からのデータレディ パルスが両方共 DR ピンに出力されます。
- DR_LINK = 1 (推奨既定値モード): アクティブな全ての ADC の内、最も遅れた ADC からのデータレディ パルスだけが DR ピンに出力されます。

遅れた ADC のデータレディの位置は、PHASE0/1 レジスタ、PRE<1:0>、OSR<2:0> の設定で決まります。このモードでは、アクティブな ADC を互いにリンクして、遅れた ADC 出力のデータレディに合わせて、それらのデータをまとめてラッチします。電力計測アプリケーションの場合、DR_LINK = 1 を推奨します (既定値)。この場合、ホスト MCU はただ 1 つの割り込みパルスで全チャンネルのデータを同期して収集でき、全チャンネルが同時にラッチされた事を保証できます。このため、データ破損が発生しません。

5.11 データレディ ステータスビット

MCP3914 には、データレディピンによる表示に加えて、各チャンネルに独立したデータレディ ステータスビットがあります。各 ADC チャンネル CHn には DRSTATUS<n> が関連付けられ、STATUSCOM レジスタからいつでも読み出せます。DR ピンが未接続の場合、これらのステータスビットを使ってデータ取得を同期させる事ができます (セクション 6.8「ADC チャンネルのラッチと同期」参照)。

DRSTATUS<7:0> ビットは書き込み不可です。書き込んでも無視されます。既定値は、対応する ADC のデータがレディ状態にない事を示す「1」です。これは、前回の読み出し (または前回のリセット) 以来、ADC 出力レジスタが更新されていない事を意味します。ADC チャンネルレジスタが更新されると (DRCLK のレートで更新されます)、DRSTATUS ビットは「0」にクリ

アされます。STATUSCOM レジスタを読み出すと、DRSTATUS の全ビットが既定値 (「1」) にリセットされます。

DR_LINK = 1 の場合、DRSTATUS<7:0> の全てのビットは、最も遅れたチャンネルに同期して、DR パルスの生成と同時に更新されます。DR_LINK = 0 の場合、各 DRSTATUS ビットは対応するチャンネルに同期して、個別に更新されます。

5.12 水晶振動子オシレータ

MCP3914 はピアス型水晶振動子オシレータを内蔵しています。このオシレータは非常に安定性に優れ、温度係数とジッタの非常に低いクロックを生成します。負荷容量と水晶振動子の Q 値が適切であれば、このオシレータは最大 20 MHz の水晶周波数まで対応できます。CONFIG1 レジスタの CLKEXT = 0 にすると、水晶振動子オシレータが有効になります。

オシレータを適切に起動するために、OSC1 と D_{GND} 間および OSC2 と D_{GND} 間に水晶振動子の負荷コンデンサを接続する必要があります。これらは、式 5-7 も満たす必要があります。

式 5-7:

$$R_M < 1.6 \times 10^6 \times \left(\frac{1}{f \cdot C_{LOAD}} \right)^2$$

f = 水晶発振周波数 (MHz)

C_{LOAD} = 負荷容量 (pF)、PCB の寄生容量を含む

R_M = 水晶振動子の等価的直列抵抗 (Ω)

CLKEXT = 1 の場合、水晶振動子オシレータはデジタルバッファによってバイパスされ、外部から直接クロックを入力できます (図 4-1 参照)。その場合、OSC2 ピンは内部で D_{GND} にプルダウンされます。電磁適合性 / 電磁干渉耐性 (EMI/EMC) を改善するには、このピンを外部で D_{GND} に接続する必要があります。

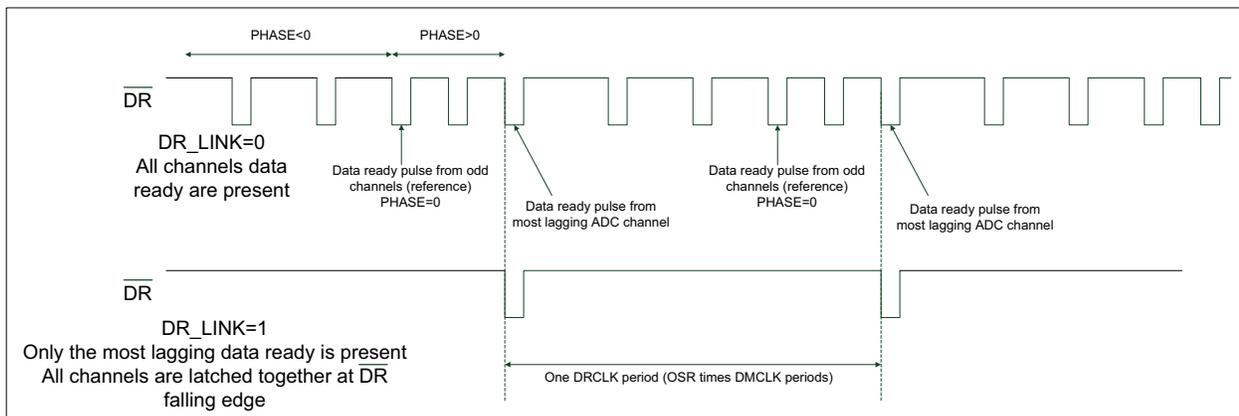


図 5-8: DR_LINK コンフィグレーション

適正な動作を得るために、外部クロックのプリスケアラ前の周波数は 20 MHz を超えない必要があります (MCLK < 20 MHz)。

Note: ADC の精度を確保するには、MCLK 入力周波数レンジの上限を定義する条件に加えて、AMCLK 周波数を表 5-2 に示した上限周波数よりも低く保つ必要があります。これらの制限を超えるようであれば、OSR またはプリスケアラの値を大きくして、AMCLK を制限内に収める事を推奨します。

5.13 デジタルシステム オフセットおよびゲインの校正レジスタ

MCP3914 は、システムのデジタル オフセットとゲイン誤差の校正を実行するために、各チャンネルに 2 セットの追加レジスタを備えています。各チャンネルは、校正を有効にした場合にチャンネルの出力結果を変更する、専用の関連レジスタセットを備えています。ゲインおよびオフセットの校正は、2 つの CONFIG0 ビット (EN_OFFCAL と EN_GAINCAL) を使って、有効または無効にできます。これら 2 ビットは、全チャンネルのシステム校正を同時に有効または無効にします。両方の校正を有効にした場合、ADC の出力は **セクション 5.13.1 「デジタル オフセット誤差校正」** に従って変更されます。

5.13.1 デジタル オフセット誤差校正

OFFCAL_CHn レジスタは 23 ビットと符号で構成される 2 の補数レジスタです。このレジスタの LSb は、チャンネルの ADC データの LSb と同じです。EN_OFFCAL ビットを有効にすると、これらのレジスタが ADC 出力コードにビット単位で加算されます。EN_OFFCAL ビットを有効にしてもパイプライン遅延は発生しません。オフセットの加算は即座に実行されます。OSR 値が低い場合、上位の桁だけが出力に加算されます (ADC の分解能までです。例えば、OSR = 32 の場合、最初の 17 ビットだけが加算されます)。

対応するチャンネルがリセットまたはシャットダウンモードの場合、オフセットは加算されません。これらの 24 ビットレジスタの 1 LSB あたりの入力電圧オフセット値の加算分は下式で表せます。

式 5-8: デジタル オフセットおよびゲイン誤差校正レジスタの計算

$$DATA_CHn(post-cal) = (DATA_CHn(pre-cal) + OFFCAL_CHn) \times (1 + GAINCAL_CHn)$$

$$\text{オフセット (1 LSB)} = V_{REF}/(PGA_CHn \times 1.5 \times 8388608)$$

EN_OFFCAL = 0 (オフセット校正は無効) の場合、このレジスタはドントケアですが、EN_OFFCAL ビットをクリアしてもこのレジスタの値はクリアされません。

5.13.2 デジタルゲイン誤差校正

これらのレジスタは、24 ビット符号付き MSb 先頭のレジスタで、値のレンジは $-1x \sim +(1 - 2^{-23})x$ (0x800000 ~ 0x7FFFFFFF) でコーディングされます。ゲイン校正は、このレジスタに 1x を加算した値を、オフセット校正後のチャンネル出力コードにビット単位で乗算します。従って、ゲイン校正のレンジは $0x \sim 1.9999999x$ (0x800000 ~ 0x7FFFFFFF) です。1 LSB あたりの乗数の増分は 2^{-23} です。

EN_GAINCAL を有効にすると、全チャンネルで 24 DMCLK 周期分のパイプライン遅延が生じます。EN_GAINCAL ビットを有効にした命令後のデータレディ以降の全てのデータレディパルスは 24 DMCLK 周期遅延します。ゲイン校正は、EN_GAINCAL ビットを有効にした命令後の最初のデータレディで有効になります。

対応するチャンネルがリセットまたはシャットダウンモードの場合、デジタルゲイン校正は機能しません。これらの 24 ビットレジスタの 1 LSB あたりのゲイン乗数の値は下式のように表せます。

$$\text{ゲイン (1 LSB)} = 1/8388608$$

EN_GAINCAL = 0 (オフセット校正は無効) の場合、このレジスタはドントケアですが、EN_GAINCAL ビットをクリアしてもこのレジスタの値はクリアされません。

全ての校正を実行した後の出力結果がレンジを超える場合、各チャンネルの出力データは 7FFF または 8000 (16 ビットモード) もしくは 7FFFFFFF または 800000 (24 ビットモード) に保持されます。

MCP3914

6.0 SPIシリアルインターフェイスの説明

6.1 概要

MCP3914 は、SPI モード 0,0 および 1,1 互換の、4 線式 (CS、SCK、SDI、SDO) デジタルシリアル インターフェイスを備えています。データは、SCK の立ち下がりがエッジに同期して MCP3914 からクロック出力され、SCK の立ち上がりエッジに同期して MCP3914 にクロック入力されます。これらのモードでは、SCK クロックは HIGH (1,1) または LOW (0,0) のどちらかでアイドル可能です。デジタル インターフェイスは、ADC のサンプリングとデジタルフィルタ処理を制御する MCLK クロックとは非同期です。全てのデジタル入力ピンは、通信に乗るシステムノイズ擾乱を避けるためにシュミットトリガ回路を備えています。

各 SPI 通信は \overline{CS} の立ち下がりがエッジで始まり、 \overline{CS} の立ち上がりエッジで停止します。各 SPI 通信は独立しています。CS が論理 HIGH の場合、SDO はハイインピーダンスであり、SCK の遷移と SDI は何も効果を持ちません。SPI モード 1,1 から 0,0 への変更、およびその逆の変更は、 \overline{CS} ピンが論理 HIGH である時に可能です。全ての \overline{CS} 立ち上がりエッジは通信をクリアし、SPI デジタル インターフェイスをリセットします。

先進の通信機能向けに、その他の制御ピン (\overline{RESET} 、 \overline{DR}) も専用ピンで提供しています。データレディピン (\overline{DR}) は、MCU に対する割り込みとして使う事ができ、更新された ADC チャンネルデータが読み出し可能になるとパルスを出します。マスタリセット ピン (\overline{RESET}) はハードリセットのように機能し、デバイスを既定値のパワーアップコンフィグレーション (POR 状態と等価) にリセットできます。

MCP3914 インターフェイスのコマンド構造はシンプルです。全てのコマンドはレジスタからの読み出しか、レジスタへの書き込みのどちらかです。MCP3914 には、表 8-1 のレジスタマップで定義される 32 個のレジスタがあります。最初に送信されるバイト (8 ビット幅) は常に、レジスタのアドレスとコマンドの種類 (読み出しまたは書き込み) を定義する制御バイトです。続いてレジスタ自身が送信されます。そのフォーマットは STATUSCOM レジスタで定義された複数のフォーマット設定に応じた、16/24/32 ビットのいずれかです。MCP3914 は複数のフォーマットと互換性があります。これは、市販されているほとんどの MCU やプロセッサ (8/16/32 ビット MCU) でデータ処理のオーバーヘッドを削減し、MCU コードを縮小し効率を向上します。

MCP3914 のデジタル インターフェイスは各種の連続読み書きモードに対応できるため、ADC のデータストリーミングや全レジスタマップ書き込みを 1 回の通信だけ (従って、1 つの制御バイトだけ) で実行できます。内部レジスタは、READ<1:0> および WRITE ビットにより、各種コンフィグレーションをまとめたグループ化が可能です。シリアル インターフェイスの内部アドレスカウンタは自動的にインクリメントされるため、レジスタマップ内の各種レジスタグループを順次アクセスするための追加制御バイトは不要です。表 8-2 に、このグループの定義を示します。

MCP3914 は、各通信の安全を確保する先進のセキュリティ機能も備えています。この機能は、設定を変更する意図せぬ書き込みコマンドが処理されるのを防ぎ、設定に変更が加えられた場合に警告を発生します。

各 SPI 読み出しの通信は、全ての通信シーケンス末尾に選択可能な CRC-16 チェックサムを SDO ピン上で付加する事で安全を確保できます。この CRC-16 の計算は、PIC24 および PIC32 MCU の DMA CRC ハードウェアと互換であるため、セキュリティ追加でオーバーヘッドが増大する事はありません。

デバイスの全設定を保護するために、MCP3914 には 8 ビットのロックコード (LOCK<7:0>) があります。これは、LOCK<7:0> の値が定義済みのパスワード (0xA5) と一致しないと、全レジスタマップへの書き込みコマンドを阻止する機能です。ユーザは、全てのプログラミングが終了した後に LOCK<7:0> の値を 0x00 に変更する事で、設定を保護できます。これにより、意図しない書き込みコマンドが設定を変更する事はありません (LOCK<7:0> とパスワード 0xA5 が一致しないため)。

さらに、追加の CRC-16 計算もバックグラウンドで常時実行され、全レジスタマップの完全性を確保します。レジスタマップの全ての書き込み可能レジスタ (MOD レジスタを除く) は、CRC-16 計算エンジンで処理され、設定に応じて CRC-16 チェックサムが付加されます。このチェックサムは、LOCK/CRC レジスタから読み出す事ができ、常に更新されています。このチェックサムが変化した場合、選択可能な割り込みによって \overline{DR} ピンにフラグを立て (\overline{DR} ピンが論理 LOW に遷移)、ユーザに設定の破損を警告できます。

6.2 制御バイト

MCP3914 の制御バイトには、2 つのデバイスアドレス ビット (A<6:5>)、5 つのレジスタアドレス ビット (A<4:0>)、1 つの読み書きビット (R/W) が含まれます。全ての通信で、MCP3914 へ送信される最初のバイトは常に制御バイトです。制御バイトの転送中、SDO ピンは常にハイインピーダンス状態です。MCP3914 インターフェイスでは、デバイスのアドレス指定が可能であるため (A<6:5> で指定)、データバス競合を起こさずに、同一 SPI バスに複数のチップを接続できます。これらのチップがたとえ \overline{CS} ピンを共有していたとしても、異なるアドレス識別子によって、チップが提供する半二重の SPI インターフェイスを使えます。この機能によって、例えば、24AAXXX/24LCXXX または 24FCXXX のようなシリアル EEPROM と MCP3914 で全ての SPI ピンを共有し、アプリケーション プロセッサの I/O ピン使用本数を減らす事ができます。これらのシリアル EEPROM 回路の全てが A<6:5> = 00 を使うからです。

A<6>	A<5>	A<4>	A<3>	A<2>	A<1>	A<0>	R/W
Device Address		Register Address					Read/Write

図 6-1: 制御バイト

デバイスアドレスビットの既定値はA<6:5> = 01です (その他の使用可能なデバイスアドレスビットについては代理店にお問い合わせください)。詳細は、[製品識別システム](#)を参照してください。表 8-1 に、レジスタマップを示します。

6.3 デバイスからの読み出し

SDO ピンで最初に読み出されるレジスタは、制御バイトのアドレス (A<4:0>) で定義されているレジスタです。この最初のレジスタ送信後に CS ピンが論理 LOW に保持されている場合、制御バイトを追加する

事なく通信は継続されます。SDO ピンからは、アドレスの自動インクリメント実行の有無を READ<1:0> ビットに応じて決定し、次のレジスタが送信されます。STATUSCOM レジスタの READ<1:0> ビットでは、アドレスインクリメントの方法が異なる4つの読み出しモードコンフィギュレーションを定義できます ([セクション 6.5 「連続通信、レジスタセットのルーピング」](#)と表 8-2 参照)。SDO のデータは SCK の立ち下がりがエッジで MCP3914 からクロック出力されます。[セクション 6.5 「連続通信、レジスタセットのルーピング」](#)に、各レジスタの読み出しフォーマットを示します。

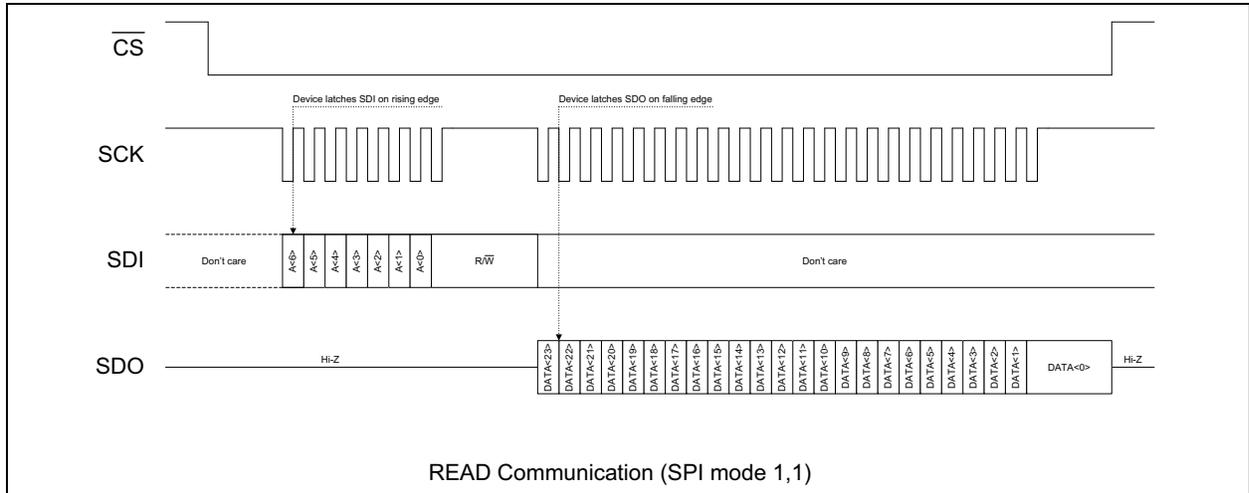


図 6-2: 24 ビットフォーマットによるシングルレジスタの読み出し (WIDTH_DATA<1:0> = 01, SPI モード 1,1)

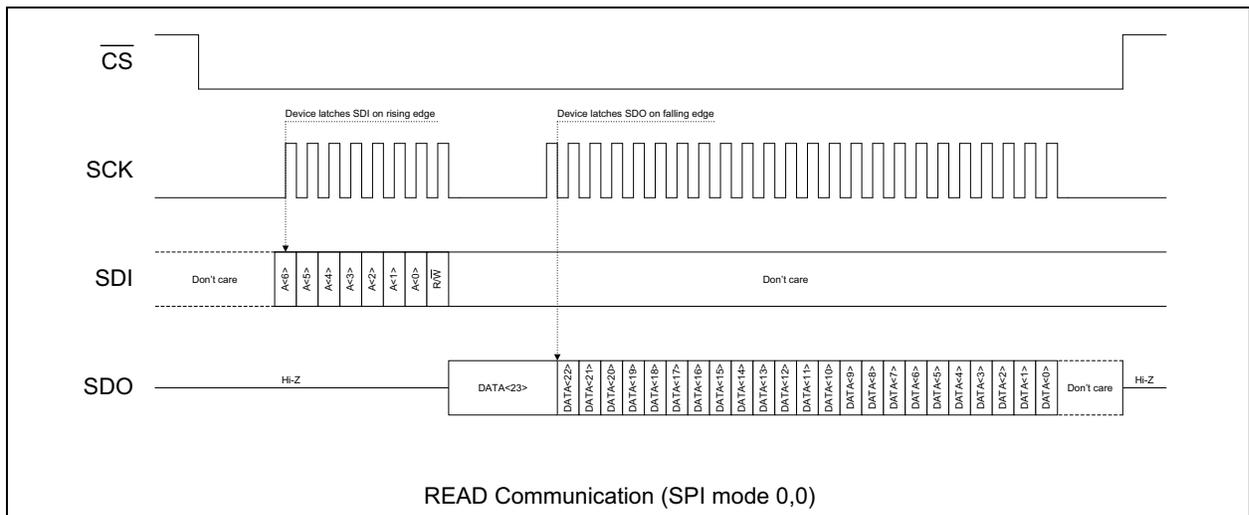


図 6-3: 24 ビットフォーマットによるシングルレジスタの読み出し (WIDTH_DATA<1:0> = 01, SPI モード 0,0)

MCP3914

6.4 デバイスへの書き込み

SDI ピンからデバイスに最初に書き込まれるレジスタは、制御バイトのアドレス (A<4:0>) で定義されたものです。この最初のレジスタ送信後に CS ピンが論理 LOW に保持されている場合、制御バイトを追加する事なく通信は続きます。SDI ピンからは、アドレスの自動インクリメント実行の有無を WRITE ビットに応じて決定し、次のレジスタが送信されます。

STATUSCOM レジスタの WRITE ビットでは、アドレスインクリメントの方法が異なる2つの書き込みモードコンフィグレーションを定義できます (セクション 6.5、「連続通信、レジスタセットのルーピング」と表 8-2 参照)。書き込み通信中、SDO ピンはハイインピーダンス状態を保持します。SDI のデータは SCK の立ち上がりエッジで MCP3914 にクロック入力されます。セクション 6.5、「連続通信、レジスタセットのルーピング」に、各レジスタの書き込みフォーマットを示します。未定義または ADC チャンネルのレジスタアドレス等の書き込み不可アドレスに対する書き込みは効果を持たず、アドレスカウンタもインクリメントしません。

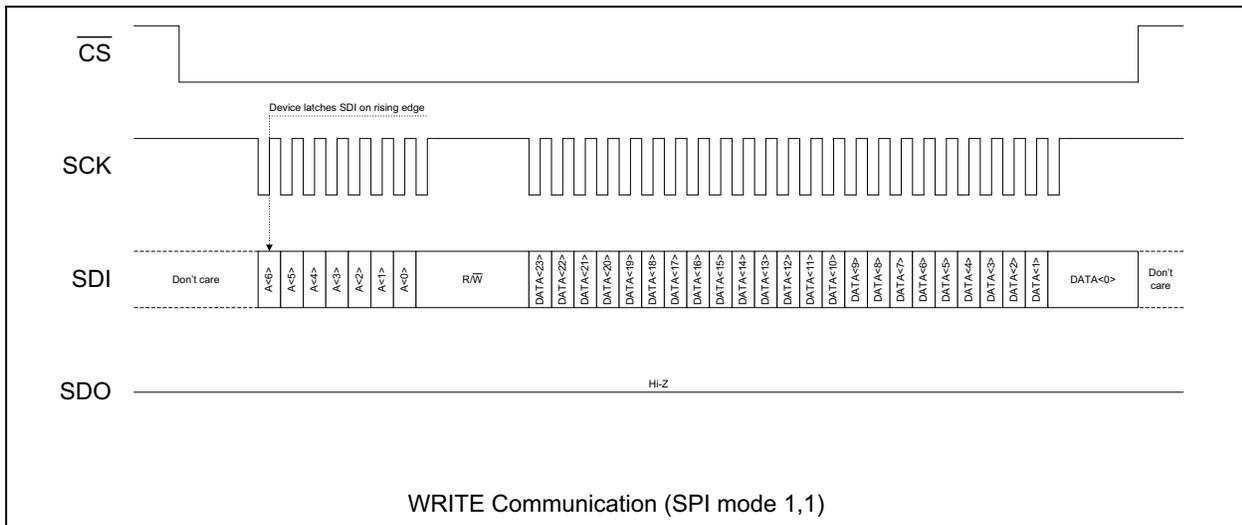


図 6-4: 24 ビットフォーマットによるシングルレジスタの書き込み (SPI モード 1,1)

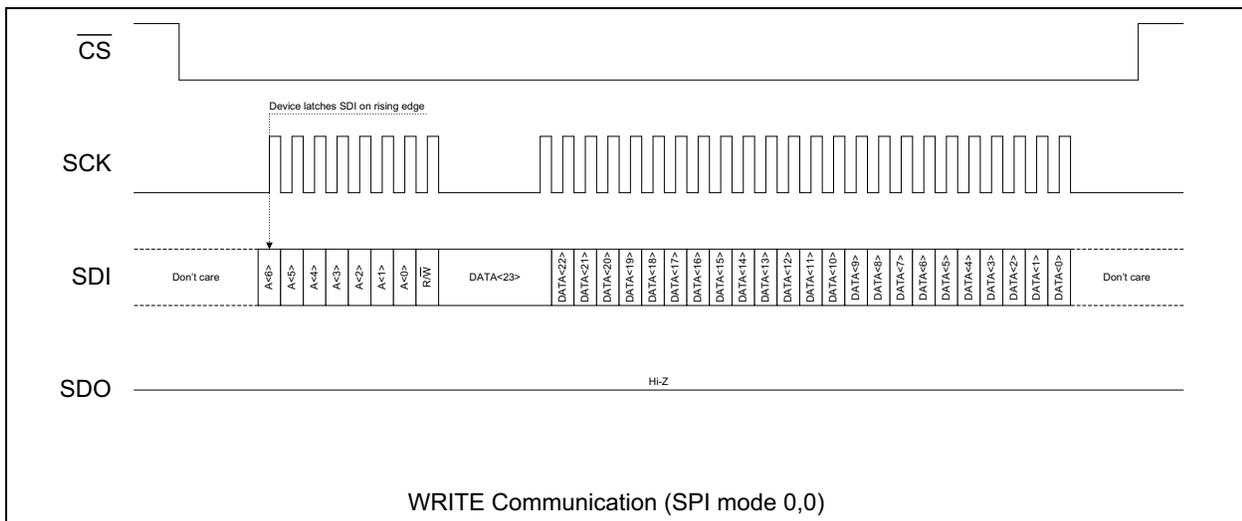


図 6-5: 24 ビットフォーマットによるシングルレジスタの書き込み (SPI モード 0,0)

6.5 連続通信、レジスタセットのルーピング

MCP3914 のデジタル インターフェイスは連続モードで通信を処理できます。このモードでは、レジスタへの読み出しまたは書き込みの間に毎回 SPI コマンドを入力する必要がありません。この機能によってユーザは通信オーバーヘッドを徹底して最小化でき、システムの EMI 放射とスイッチング ノイズが低減します。

レジスタは連続通信用に複数のセットにグループ化できます。異なるセットへのレジスタのグループ化は、内部 SPI 通信アドレスポインタを制御する READ<1:0> および WRITE ビットで定義されます。表 8-2 に、READ<1:0> および WRITE ビットの機能とレジスタマップセットの関係を示します。

連続通信の場合、 \overline{CS} ピンの立ち下がりがエッジ後に通信を開始する SDI 上の制御バイトは 1 つだけです。 \overline{CS} ピンが論理 HIGH に戻るまで、デバイスは同一通信ルー

プ内に留まります。SPI 内部レジスタアドレス ポインタは制御バイト内に定義されたアドレスの送受信から開始します。この最初の送受信の完了後、SPI 内部レジスタアドレス ポインタは送受信ごとに、レジスタセット内の次に使用可能なアドレスに自動的にインクリメントします。セット内の最後のアドレスに達した時点で通信シーケンスは終了します。アドレスポインタ ループは定義済みセットの最初のアドレスに自動的に戻り、新たなシーケンスを自動インクリメントによって再開します (図 6-6 参照)。この内部アドレスポインタ自動選択によって、以下の機能を実現できます。

- 1 つの ADC チャンネルのデータ、ADC チャンネルのペア、全ての ADC チャンネルの連続読み出し
- レジスタマップ全体の連続読み出し
- 個々のレジスタの連続読み書き
- 全てのコンフィギュレーション レジスタの連続読み書き

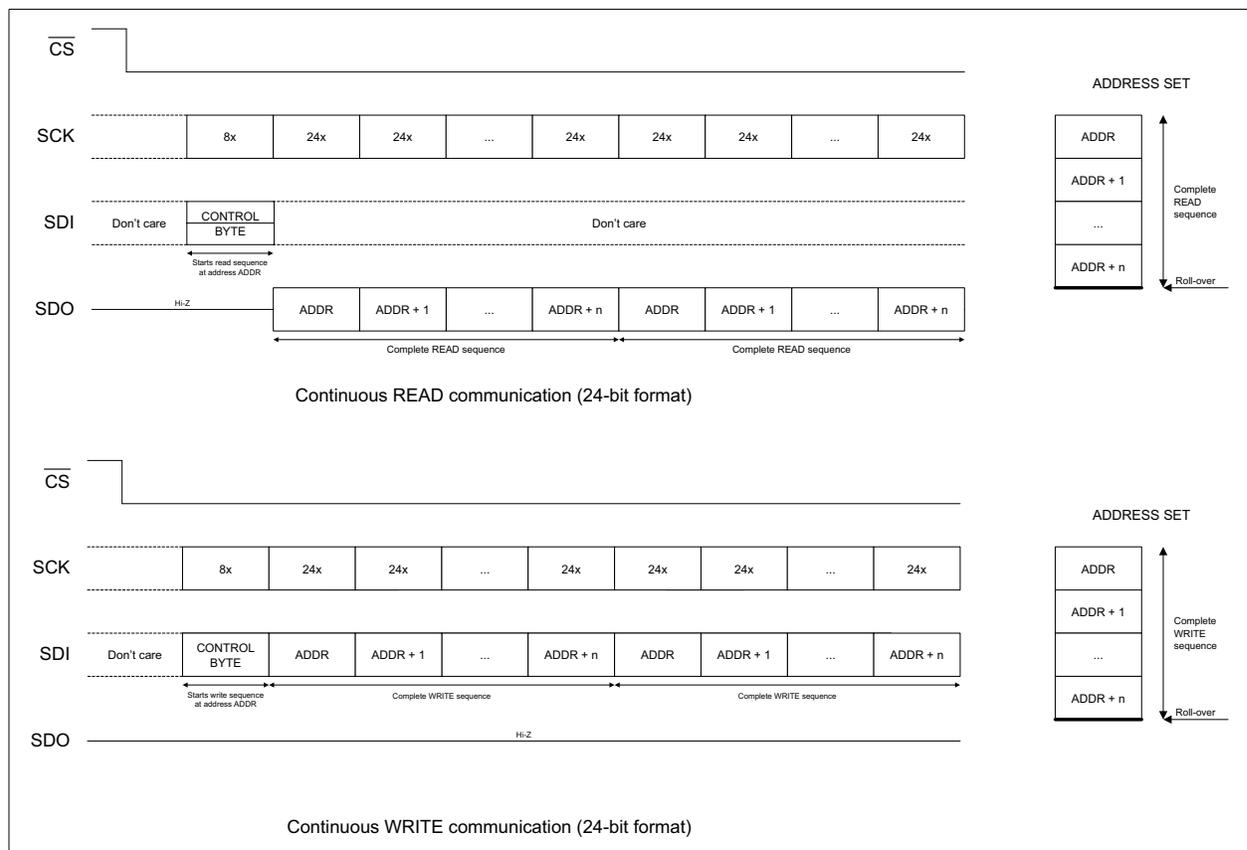


図 6-6: 連続通信シーケンス

MCP3914

6.5.1 連続読み出し

STATUSCOM レジスタには、内部レジスタアドレスポインタ (READ<1:0> ビット) 用の読み出し通信ルーブ設定が含まれます。連続読み出しモードの場合、アドレス選択は次の 4 通りの値を取ることができます。

表 6-1: 連続読み出しのアドレス選択

READ<1:0>	連続読み出し通信のレジスタアドレスセットのグループ
00	単独 (インクリメントなし)
01	グループ
10	タイプ (既定値)
11	全レジスタマップ

連続読み出し通信では、制御バイトより後に受信した SDI データは全て無視されます。下図は、ADC 全 8 チャンネルに対する代表的な連続読み出し通信を示しています。「タイプ」モードの既定値設定 (DR_LINK = 1、READ<1:0> = 10、WIDTH_DATA<1:0> = 01) での、SPI モード 0,0 (図 6-7) と SPI モード 1,1 (図 6-8) の場合です。

Note: SPI モード 0,0 による ADC データの連続読み出しでは (図 6-7 参照)、データレディ後にデータの読み出しが完了すると、読み出しの最後 (最後の SCK クロックの立ち下がリエッジ) で、SDO ピンの状態は直前のデータの MSb となります。SCK が論理 LOW でアイドル状態となる場合 (モード 0,0 の定義による)、SDO ピンの状態は、次のデータレディパルスの立ち下がリエッジで (DR ピンの立ち下がリエッジから t_{DODR} の遅延後に)、そのデータレディパルスに対応する新しいデータの MSb に更新されます。この機構により、SPI モード (0,0) を使った場合でも、MCP3914 は ADC データ出力を切れ目なく連続して読み出せます。

SPI モード (1,1) では、読み出し完了後に SDO ピンは直前の状態 (直前のデータの LSb) を維持するため、やはり切れ目のない連続読み出しモードが可能です (図 6-8 参照)。

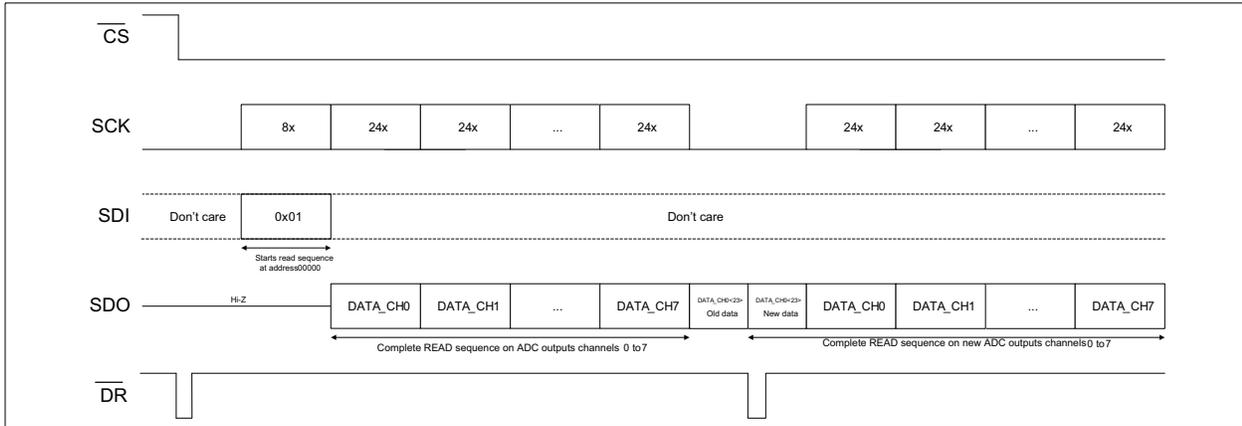


図 6-7: 代表的な連続読み出し通信 (WIDTH_DATA<1:0> = 01、SPI モード 0,0)

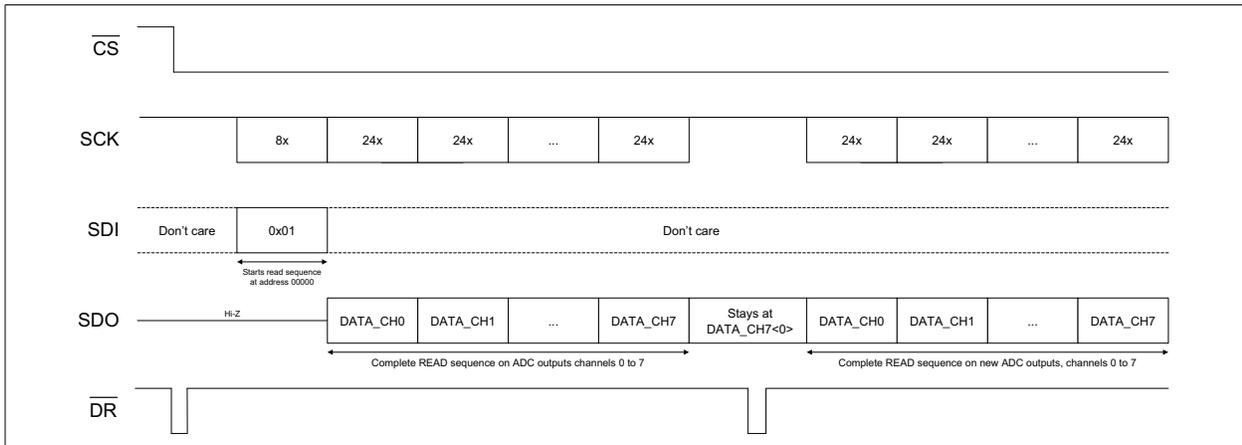


図 6-8: 代表的な連続読み出し通信 (WIDTH_DATA<1:0> = 01、SPI モード 1,1)

6.5.2 連続書き込み

STATUSCOM レジスタには、内部レジスタアドレス ポインタ (WRITE) 用の書き込みループ設定が含まれます。連続書き込みの場合、アドレス選択は次の 2 通りの値を取る事ができます。

表 6-2: 連続書き込みのアドレス選択

WRITE	連続書き込み通信のレジスタ アドレス セットのグループ
0	単独 (インクリメントなし)
1	タイプ (既定値)

連続書き込み通信中、SDO は常にハイ インピーダンス状態です。書き込み不可アドレス (例: アドレス 0x00 ~ 0x07) への書き込みは何も効果を持たず、アドレスポインタはインクリメントしません。この場合、通信を停止して書き込み可能アドレス (0x08 ~ 0x1F) をポインタする制御バイトで通信を再開する必要があります。

Note: LOCK<7:0> が 0xA5 以外の場合、0x1F を除く全てのアドレスが書き込み不可になります ([セクション 4.13 「MCP3914 の ΔΣ 型アーキテクチャ」](#) 参照)。

6.6 アクティブな ADC をリセットおよび再起動する状況

次の操作を行った直後は、適正な動作を確保するために、アクティブな ADC (ソフトリセットまたはシャットダウン モードではない ADC) がリセットされ、自動的に再起動します。

1. PHASE0/1 レジスタの変更
2. 同じ PHASE0/1 レジスタ値の上書き
3. OSR<2:0> 設定の変更
4. PRE<1:0> 設定の変更
5. CLKEXT 設定の変更
6. VREFEXT 設定の変更

このような一時的リセット後、コマンドを追加しなくとも ADC は通常の動作に戻ります。各 ADC データ出力レジスタはこのプロセスでクリアされます。PHASE0/1 レジスタのどちらかに元の値と同じ値を再度書き込む事により、コンフィグレーションレジスタの RESET<7:0> ビットを使わずに ADC を逐次ソフトリセットできます。

6.7 データレディピン (\overline{DR})

チャンネル変換の終了時に、チャンネルデータの送信が可能になった事を通知するために、データレディピン (\overline{DR}) にデータレディ信号が生成されます。データレディピンは DMCLK クロック周期の半分に等しいパルス幅の、アクティブ LOW パルスを出力します。ADC 出力データは、データレディ パルスの立ち下がりがエッジから t_{DODR} タイミング以内に更新され、その後 SPI 通信を介して読み出す事ができます。

ハードまたはソフトリセット後の最初のデータレディパルスは、SINC フィルタのセトリングタイム ([表 5-3](#) 参照) と、対応するチャンネルの位相遅延 ([セクション 5.9 「位相遅延ブロック」](#) 参照) を足した時間後に発生します。2 つ目以降のパルスは周期的に発生し、その周期は DRCLK のクロック周期と同じです ([式 4-3](#) と [図 1-3](#) 参照)。データレディ パルスは常に内部 DRCLK クロックに同期しています。

\overline{DR} ピンは、MCU または DSP に接続して割り込みピンとして使えます。これによって、ADC データ出力の読み出しを同期させます。アクティブ LOW 以外の時、このピンはハイ インピーダンス ($DR_HIZ = 0$) または定義された論理 HIGH 状態 ($DR_HIZ = 1$) のどちらかを取ります。これは STATUSCOM レジスタで設定します。これにより、同一データレディピンを複数のデバイスで共有できます (\overline{DR} と DV_{DD} 間にプルアップ抵抗を接続)。割り込みバス上に MCP3914 が 1 個しか存在しない場合、 \overline{DR} ピンのプルアップ抵抗は不要になるため、そのようなアプリケーションでは、 $DR_HIZ = 1$ に設定する事を推奨します。

\overline{CS} ピンは \overline{DR} ピンに影響を与えません。このため \overline{CS} ピンが論理 HIGH になっても、アクティブな ADC チャンネルからのデータレディ パルスは引き続き出力されます。 \overline{DR} ピンの挙動は SPI インターフェイスから独立しています。RESET ピンが論理 LOW の状態では、 \overline{DR} ピンは動作しません。レジスタ コンフィグレーションが破損した事を示す CRCREG の割り込みフラグが立っている場合、DR ピンは論理 LOW 状態にラッチされます ([セクション 6.11 「レジスタマップの CRC-16 チェックサムと対応する割り込みフラグによるコンフィグレーション変更の検出」](#) 参照)。

6.8 ADC チャンネルのラッチと同期

ADC チャンネルのデータ出力レジスタ (アドレス 0x00 ~ 0x07) は、ダブルバッファ出力構造を備えています。直列 2 セットのラッチが、データレディ信号と読み出し通信シーケンスの開始を示す内部信号 (読み出し開始信号) でトリガされます。

1 セット目のラッチは、データが読み出し可能になった時点で各 ADC チャンネルのデータ出力レジスタの値を保持し、DR_LINK = 1 の場合、アクティブな出力の全てをまとめてラッチします。この動作は、DMCLK クロックに同期して実行されます。

2 セット目のラッチは、ADC 出力で読み出しが始まった時に、対応するデータをラッチして、読み出し中のデータの破損を防ぎます。この動作は、SCK クロックに同期して実行されます。ADC データの読み出し開始後は、その後続く ADC 出力を読み出す前に現在の読み出しを完了する (SDO ピンにより、ADC 出力データレジスタから全てのビットを読み出す) 必要があります。

ダブル出力バッファ構造は、2 つの非同期クロック (DMCLK によるデータレディおよび SCK による読み出し開始) に依存する 2 つのイベントでトリガされるため、チャンネルの読み出しを同期させるには、MCU またはプロセッサで次の 3 つの方法のどれか 1 つを実装します。

1. **データレディピンのパルスを割り込みとして使う:** $\overline{\text{DR}}$ ピンの立ち下がりエッジ発生から t_{DODR} タイミングが経過した時点で ADC 出力レジスタからデータを読み出せるようになります。このタイミングを守らないと、データ破損が発生する恐れがあります。
2. **MCLK でクロッキングされているタイマを同期イベントとして使う:** データレディは DMCLK に同期しているため、ユーザは各チャンネルの PHASE0/1、OSR<2:0>、PRE<1:0> 設定に基づいて、データレディの位置を計算できます。この場合も、データ破損を防ぐために、計算に t_{DODR} タイミングを加味する必要があります。
3. **STATUSCOM レジスタの DRSTATUS<7:0> ビットをポーリングする:** この方法は、STATUSCOM レジスタを継続的に読み出し、DRSTATUS ビットが「0」に遷移するのを待ちます。このイベントが発生した時点で、ユーザは目的とする ADC データを読み出す新たな通信を開始できます。この場合、その他のタイミングは不要です。

MCU コード空間の追加が不要である事から第 1 の方法を推奨します。ただし、 $\overline{\text{DR}}$ ピンを MCU の I/O ピンに接続する必要があります。残りの 2 つの方法は、より多くの MCU コード空間と実行時間を必要としますが、DR ピンを接続せずにチャンネルの同期読み出しができるため、MCU の I/O ピンを 1 本使わずに済みます。

6.9 CRC-16 チェックサムによる読み出し通信の保護

電力 / 電力量計測システムは、大きな EMI/EMC 干渉と大きな瞬時スパイクを発生または受ける可能性があるため、アプリケーションの全寿命にわたってデータの完全性と必要な設定を維持するには、SPI 通信を可能な限り保護すると効果的です。

SDO ピンの通信データは、連続する各読み出しシーケンスの末尾に巡回冗長検査 (CRC) チェックサムを挿入する事で保護できます。通信の CRC チェックサムは、STATUSCOM レジスタの EN_CRCOM ビットで有効または無効にできます。CRC メッセージは SDO ピンに送信される読み出しシーケンスビットの完全性を保証し、CRC チェックサムは各読み出しシーケンスの間に挿入されます (図 6-9 参照)。

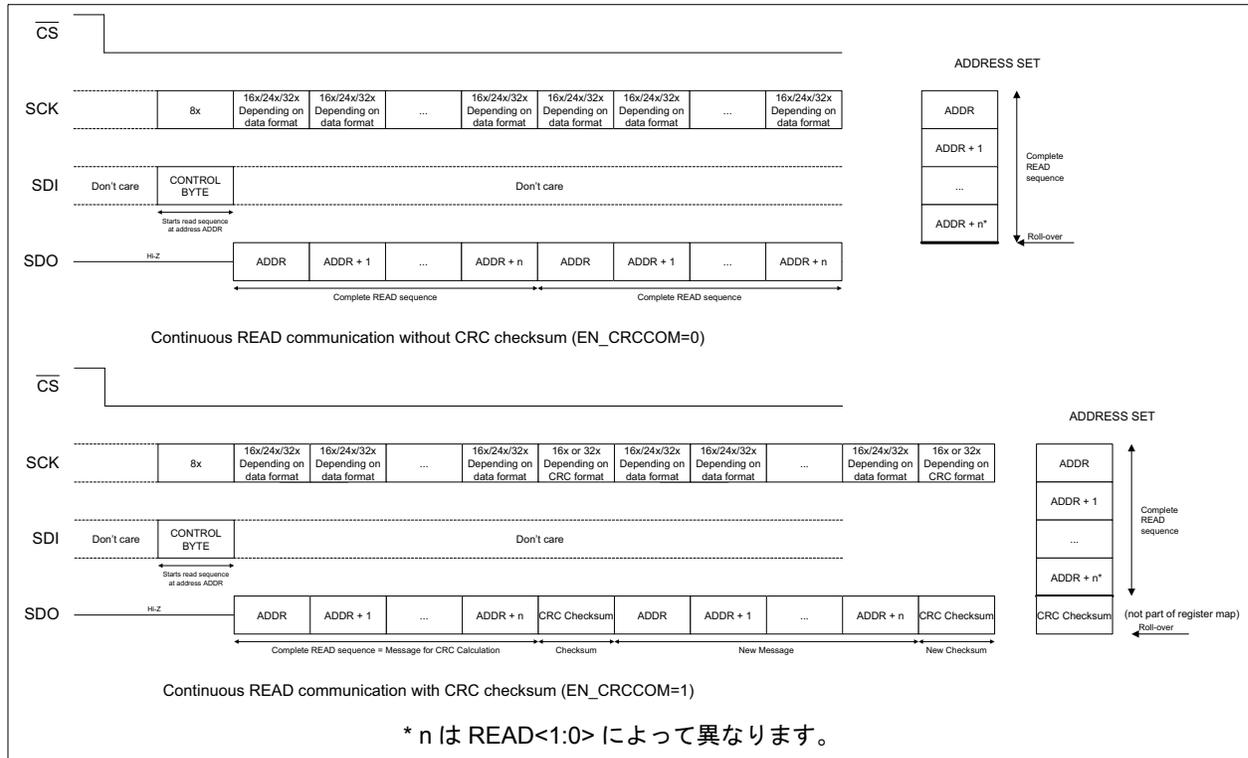


図 6-9: CRC チェックサムを有効にした場合としない場合の連続読み出しシーケンス

MCP3914 の CRC チェックサムは、IEEE 802.3 規格に定義された 16 ビットの CRC-16 ANSI 多項式 $x^{16} + x^{15} + x^2 + 1$ を使います。この多項式を、0x8005 と表記する事もあります。CRC-16 はシングルおよびダブルビットエラーの全て、奇数個ビットのエラーの全て、長さ 16 以下のバーストエラーの全て、より長いバーストエラーのほとんどを検出します。これは、システムで発生する可能性がある SPI 通信エラーを広くカバーでき、ノイズの多い環境でも通信エラーの危険性を大幅に低減します。

SDO ピンに出力される CRC-16 のフォーマットは、STATUSCOM レジスタの WIDTH_CRC ビットで決まります (図 6-10 参照)。16 ビットと 32 ビットの MCU の両方に互換性を持たせるために、16 ビットまたは 32 ビットのフォーマットを使えます。MCP3914 が計算する CRCCOM<15:0> ビットは、フォーマットに依存しません (デバイスでは常に 16 ビット CRC チェックサムだけを計算します)。アプリケーションで 32 ビット MCU を使う場合、32 ビットフォーマット (WIDTH_CRC = 1) だけを使う事を推奨します。

MCP3914 が計算する CRC は PIC24 および PIC32 MCU 製品ラインのダイレクト メモリアクセス (DMA) で使われる CRC ハードウェアと完全互換です。PIC[®] MCU の DMA で考慮すべき CRC メッセージは、読み出しシーケンスと、これに対応するチェックサムを連結したものです。DMA CRC ハードウェアがこの拡張メッセージを計算した場合、チェックサムとして 0x0000 が得られるはずですが、これ以外の結果は、どれも通信エラーの発生を意味し、現在の通信シーケンスを停止して再度実行する必要がある事を示しています。

Note: CRC は選択したアドレスセットの末尾、アドレスポインタのロールオーバーが発生する前だけに生成されます (図 6-9 参照)。

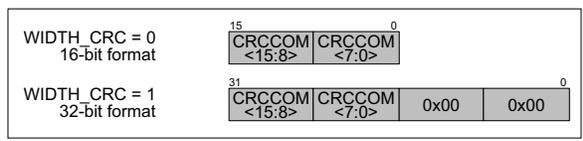


図 6-10: CRC チェックサムのフォーマット

6.10 レジスタマップ書き込みアクセスのロック/ロック解除

MCP3914 のデジタル インターフェイスには、レジスタマップへの書き込みアクセスに対するロックまたはロック解除を可能とする、先進のセキュリティ機能があります。この機能は、デバイスに必要なコンフィグレーションを破損する恐れのある通信エラー、特にノイズの多い環境で SPI 読み出しが SPI 書き込みに変化して発生するエラーを予防します。

レジスタマップの最後のレジスタアドレス (0x1F: LOCK/CRC) には、LOCK<7:0> ビットが格納されています。これらのビットがパスワードの値 (既定値の 0xA5 と同じ) に等しい場合、レジスタマップへの書き込みアクセスはロックされません。任意の書き込みを実行でき、通信は保護されません。

LOCK<7:0> ビットが 0xA5 と異なる場合、レジスタマップ書き込みアクセスはロックされます。レジスタマップ、つまりデバイスの全コンフィグレーションが書き込み保護されます。0x1F 以外のアドレスへの書き込みは全て無視されます。アドレス 0x1F 以外のレジスタアドレスは、全て読み出し専用になります。この場合にコンフィグレーションを変更するには、LOCK<7:0> ビットを再プログラミングで 0xA5 に戻してから、必要な書き込みコマンドを送信する必要があります。

LOCK<7:0> ビットは最後のレジスタにあるため、ユーザは全レジスタマップを 0x09 から 0x1E まで 1 つの書き込みシーケンスで連続してプログラミングし、シーケンスの最後にアドレス 0x1F に例えばオール 0 を書き込む事で、コンフィグレーションをロックできます。

6.11 レジスタマップの CRC-16 チェックサムと対応する割り込みフラグによるコンフィグレーション変更の検出

MCP3914 は、レジスタの内部破損を防ぎ、レジスタマップ コンフィグレーションのセキュリティを高めるために、全レジスタマップのコンフィグレーションビットに対して CRC チェックサムを自動的に常時計算する機能を備えています。この計算は、**セクション 6.9「CRC-16チェックサムによる読み出し通信の保護」**で説明した通信の CRC チェックサムとは異なります。この計算は、レジスタマップ全体を CRC メッセージと見なし、LOCK/CRC レジスタ (アドレス 0x1F) にある CRCREG<15:0> ビットにチェックサムを出力します。

この機能はデバイスのコンフィグレーション保護を目的としているため、チェックサム計算はレジスタマップがロックされている間 (LOCK<7:0> が 0xA5 以外の時、**セクション 6.10「レジスタマップ書き込みアクセスのロック/ロック解除」**参照)、常時実行されます。レジスタマップのロックが解除されると CRCREG<15:0> ビットがクリアされ、CRC は計算されません。

計算は、DMCLK の 25 周期で完了し、DMCLK の 25 周期ごとに継続して更新されます。CRCREG<15:0> ビットは POR またはハードリセットが発生するとリセットされます。アドレス 0x09 ~ 0x1F のレジスタに含まれる全ビットが CRC エンジンで処理され、CRCREG<15:0> が計算されます。この計算エンジンに対しては、DRSTATUS<7:0> ビットが「1」(既定値) に設定され、CRCREG<15:0> ビットが「0」(既定値) に設定されます。これらの値は計算中に変化する可能性があります。

STATUSCOM レジスタの EN_INT ビットで割り込みフラグを有効にし、書き込みコマンドを処理していない時にコンフィグレーションが変化した場合、 $\overline{\text{DR}}$ ピンにフラグを出力できます。この割り込みは、論理 LOW 状態です。この割り込みは、レジスタマップのロックを解除するとクリアされます (CRC 計算が処理されないため)。

電源投入時、割り込みは発生せずレジスタマップのロックは解除されています。この割り込みフラグを使えるようにするには、コンフィグレーションの書き込みの完了後、レジスタマップをロックする (例: LOCK ビットに 0x00 を書き込む) 必要があります。DMCLK の 25 周期で、最初の CRCREG<15:0> ビットが計算されます。この最初の値がチェックサムの基準値となり、内部でラッチされます。ラッチは、ハードリセット、POR、レジスタマップのロック解除が発生するまで保持されます。その後、CRCREG<15:0> は常時計算され、基準チェックサムと比較確認されます。CRCREG<15:0> が基準チェックサムと異なった場合、割り込みが $\overline{\text{DR}}$ ピンを論理 LOW 状態に設定する事でフラグを送信します。LOW 状態は割り込みがクリアされるまで続きます。

NOTES:

MCP3914

7.0 応用回路に関する基本的な推奨事項

7.1 代表的な応用回路

テーブルタップ電力計測アプリケーション(図7-1)の最も一般的なソリューションでは、1チャンネルを電圧計測に、残りのチャンネルを電流計測に使用します。電流ラインは全てが同じ電位にあるため、電気的絶縁は一切提供しませんが、電流センサとしてシャントを使った例です。

MCP3914のチャンネルは全て同一であるため、どれを電圧チャンネルとして使っても構いません(ただし、CH0またはCH7を推奨します。これらは端に位置するため、よりノイズの少ないレイアウトが可能となるからです。なお、図7-1ではCH6が電圧チャンネルです)。

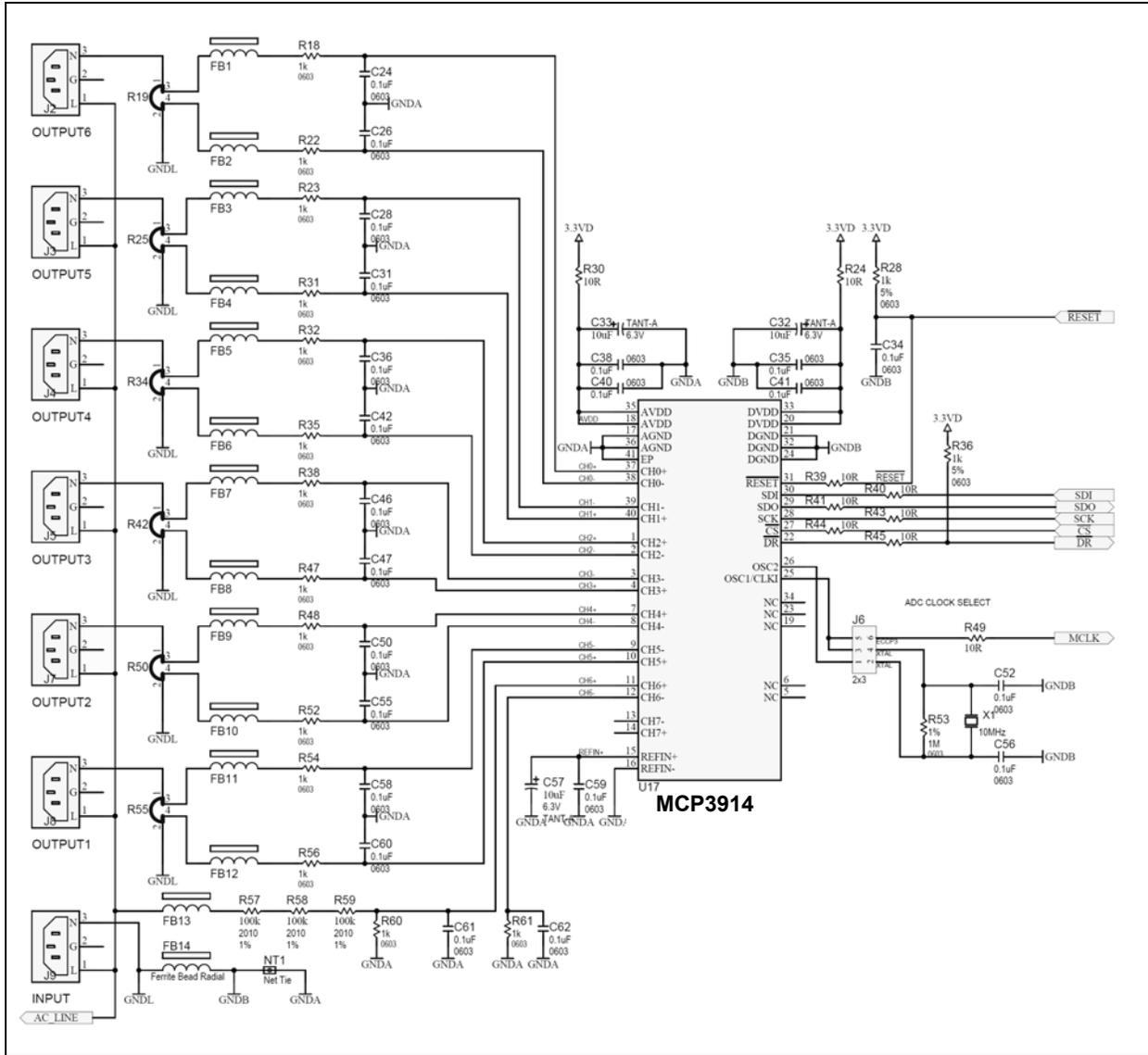


図7-1: 6チャンネル テーブルタップアプリケーション

3相メータ等の多相計測アプリケーションでは、変流器、ログスキーコイル、ホールセンサ等の電気絶縁が得られる電流センサの使用を推奨します。

7.2 電源設計とバイパス

MCP3914 は、電流検出デバイスで発生する正負電圧を計測するために設計されました。この電流検出デバイスは、グラウンドに接続されたバーデン抵抗付きの変流器 (CT) あるいは シャントです。0 ボルトに近い共通モード電圧を A_{GND} としています。この ADC は、その特長である高い性能と柔軟性によって、 A_{GND} を基準とした各ピンの絶対電圧が $-1 \sim +1$ V の範囲に留まる限り、他のアプリケーションでも使えます。

どのシステムでも、アナログ IC (例：参照電圧源、オペアンプ) は必ずアナロググラウンドプレーンに接続します。MCP3914 も感度の高いアナログ部品と見なすべきであり、アナロググラウンドプレーンに接続する必要があります。ADC には 2 対のピンがあります。 A_{GND} 、 AV_{DD} 、 D_{GND} 、 DV_{DD} です。最適性能を得るには、これら 2 つのペアを 2 つの異なる回路網に接続する事を推奨します (図 7-2)。この設計手法では、2 つのグラウンドトレースと 2 つの電源を使います (図 7-3)。

これは、図 7-2 に示すように、アナログ回路 (MCP3914 を含む) とデジタル回路 (MCU) が、独立した電源と、外部グラウンド基準への独立した戻り経路を持つ事を意味します。図 7-3 に、アナログおよびデジタル電源に別々のラインを設けた電源回路の代表例を示します。図 7-4 に、電源分離の例を示します。この例では、グラウンドのスター型接続をデバイス裏面の露出パッドで実現しています。アナログとデジタルはデバイスの下で分離し、 AV_{DD} と DV_{DD} はグラウンドプレーン下に配線されるラインで互いに接続します。

PCB レイアウトの観点から、場合によっては実装が容易となるもう 1 つの方法は、MCP3914 をアナログ部品と考え、 AV_{DD} と DV_{DD} および A_{GND} と D_{GND} をそれぞれスター型に接続します。この方法では、デジタルフィルタや MCP3914 の SPI インターフェイスで発生するデジタル電源のリプルがアナログ電源のグリッチにつながるため、デカップリングコンデンサが大きくなる可能性があります。

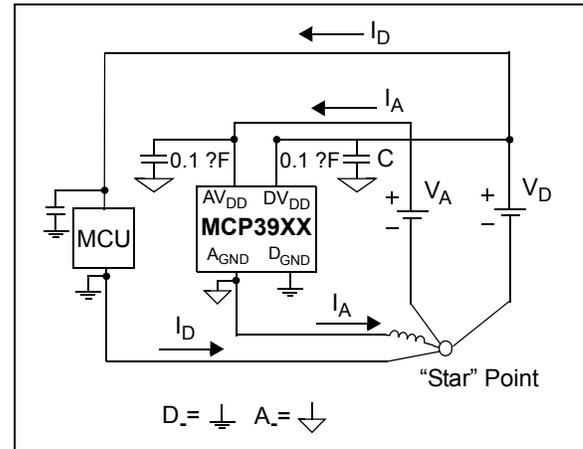


図 7-2: アナログおよびデジタルの全ての戻り経路は、適切なバイパスコンデンサを接続した独立したトレースにする必要があります。

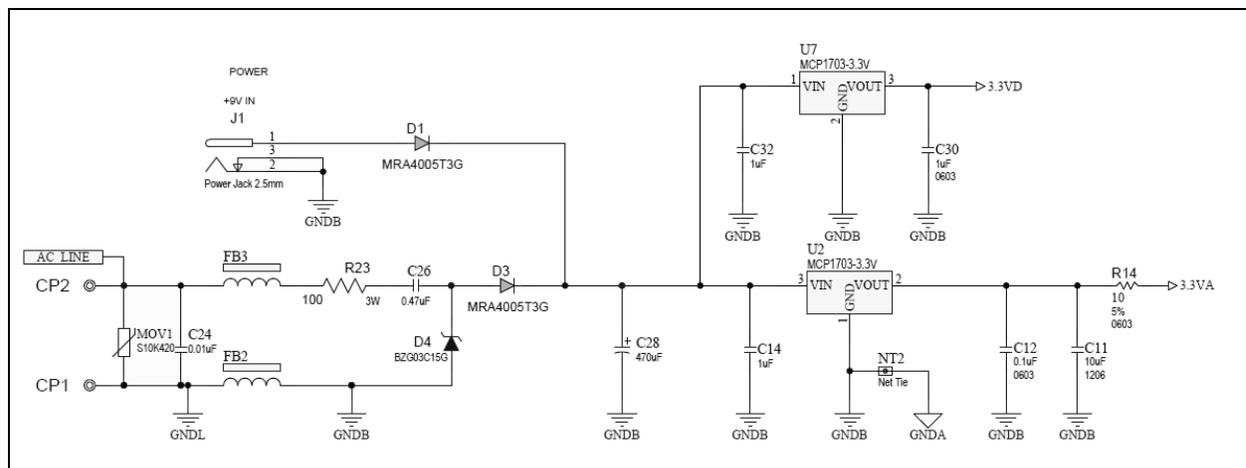


図 7-3: アナログとデジタル部に独立したラインを使った電源、スター型グラウンド接続を表す「Net Tie」オブジェクト NT2 に注目してください。

MCP3914

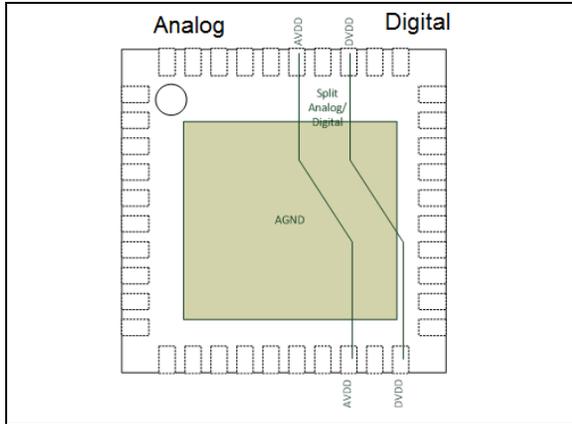


図 7-4: レイアウト上のアナログおよびデジタル回路の分離

図 7-5 に、高電圧ライン (例: 2 線式の 120 V または 220 V システム) への直接接続を含む、より詳細な例を示します。システムのグラウンドも提供する高圧側 /LINE 側で電流検出シャントを使って電流を計測しています。このような結線が必要なのは、シャントが MCP3914 のチャンネル入力ピンに直接接続されているためです。EMI 等の外部からの影響に対する感度を低くするために、図 7-5 にも示されている通り、これらの 2 本の線はツイストペアにする必要があります。電源と MCU は PCB の右側に分離され、デジタルグラウンドプレーンで囲まれています。MCP3914 は、左側に配置され、アナロググラウンドプレーンに囲まれています。このシステムには、デジタル部と MCP3914 を含むアナログ部に供給される 2 つの独立した電源があります。この配置では、2 つの独立した電流供給および電流戻り経路、 I_A と I_D があります。

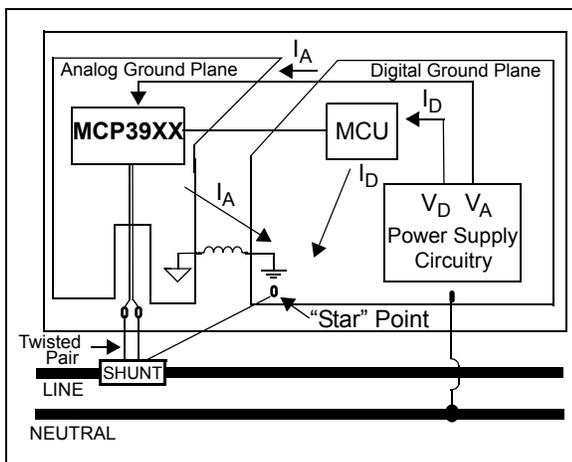


図 7-5: 接続図

デジタルおよびアナログのグラウンドプレーン間のフェライトビーズがデバイスに高周波ノイズが入るのを防ぎます。このフェライトビーズは低抵抗のものを推奨します。一般的にはスルーホール部品を使います。通常、フェライトビーズは保護を強化するためにシャント入力と電源回路に挿入します。

7.3 SPI インターフェイスのデジタルクロストーク

MCP3914 は、高速 20 MHz SPI デジタルインターフェイスを備えています。このインターフェイスは、何の対処もせず最大速度で動作させると、特に外側のチャンネル (CH0 と CH7) でクロストークを発生させる場合があります。このクロストークの原因は、デジタル SPI 信号によって発生するスイッチングノイズです (グラウンドバウンスとも呼ばれます)。クロストークは SNR を低下させます。アナログ電源とデジタル電源を適切に分離すれば、このノイズは減衰します (セクション 7.2 「電源設計とバイパス」参照)。

SPI 通信が計測精度に及ぼす影響をさらに低減するには、SPI ラインに直列抵抗を追加し、デジタルスイッチングノイズによって生じる電流スパイクを抑えます。抵抗の実装場所は図 7-5 を参照してください。この抵抗には電磁放射レベルを抑える効果もあります。

この MCP3914 データシートに記載された線図は、各 SPI I/O ピンに 100Ω の直列抵抗を接続した状態で計測しました。最大速度の 20 MHz でインターフェイスを動作させても、計測精度への擾乱は認められませんでした。

7.4 サンプリング速度と帯域幅

設計上 ADC の消費電力が問題とならない場合、最高の性能を得るために BOOST 設定を高くできます。これは OSR を常に最大に設定して、SINAD 性能を向上させるためです (表 7-1 参照)。MCU が十分に高速なクロックを発生できない場合、MCP3914 の水晶振動子オシレータの OSC1/OSC2 ピンをマイクロコントローラの水晶振動子として使う事ができます。サンプリング周波数を高くすれば、位相分解能が向上し、OSR を大きくすれば、位相補償レンジを既定値設定の場合と同じに保つ事ができます。

表 7-1: MCLK と OSR に対するサンプリング速度 (ADC のプリスケール 1:1)

MCLK (MHz)	BOOST<1:0>	OSR	サンプリング速度 (ksps)
16	11	1024	3.91
14	11	1024	3.42
12	11	1024	2.93
10	10	1024	2.44
8	10	512	3.91
6	01	512	2.93
4	01	256	3.91

7.5 差動入力アンチエイリアス フィルタ

MCP3914 に使われている ADC(オーバーサンプリング コンバータ) の特性から、ADC チャンネルの各差動入力にはアンチエイリアス フィルタが必要です。このフィルタによって、オーバーサンプリング周波数 (DMCLK) が大幅に減衰し、ADC の精度に対する擾乱が発生しなくなります。アンチエイリアス フィルタは、対象となる信号帯域幅でゲインを 1 に近づけるためにも必要です。

既定値設定 (DMCLK = 1 MHz) による 50/60 Hz の計測には、通常 1 k Ω と 100 nF の簡単な RC フィルタを使えます。計測値の線図に使われたアンチエイリアス フィルタは、1 k Ω と 15 nF による 1 次 RC フィルタです。図 7-6 に、ADC に変流器 (CT) を接続する代表的な回路図を示します。ワイヤを使う場合、それらを撚り線にする事を推奨します。

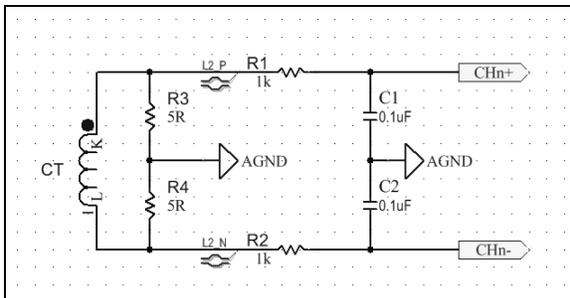


図 7-6: CT に基づく設計に使われる 1 次アンチエイリアス フィルタ

変流器の代わりに、ログスキーコイル等の di/dt 電流センサも使えます。これらの検出部品は高周波の電磁界に非常に敏感なため、RF 信号の擾乱要因をより確実に減衰させるために、2 次アンチエイリアス フィルタの使用を推奨します。

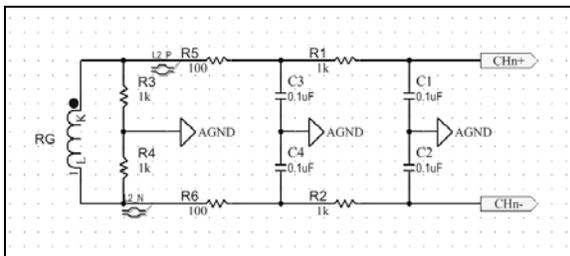


図 7-7: ログスキーコイルに基づく設計に使われる 2 次アンチエイリアス フィルタ

電流センサとして di/dt 型を使うアプリケーションでは、低周波でノイズフロアがきわめて低い MCP3914 を強く推奨します。このようなアプリケーションの場合、一般的には信号周波数 (電力計の場合 50 ~ 60 Hz) よりずっと低い遮断周波数のローパスフィルタ (LPF) を使い、90 度シフトと di/dt センサによって生じる 20 db/decade の減衰を補償します。このようなフィルタは SNR を低下させます。信号が数桁減衰する一方で低周波のノイズは減衰しないためです。通常、SNR の大幅低下を防ぐために、低周波ノイズの減衰には高次のハイパスフィルタを使います。これは、他の部品にとって重要となる可能性があります。高次のフィルタは MCU の計算能力も著しく消費します。MCP3914 は、低周波のノイズフロアが低いため、このような高次のハイパスフィルタは不要です。適切な精度を達成するには、1 次の HPF で十分です。

7.6 電力量計測の誤差に関する注意事項

計測誤差は、ADC ペア の非線形性が発現する代表的な現象です (計測誤差の定義は [セクション 4.0「用語と計算式」](#) を参照してください)。計測誤差は THD と ADC のノイズフロアで決まります。

MCP3914 の計測誤差仕様は、OSR を高く設定する事 (SINAD および THD 性能を高めるため) で改善できます。また、 $\Delta\Sigma$ 型 ADC のアンプの帯域幅が計測の帯域幅を著しく制限する場合、BOOST の設定である程度まで改善できます。電気メータ AC アプリケーションのほとんどで、各 ADC チャンネル (電流および電圧チャンネル) のオフセットを相殺するのにハイパスフィルタが使われます。このため、有効電力量の計測ではシステムの 1 点校正が必要です。これはシステムのゲイン校正であり、このデジタル校正を実行するには EN_GAINCAL ビットと GAINCAL_CHn レジスタを使います。このような校正の実行後、電流チャンネルの振幅をスweepし、出力の電力量を計測する事で、[図 2-7](#) のような代表的な計測誤差曲線が得られます (ここでの電力量計算はチップ外で実施)。誤差は、CT に基づくアプリケーションのほとんどに適用されているゲイン 1x で計測しています。

MCP3914

信号の振幅が小さい場合 (通常 1000:1 以上のダイナミックレンジ)、主に PCB によって発生するチャンネル間のクロストークが、計測誤差の増大と共に擾乱の大部分を占めるようになります。図 2-5 の 1 点計測誤差曲線は、計測に使わない全入力にフルスケールの正弦波を入力して実施しました。これは、これらのチャンネルが計測誤差曲線に対して最大量のクロストークを発生させる事を意味します。このような挙動を防ぐには、計算の部分で 2 点校正を実施します。

この 2 点校正では 2 つの校正点 (ダイナミックレンジの両端、1 点は高振幅側、もう 1 点は低振幅側) の間で単純な線形内挿を行い、チャンネル間のクロストークの効果を大幅に低減させます。MCP3914 は非線形性と歪みが非常に低いため、2 点校正はダイナミックレンジ全域で計測誤差を 0 に近く保つ上で大きな効果を発揮します。図 2-6 に、図 2-5 と同じ ADC データから得られる計測誤差曲線を示します。ただし、この図では 2 点校正を実施済みです。差異が著しいのは、ADC 出力信号の中であらゆる擾乱の要因が占める割合が大きくなるダイナミックレンジの低い側だけです。これらの曲線は、ダイナミックレンジ全体で (ここでは通常 10,000:1)、高精度クラスのメータに求められるきわめて小さな計測誤差を示しています。

NOTES:

MCP3914

8.0 MCP3914 の内部レジスタ

表 8-1 に、内部レジスタに関連するアドレスを示します。ここでは、レジスタの詳細についても説明します。全てのレジスタは長さが 24 ビットで (32 ビットの MOD レジスタを除く)、それぞれ独立してアドレス指定し、読み出す事ができます。

データレジスタ (0x00 ~ 0x07) のフォーマットは、STATUSCOM レジスタの WIDTH_DATA<1:0> ビットで変更できます。READ<1:0> および WRITE ビットは、連続読み書き通信またはアドレスセットのループに関するグループとタイプを定義します (表 8-2 参照)。

表 8-1: MCP3914 レジスタマップ

アドレス	レジスタ名	ビット数	R/W	説明
0x00	CHANNEL0	24	R	チャンネル 0 の ADC データ <23:0>、MSb 先頭
0x01	CHANNEL1	24	R	チャンネル 1 の ADC データ <23:0>、MSb 先頭
0x02	CHANNEL2	24	R	チャンネル 2 の ADC データ <23:0>、MSb 先頭
0x03	CHANNEL3	24	R	チャンネル 3 の ADC データ <23:0>、MSb 先頭
0x04	CHANNEL4	24	R	チャンネル 4 の ADC データ <23:0>、MSb 先頭
0x05	CHANNEL5	24	R	チャンネル 5 の ADC データ <23:0>、MSb 先頭
0x06	CHANNEL6	24	R	チャンネル 6 の ADC データ <23:0>、MSb 先頭
0x07	CHANNEL7	24	R	チャンネル 7 の ADC データ <23:0>、MSb 先頭
0x08	MOD	32	R/W	$\Delta\Sigma$ 型モジュレータ出力値
0x09	PHASE0	24	R/W	位相遅延コンフィグレーション レジスタ - チャンネルペア 4/5 および 6/7
0x0A	PHASE1	24	R/W	位相遅延コンフィグレーション レジスタ - チャンネルペア 0/1 および 2/3
0x0B	GAIN	24	R/W	ゲイン コンフィグレーション レジスタ
0x0C	STATUSCOM	24	R/W	ステータスおよび通信レジスタ
0x0D	CONFIG0	24	R/W	コンフィグレーション レジスタ
0x0E	CONFIG1	24	R/W	コンフィグレーション レジスタ
0x0F	OFFCAL_CH0	24	R/W	オフセット補正レジスタ - チャンネル 0
0x10	GAINCAL_CH0	24	R/W	ゲイン補正レジスタ - チャンネル 0
0x11	OFFCAL_CH1	24	R/W	オフセット補正レジスタ - チャンネル 1
0x12	GAINCAL_CH1	24	R/W	ゲイン補正レジスタ - チャンネル 1
0x13	OFFCAL_CH2	24	R/W	オフセット補正レジスタ - チャンネル 2
0x14	GAINCAL_CH2	24	R/W	ゲイン補正レジスタ - チャンネル 2
0x15	OFFCAL_CH3	24	R/W	オフセット補正レジスタ - チャンネル 3
0x16	GAINCAL_CH3	24	R/W	ゲイン補正レジスタ - チャンネル 3
0x17	OFFCAL_CH4	24	R/W	オフセット補正レジスタ - チャンネル 4
0x18	GAINCAL_CH4	24	R/W	ゲイン補正レジスタ - チャンネル 4
0x19	OFFCAL_CH5	24	R/W	オフセット補正レジスタ - チャンネル 5
0x1A	GAINCAL_CH5	24	R/W	ゲイン補正レジスタ - チャンネル 5
0x1B	OFFCAL_CH6	24	R/W	オフセット補正レジスタ - チャンネル 6
0x1C	GAINCAL_CH6	24	R/W	ゲイン補正レジスタ - チャンネル 6
0x1D	OFFCAL_CH7	24	R/W	オフセット補正レジスタ - チャンネル 7
0x1E	GAINCAL_CH7	24	R/W	ゲイン補正レジスタ - チャンネル 7
0x1F	LOCK/CRC	24	R/W	セキュリティ レジスタ (パスワードとレジスタマップの CRC-16)

表 8-2: 全ての連続読み書きモード用のレジスタマップのグループ分け

機能	アドレス	READ<1:0>				WRITE				
		= 「11」	= 「10」	= 「01」	= 「00」	= 「1」	= 「0」			
CHANNEL 0	0x00	レジスタマップ全体でグループ	タイプ	グループ	単独	書き込み不可 (書き込みアクセスに対するアドレステラセ未定義)	書き込み不可 (書き込みアクセスに対するアドレステラセ未定義)			
CHANNEL 1	0x01				単独					
CHANNEL 2	0x02			グループ	単独					
CHANNEL 3	0x03				単独					
CHANNEL 4	0x04			グループ	単独					
CHANNEL 5	0x05				単独					
CHANNEL 6	0x06			グループ	単独					
CHANNEL 7	0x07				単独					
MOD	0x08		レジスタマップ全体でグループ	タイプ	グループ			単独	書き込み可能レジスタだけをグループ	単独
PHASE0	0x09							単独		単独
PHASE1	0x0A							単独		単独
GAIN	0x0B							単独		単独
STATUSCOM	0x0C				グループ			単独		単独
CONFIG0	0x0D							単独		単独
CONFIG1	0x0E	単独			単独					
OFFCAL_CH0	0x0F	グループ			単独	単独				
GAINCAL_CH0	0x10				単独	単独				
OFFCAL_CH1	0x11	グループ			単独	単独				
GAINCAL_CH1	0x12				単独	単独				
OFFCAL_CH2	0x13	グループ			単独	単独				
GAINCAL_CH2	0x14				単独	単独				
OFFCAL_CH3	0x15	グループ			単独	単独				
GAINCAL_CH3	0x16				単独	単独				
OFFCAL_CH4	0x17	グループ			単独	単独				
GAINCAL_CH4	0x18			単独	単独					
OFFCAL_CH5	0x19	グループ		単独	単独					
GAINCAL_CH5	0x1A			単独	単独					
OFFCAL_CH6	0x1B	グループ		単独	単独					
GAINCAL_CH6	0x1C			単独	単独					
OFFCAL_CH7	0x1D	グループ		単独	単独					
GAINCAL_CH7	0x1E			単独	単独					
LOCK/CRC	0x1F	グループ		単独	単独					

MCP3914

8.1 チャンネル レジスタ - ADC チャンネルデータ出力レジスタ

レジスタ名	ビット数	アドレス	コンフィグ
CHANNEL0	24	0x00	R
CHANNEL1	24	0x01	R
CHANNEL2	24	0x02	R
CHANNEL3	24	0x03	R
CHANNEL4	24	0x04	R
CHANNEL5	24	0x05	R
CHANNEL6	24	0x06	R
CHANNEL7	24	0x07	R

ADC チャンネルデータ出力レジスタは、常に各チャンネルの最新の ADC データを格納します。これらのレジスタは読み出し専用です。これらのレジスタには個別にアクセスする事も、あるいは相互にリンクしてアクセスする事もできます (READ<1:0> ビットで設定)。ADC 読み出し通信が発生すると、これらのレジスタはラッチされず、読み出し通信中にデータレディ イベントが発生すると、最新の ADC データもラッチしてデータの破損を回避します。DR_LINK = 1 の場合、これらのレジスタはデータレディ パルスに同期して、まとめて更新およびラッチされます (データレディ パルスは最も遅い ADC チャンネルのデータレディ イベントによってトリガされます)。

レジスタ 8-1: MCP3914 チャンネル レジスタ

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
DATA_CHn <23> (MSb)	DATA_CHn <22>	DATA_CHn <21>	DATA_CHn <20>	DATA_CHn <19>	DATA_CHn <18>	DATA_CHn <17>	DATA_CHn <16>
bit 23							bit 16

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
DATA_CHn <15>	DATA_CHn <14>	DATA_CHn <13>	DATA_CHn <12>	DATA_CHn <11>	DATA_CHn <10>	DATA_CHn <9>	DATA_CHn <8>
bit 15							bit 8

| R-0 |
|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|-----------------|
| DATA_CHn
<7> | DATA_CHn
<6> | DATA_CHn
<5> | DATA_CHn
<4> | DATA_CHn
<3> | DATA_CHn
<2> | DATA_CHn
<1> | DATA_CHn
<0> |
| bit 7 | | | | | | | bit 0 |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 23-0 **DATA_CHn:** ADC チャンネル n からの出力コード、EN_OFFCAL または EN_GAINCAL ビットを有効にした場合、校正後のデータが出力される。このデータのフォーマットには WIDTH_DATA<1:0> の設定で 16/24/32 ビットモードを選択できる。([セクション 5.5「ADC 出力コーディング」](#) 参照)

8.2 MOD レジスタ - モジュレータ出力レジスタ

ビットは、各チャンネルの1つのコンパレータ出力に対応します。MOD レジスタは、唯一 32 ビット フォーマットを持つレジスタです。各 ADC の精度を保証するために、このレジスタには書き込まないでください。

レジスタ名	ビット数	アドレス	コンフィグ
MOD	32	0x08	R/W

MOD レジスタは最新のモジュレータ データ出力を格納し、DMCLK のレートで更新されます。全ての ADC の既定値は 0 V 入力の等価値です。このレジスタの各

レジスタ 8-2: MOD レジスタ

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1
COMP3_CH7	COMP2_CH7	COMP1_CH7	COMP0_CH7	COMP3_CH6	COMP2_CH6	COMP1_CH6	COMP0_CH6
bit 31							bit 24

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1
COMP3_CH5	COMP2_CH5	COMP1_CH5	COMP0_CH5	COMP3_CH4	COMP2_CH4	COMP1_CH4	COMP0_CH4
bit 23							bit 16

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1
COMP3_CH3	COMP2_CH3	COMP1_CH3	COMP0_CH3	COMP3_CH2	COMP2_CH2	COMP1_CH2	COMP0_CH2
bit 15							bit 8

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-1
COMP3_CH1	COMP2_CH1	COMP1_CH1	COMP0_CH1	COMP3_CH0	COMP2_CH0	COMP1_CH0	COMP0_CH0
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 31-28 **COMPn_CH7:** ADC チャンネル 7 からのコンパレータ出力
- bit 27-24 **COMPn_CH6:** ADC チャンネル 6 からのコンパレータ出力
- bit 23-20 **COMPn_CH5:** ADC チャンネル 5 からのコンパレータ出力
- bit 19-16 **COMPn_CH4:** ADC チャンネル 4 からのコンパレータ出力
- bit 15-12 **COMPn_CH3:** ADC チャンネル 3 からのコンパレータ出力
- bit 11-8 **COMPn_CH2:** ADC チャンネル 2 からのコンパレータ出力
- bit 7-4 **COMPn_CH1:** ADC チャンネル 1 からのコンパレータ出力
- bit 3-0 **COMPn_CH0:** ADC チャンネル 0 からのコンパレータ出力

MCP3914

8.3 PHASE0 レジスタ - チャンネルペア 6/7 および 4/5 の位相コンフィグレーション レジスタ

レジスタ名	ビット数	アドレス	コンフィグ
PHASE0	24	0x09	R/W

このレジスタに書き込むと、アクティブな ADC は全て自動的にリセットされ再起動します。

レジスタ 8-3: PHASE0 レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASED<11>	PHASED<10>	PHASED<9>	PHASED<8>	PHASED<7>	PHASED<6>	PHASED<5>	PHASED<4>
bit 23							bit 16

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEC<3>	PHASEC<2>	PHASEC<1>	PHASEC<0>	PHASEC<11>	PHASEC<10>	PHASEC<9>	PHASEC<8>
bit 15							bit 8

| R/W-0 |
|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| PHASEC<7> | PHASEC<6> | PHASEC<5> | PHASEC<4> | PHASEC<3> | PHASEC<2> | PHASEC<1> | PHASEC<0> |
| bit 7 | | | | | | | bit 0 |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 23-12 **PHASED<11:0>** チャンネル 6 とチャンネル 7(基準)間の位相遅延、遅延 = PHASED<11:0> の 10 進コード /DMCLK

bit 11-0 **PHASEC<11:0>** チャンネル 4 とチャンネル 5(基準)間の位相遅延、遅延 = PHASEC<11:0> の 10 進コード /DMCLK

8.4 PHASE1 レジスタ - チャンネルペア 2/3 および 0/1 の位相コンフィグレーション レジスタ

レジスタ名	ビット数	アドレス	コンフィグ
PHASE1	24	0x0A	R/W

このレジスタに書き込むと、アクティブな ADC は全て自動的にリセットされ再起動します。

レジスタ 8-4: PHASE レジスタ

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEB<11>	PHASEB<10>	PHASEB<9>	PHASEB<8>	PHASEB<7>	PHASEB<6>	PHASEB<5>	PHASEB<4>
bit 23							bit 16
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEB<3>	PHASEB<2>	PHASEB<1>	PHASEB<0>	PHASEA<11>	PHASEA<10>	PHASEA<9>	PHASEA<8>
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PHASEA<7>	PHASEA<6>	PHASEA<5>	PHASEA<4>	PHASEA<3>	PHASEA<2>	PHASEA<1>	PHASEA<0>
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 23-12 **PHASEB<11:0>** チャンネル 2 とチャンネル 3(基準) 間の位相遅延、遅延 = PHASEB<11:0> の 10 進コード /DMCLK

bit 11-0 **PHASEA<11:0>** チャンネル 0 とチャンネル 1(基準) 間の位相遅延、遅延 = PHASEA<11:0> の 10 進コード /DMCLK

MCP3914

8.5 GAIN レジスタ - PGA のゲイン コンフィグレーション レジスタ

レジスタ名	ビット数	アドレス	コンフィグ
GAIN	24	0x0B	R/W

レジスタ 8-5: GAIN レジスタ

| R/W-0 |
|------------|------------|------------|------------|------------|------------|------------|------------|
| PGA_CH7<2> | PGA_CH7<1> | PGA_CH7<0> | PGA_CH6<2> | PGA_CH6<1> | PGA_CH6<0> | PGA_CH5<2> | PGA_CH5<1> |
| bit 23 | | | | | | | bit 16 |

| R/W-0 |
|------------|------------|------------|------------|------------|------------|------------|------------|
| PGA_CH5<0> | PGA_CH4<2> | PGA_CH4<1> | PGA_CH4<0> | PGA_CH3<2> | PGA_CH3<1> | PGA_CH3<0> | PGA_CH2<2> |
| bit 15 | | | | | | | bit 8 |

| R/W-0 |
|------------|------------|------------|------------|------------|------------|------------|------------|
| PGA_CH2<1> | PGA_CH2<0> | PGA_CH1<2> | PGA_CH1<1> | PGA_CH1<0> | PGA_CH0<2> | PGA_CH0<1> | PGA_CH0<0> |
| bit 7 | | | | | | | bit 0 |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
-n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 23-0 **PGA_CHn<2:0>**: チャンネル n の PGA 設定

- 111 = 予約済み (ゲイン = 1)
- 110 = 予約済み (ゲイン = 1)
- 101 = ゲイン = 32
- 100 = ゲイン = 16
- 011 = ゲイン = 8
- 010 = ゲイン = 4
- 001 = ゲイン = 2
- 000 = ゲイン = 1(既定値)

8.6 STATUSCOM レジスタ - ステータス および通信レジスタ

レジスタ名	ビット数	アドレス	コンフィグ
STATUSCOM	24	0x0C	R/W

レジスタ 8-6: STATUSCOM レジスタ

R/W-1	R/W-0	R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1
READ<1>	READ<0>	WRITE	DR_HI \bar{Z}	DR_LINK	WIDTH_CRC	WIDTH_DATA<1>	WIDTH_DATA<0>
bit 23							bit 16

R/W-0	R/W-0	R/W-0	R/W-0	U-0	U-0	U-0	U-0
EN_CRCCOM	EN_INT	予約済み	予約済み	-	-	-	-
bit 15							bit 8

| R-1 |
|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| DRSTATUS<7> | DRSTATUS<6> | DRSTATUS<5> | DRSTATUS<4> | DRSTATUS<3> | DRSTATUS<2> | DRSTATUS<1> | DRSTATUS<0> |
| bit 7 | | | | | | | bit 0 |

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 23-22 **READ<1:0>**: 読み出し通信のアドレスカウンタ インクリメント設定
 11 = アドレスカウンタは自動インクリメント、レジスタマップ全体でループ
 10 = アドレスカウンタは自動インクリメント、レジスタタイプでループ (既定値)
 01 = アドレスカウンタは自動インクリメント、レジスタグループでループ
 00 = アドレスのインクリメントなし、同一レジスタアドレスを連続的に読み出し
- bit 21 **WRITE**: 書き込み通信のアドレスカウンタ インクリメント設定
 1 = アドレスカウンタは自動インクリメント、レジスタマップの書き込み可能部分でループ (既定値)
 0 = アドレスのインクリメントなし、同一レジスタアドレスに連続的に書き込み
- bit 20 **DR_HI \bar{Z}** : データレディピンの非アクティブ状態の制御
 1 = データ非レディ時の DR ピンの状態を論理 HIGH にする
 0 = データ非レディ時の DR ピンの状態をハイ インピーダンスにする (既定値)
- bit 19 **DR_LINK**: データレディ リンク制御
 1 = データレディ リンクを有効にする。最も遅い ADC チャンネルのデータレディ パルスに対応する 1 パルスだけを全 ADC チャンネルの DR ピンに生成する。
 0 = データレディ リンクを無効にする。各 ADC がそれぞれ独自にデータレディ パルスを DR ピンに生成する。
- bit 18 **WIDTH_CRC**: 通信の CRC-16 に使うフォーマット
 1 = 32 ビット (CRC-16 コードの後ろに 16 個の 0 を付加)、このコーディングは、ほとんどの 32 ビット MCU (PIC32 MCU を含む) の CRC 実装と互換
 0 = 16 ビット (既定値)
- bit 17-16 **WIDTH_DATA<1:0>**: 全 ADC の ADC データ フォーマット設定 ([セクション 5.5 「ADC 出カコーディング」](#) 参照)
 11 = 32 ビット符号拡張付き
 10 = 32 ビット 0 パディング付き
 01 = 24 ビット (既定値)
 00 = 16 ビット (丸めあり)
- bit 15 **EN_CRCCOM**: シリアル通信 CRC の CRC-16 チェックサムを有効にする
 1 = CRC-16 チェックサムを各通信シーケンスの末尾に追加する (従って、各通信時間は長くなる)。CRC-16 メッセージは完全な通信シーケンスである (詳細は、[セクション 6.9 「CRC-16 チェックサムによる読み出し通信の保護」](#) 参照)
 0 = 無効 (既定値)

レジスタ 8-6: STATUSCOM レジスタ (続き)

- bit 14 **EN_INT:** CRCREG 割り込み機能を有効にする
- 1 = CRCREG チェックサム検証の割り込みフラグを有効にする。CRCREG チェックサム エラーが発生した場合、データレディピン (\overline{DR}) が論理 LOW に遷移し、論理 LOW を維持する。この割り込みは、LOCK<7:0> をパスワード (0xA5) と等しい値に設定するとクリアされる
 - 0 = CRCREG チェックサム検証の割り込みフラグを無効にする。このモードでも CRCREG<15:0> ビットは適切に計算され、読み出す事ができる。CRCREG チェックサム エラーが発生しても割り込みは生成されない (既定値)
- bit 13-12 **予約済み:** 常に 0 に保つ必要がある
- bit 11-8 **未実装:** 0 として読み出し
- bit 7-0 **DRSTATUS<7:0>:** 個々の ADC チャンネルに対するデータレディ ステータスビット
- DRSTATUS<n> = 1 - チャンネル CHn のデータは非レディ (既定値)
 - DRSTATUS<n> = 0 - チャンネル CHn のデータはレディ
- STATUSCOM レジスタの読み出し後、ステータスビットは「1」にリセットされる。対応するチャンネル ADC データを読み出ししても、ステータスビットは「1」にリセットされない

8.7 CONFIG0 レジスタ - コンフィグレーション レジスタ 0

レジスタ名	ビット数	アドレス	コンフィグ
CONFIG0	24	0x0D	R/W

レジスタ 8-7: CONFIG0 レジスタ

R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0
EN_OFFCAL	EN_GAINCAL	DITHER<1>	DITHER<0>	BOOST<1>	BOOST<0>	PRE<1>	PRE<0>
bit 23							bit 16

R/W-0	R/W-1	R/W-1	U-0	U-0	U-0	U-0	U-0
OSR<2>	OSR<1>	OSR<0>	-	-	-	-	-
bit 15							bit 8

R/W-0	R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
VREFCAL<7>	VREFCAL<6>	VREFCAL<5>	VREFCAL<4>	VREFCAL<3>	VREFCAL<2>	VREFCAL<1>	VREFCAL<0>
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 23 **EN_OFFCAL:** 全チャンネルの 24 ビット デジタル オフセット誤差校正イネーブル
 1 = 有効にする。このモードは ADC データにグループ遅延を一切追加しない
 0 = 無効にする (既定値)
- bit 22 **EN_GAINCAL:** 全チャンネルの 24 ビット デジタルゲイン誤差校正のイネーブル
 1 = 有効にする。このモードは全チャンネルに 24 DMCLK 周期のグループ遅延を追加する。全てのデータレディパルスは、EN_GAINCAL = 0 の場合に比べて 24 DMCLK クロック周期分遅延する
 0 = 無効にする (既定値)
- bit 21-20 **DITHER<1:0>:** 全チャンネルのアイドルトーン相殺と THD 改善のためのディザリング回路制御
 11 = ディザリング ON、強度 = 最大 (既定値)
 10 = ディザリング ON、強度 = 中
 01 = ディザリング ON、強度 = 最小
 00 = ディザリング OFF
- bit 19-18 **BOOST<1:0>:** 全ADCのバイアス電流選択(達成可能な最大サンプリング速度に影響する、表5-2参照)
 11 = 全チャンネルの電流を 2 倍にする
 10 = 全チャンネルの電流を 1 倍にする (既定値)
 01 = 全チャンネルの電流を 0.66 倍にする
 00 = 全チャンネルの電流を 0.5 倍にする
- bit 17-16 **PRE<1:0>** アナログ マスタクロック (AMCLK) プリスケール値
 11 = AMCLK = MCLK/8
 10 = AMCLK = MCLK/4
 01 = AMCLK = MCLK/2
 00 = AMCLK = MCLK(既定値)

MCP3914

レジスタ 8-7: CONFIG0 レジスタ (続き)

- bit 15-13 **OSR<2:0>** $\Delta\Sigma$ 型 A/D 変換のオーバーサンプリング率 (全チャンネル、 f_d / f_s)
- 111 = 4096 ($f_d = 244$ sps、MCLK = 4 MHz、 $f_s =$ AMCLK = 1 MHz の場合)
 - 110 = 2048 ($f_d = 488$ sps、MCLK = 4 MHz、 $f_s =$ AMCLK = 1 MHz の場合)
 - 101 = 1024 ($f_d = 976$ sps、MCLK = 4 MHz、 $f_s =$ AMCLK = 1 MHz の場合)
 - 100 = 512 ($f_d = 1.953$ ksps、MCLK = 4 MHz、 $f_s =$ AMCLK = 1 MHz の場合)
 - 011 = 256 ($f_d = 3.90625$ ksps、MCLK = 4 MHz、 $f_s =$ AMCLK = 1 MHz の場合) (既定値)
 - 010 = 128 ($f_d = 7.8125$ ksps、MCLK = 4 MHz、 $f_s =$ AMCLK = 1 MHz の場合)
 - 001 = 64 ($f_d = 15.625$ ksps、MCLK = 4 MHz、 $f_s =$ AMCLK = 1 MHz の場合)
 - 000 = 32 ($f_d = 31.25$ ksps、MCLK = 4 MHz、 $f_s =$ AMCLK = 1 MHz の場合)
- bit 12-8 **未実装** : 「0」 として読み出し
- bit 7-0 **VREFCAL<7:0>**: 内部参照電圧温度係数レジスタ VREFCAL<7:0> の値
(詳細は [セクション 5.6.3 「温度補償 \(VREFCAL<7:0>\)」](#) 参照)

8.8 CONFIG1 レジスタ - コンフィグレーション レジスタ 1

レジスタ名	ビット数	アドレス	コンフィグ
CONFIG1	24	0x0E	R/W

レジスタ 8-8: CONFIG1 レジスタ

| R/W-0 |
|----------|----------|----------|----------|----------|----------|----------|----------|
| RESET<7> | RESET<6> | RESET<5> | RESET<4> | RESET<3> | RESET<2> | RESET<1> | RESET<0> |
| bit 23 | | | | | | | bit 16 |

| R/W-0 |
|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| SHUTDOWN<7> | SHUTDOWN<6> | SHUTDOWN<5> | SHUTDOWN<4> | SHUTDOWN<3> | SHUTDOWN<2> | SHUTDOWN<1> | SHUTDOWN<0> |
| bit 15 | | | | | | | bit 8 |

R/W-0	R/W-1	U-0	U-0	U-0	U-0	U-0	U-0
VREFEXT	CLKEXT	-	-	-	-	-	-
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

- bit 23-16 **RESET<7:0>**: 個々の ADC に対するソフトリセット モード設定
 RESET<n> = 1: チャンネル CHn をソフトリセット モードにする
 RESET<n> = 0: チャンネル CHn をソフトリセット モードにしない
- bit 15-8 **SHUTDOWN<7:0>**: 個々の ADC に対するシャットダウン モード設定
 SHUTDOWN<n> = 1: ADC チャンネル CHn をシャットダウン モードにする
 SHUTDOWN<n> = 0: ADC チャンネル CHn をシャットダウン モードにしない
- bit 7 **VREFEXT**: 内部参照電圧選択ビット
 1 = 内部参照電圧を無効にする。REFIN+/- ピン間に外部参照電圧を印加する必要がある。このモードでは、内部参照電圧がシャットダウン モードに移行するため、アナログ消費電力(AI_{DD})が若干低減される
 0 = 内部参照電圧を有効にする。精度を最適化するには、REFIN+/OUT ピンに適切なデカップリング コンデンサが必要である。このモードでは、REFIN- ピンを A_{GND} に接続する必要がある
- bit 6 **CLKEXT**: 内部クロック選択ビット
 1 = MCLK を外部で生成し OSC1 ピンに供給する。水晶振動子オシレータは無効となり電流を一切消費しない (既定値)
 0 = 水晶振動子オシレータを有効にする。OSC1 と OSC2 の間に適切なデカップリング コンデンサと共に水晶振動子を接続する必要がある。このモードでは、オシレータによってデジタル消費電力(DI_{DD})が増加する
- bit 5-0 **未実装**: 「0」として読み出し

MCP3914

8.9 OFFCAL_CHnおよびGAINCAL_CHn レジスタ - デジタルオフセットおよび ゲイン誤差校正レジスタ

レジスタ名	ビット数	アドレス	コンフィグ
OFFCAL_CH0	24	0x0F	R/W
GAINCAL_CH0	24	0x10	R/W
OFFCAL_CH1	24	0x11	R/W
GAINCAL_CH1	24	0x12	R/W
OFFCAL_CH2	24	0x13	R/W
GAINCAL_CH2	24	0x14	R/W
OFFCAL_CH3	24	0x15	R/W
GAINCAL_CH3	24	0x16	R/W
OFFCAL_CH4	24	0x17	R/W
GAINCAL_CH4	24	0x18	R/W
OFFCAL_CH5	24	0x19	R/W
GAINCAL_CH5	24	0x1A	R/W
OFFCAL_CH6	24	0x1B	R/W
GAINCAL_CH6	24	0x1C	R/W
OFFCAL_CH7	24	0x1D	R/W
GAINCAL_CH7	24	0x1E	R/W

レジスタ 8-9: OFFCAL_CHn レジスタ

R/W-0	R/W-0	R/W-0	...	R/W-0	R/W-0	R/W-0	R/W-0
OFFCAL_CHn <23>	OFFCAL_CHn< 22>	OFFCAL_CHn< 21>	...	OFFCAL_CHn <3>	OFFCAL_CHn <2>	OFFCAL_CHn <1>	OFFCAL_CHn< 0>
bit 23							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 23-0 **OFFCAL_CHn:** 対応するチャンネル CHn のデジタル オフセット校正値を示す。このレジスタの値は、チャンネルの出力コードにビット単位で単純に加算される。このレジスタは 24 ビットの 2 の補数 MSb 先頭コーディングである。CHn 出力コード = OFFCAL_CHn + ADC CHn 出力コードである。EN_OFFCAL = 0(オフセット校正は無効) の場合、このレジスタはドントケアだが、EN_OFFCAL ビットをクリアしてもこのレジスタの値はクリアされない。

レジスタ 8-10: GAINCAL_CHn レジスタ

R/W-0	R/W-0	R/W-0	...	R/W-0	R/W-0	R/W-0	R/W-0
GAINCAL_CHn <23>	GAINCAL_CHn <22>	GAINCAL_CHn <21>	...	GAINCAL_CHn <3>	GAINCAL_CHn <2>	GAINCAL_CHn <1>	GAINCAL_CHn <0>
bit 23							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 23-0 **GAINCAL_CHn:** 対応するチャンネル CHn のデジタルゲイン誤差校正値を示す。このレジスタは、24 ビットの符号付き MSb 先頭コーディングを格納し、値のレンジは $-1x \sim +0.9999999x$ ($0x800000 \sim 0x7FFFFFF$) である。ゲイン校正は、このレジスタに $1x$ を加算した値を、オフセット校正後のチャンネル出力コードにビット単位で乗算する。従って、ゲイン校正のレンジは $0x \sim 1.9999999x$ ($0x800000 \sim 0x7FFFFFF$) である。1LSB あたりの乗数の増分は 2^{23} である。CHn 出力コード = $(\text{GAINCAL_CHn} + 1) * \text{ADC_CHn}$ 出力コードである。EN_GAINCAL = 0 (ゲイン校正は無効) の場合、このレジスタはドントケアだが EN_GAINCAL ビットをクリアしてもこのレジスタの値はクリアされない。

8.10 セキュリティ レジスタ - パスワード とレジスタマップの CRC-16

レジスタ名	ビット数	アドレス	コンフィグ
LOCK/CRC	24	0x1F	R/W

レジスタ 8-11: LOCK/CRC レジスタ

R/W-1	R/W-0	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-1
LOCK<7>	LOCK<6>	LOCK<5>	LOCK<4>	LOCK<3>	LOCK<2>	LOCK<1>	LOCK<0>
bit 23							bit 16

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
CRCREG<15>	CRCREG<14>	CRCREG<13>	CRCREG<12>	CRCREG<11>	CRCREG<10>	CRCREG<9>	CRCREG<8>
bit 15							bit 8

R-0							
CRCREG<7>	CRCREG<6>	CRCREG<5>	CRCREG<4>	CRCREG<3>	CRCREG<2>	CRCREG<1>	CRCREG<0>
bit 7							bit 0

凡例:

R = 読み出し可能ビット W = 書き込み可能ビット U = 未実装ビット、「0」として読み出し
 -n = POR 時の値 「1」= ビットはセット 「0」= ビットはクリア x = ビットは未知

bit 23-16 **LOCK<7:0>:** レジスタマップの書き込み可能部分に対するロックコード
 LOCK<7:0> = PASSWORD = 0xA5 の場合 (既定値): レジスタマップ全体が書き込み可能、CRCREG<15:0> ビットと CRC 割り込みがクリアされる。レジスタマップに対する CRC-16 チェックサムを計算しない。
 LOCK<7:0> が 0xA5 以外の場合: LOCK/CRC レジスタのみ書き込み可能、このモードでは、その他のレジスタが全て未定義と見なされる。CRCREG チェックサムは継続して計算され、CRC 割り込み EN_INT ビットが有効な場合、割り込みを生成できる。レジスタへの書き込みを実行する必要がある場合、あらかじめ LOCK<7:0> ビットに 0xA5 を書き込んでレジスタマップのロックを解除しておく必要がある。

bit 15-0 **CRCREG<15:0>:** レジスタマップの書き込み可能部分をメッセージと見なして計算した CRC-16 チェックサムを示す。これは読み出し専用の 16 ビットコードである。このチェックサムは継続的に再計算され、25 DMCLK 周期ごとに更新される。LOCK<7:0> = 0xA5 にすると既定値 (0x0000) にリセットされる。

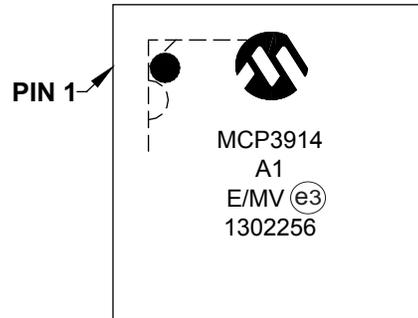
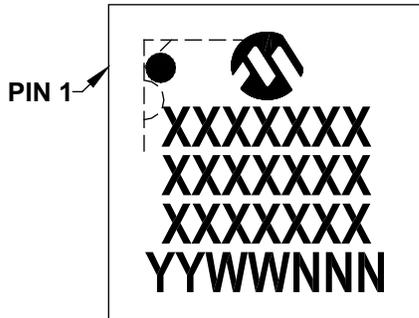
MCP3914

9.0 パッケージ情報

9.1 パッケージのマーキング情報

40-Lead UQFN (5x5x0.5 mm)

Example

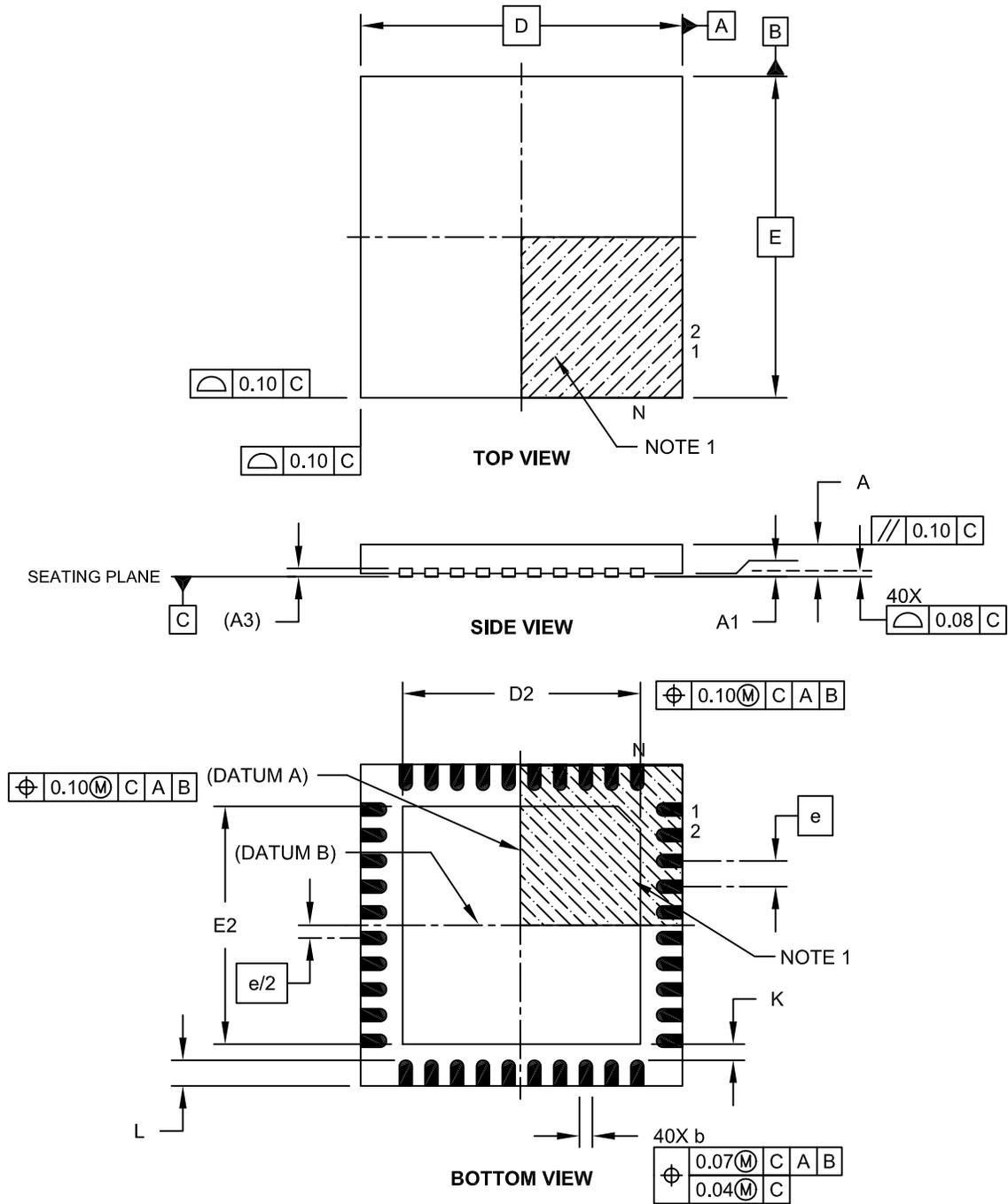


凡例:	XX...X	お客様固有情報
	Y	年コード (西暦の下 1 桁)
	YY	年コード (西暦の下 2 桁)
	WW	週コード (1 月の第 1 週が「01」)
	NNN	英数字のトレーサビリティコード
	(e3)	つや消し錫 (Sn) の使用を示す鉛フリーの JEDEC マーク
	*	本パッケージは鉛フリーです。鉛フリー JEDEC マーク (e3) は外箱に表記しています。

Note: Microchip 社の製品番号が 1 行に収まりきらない場合は複数行を使います。この場合お客様固有情報に使える文字数が制限されます。

40ピン超薄型クワッドフラット、リードレスパッケージ (MV) - 5x5x0.5 mm ボディ [UQFN]

Note: 最新のパッケージ図面については、以下のウェブページにある「Microchip Packaging Specification (Microchip 社パッケージ仕様)」を参照してください。
<http://www.microchip.com/packaging>

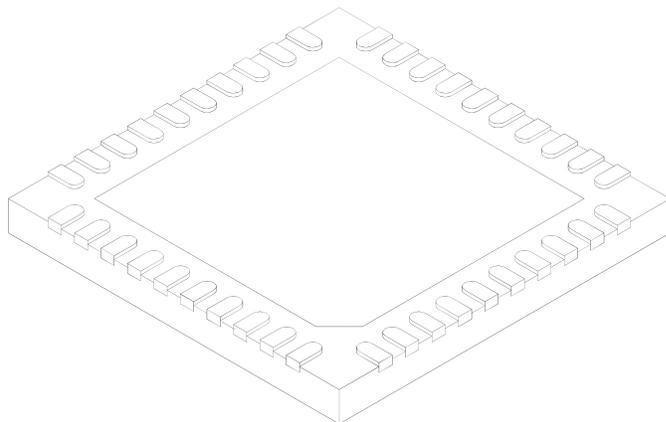


Microchip Technology Drawing C04-156A Sheet 1/2

MCP3914

40ピン超薄型プラスチッククワッドフラット、リードレスパッケージ (MV) - 5x5x0.5 mm ボディ [UQFN]

Note: 最新のパッケージ図面については、以下のウェブページにある「Microchip Packaging Specification (Microchip 社パッケージ仕様)」を参照してください。
<http://www.microchip.com/packaging>



寸法限界	単位	ミリメートル		
		MIN	NOM	MAX
ピン数	N	40		
ピッチ	e	0.40 BSC		
全高	A	0.45	0.50	0.55
スタンドオフ	A1	0.00	0.02	0.05
コンタクト厚	A3	0.127 REF		
全幅	E	5.00 BSC		
露出パッド幅	E2	3.60	3.70	3.80
全長	D	5.00 BSC		
露出パッド長	D2	3.60	3.70	3.80
コンタクト幅	b	0.15	0.20	0.25
コンタクト長	L	0.30	0.40	0.50
コンタクト - 露出パッド間距離	K	0.20	-	-

Notes:

- ピン1のビジュアル インデックスの場所にはばらつきがありますが、必ず斜線部分内にあります。
- パッケージは切削切り出しされています。
- 寸法と許容誤差は ASME Y14.5M に準拠しています。

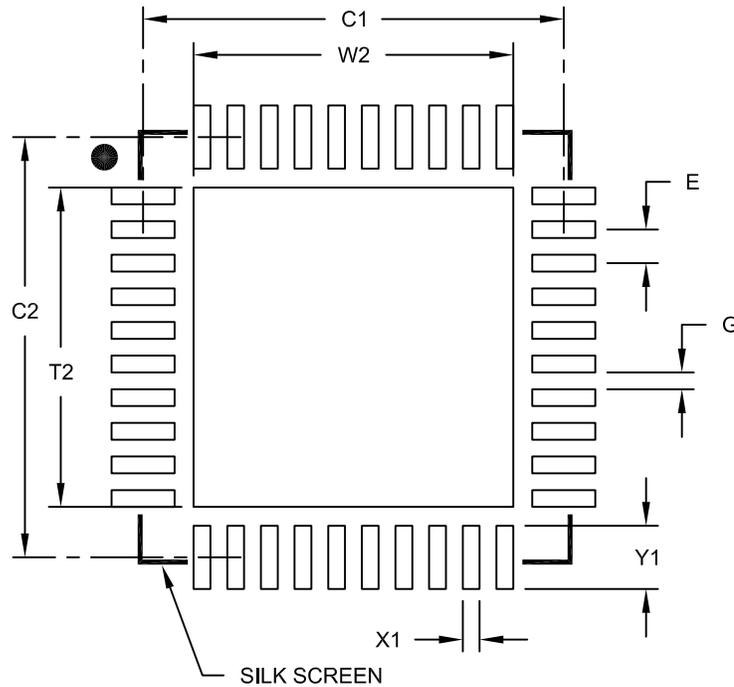
BSC: 基本寸法、理論的に正確な値、許容誤差なしで表示

REF: 参考寸法、通常は許容誤差を含まない、情報としてのみ使われる値

Microchip Technology Drawing C04-156A Sheet 2/2

40ピンプラスチック超薄型クワッドフラット、リードレスパッケージ(MV)–5x5 mmボディ[UQFN]

Note: 最新のパッケージ図面については、以下のウェブページにある「Microchip Packaging Specification (Microchip 社パッケージ仕様)」を参照してください。
<http://www.microchip.com/packaging>



RECOMMENDED LAND PATTERN

単位	ミリメートル			
	寸法限界	MIN	NOM	MAX
コンタクトピッチ	E	0.40 BSC		
オプションのセンターパッド幅	W2			3.80
オプションのセンターパッド長	T2			3.80
コンタクトパッド間隔	C1		5.00	
コンタクトパッド間隔	C2		5.00	
コンタクトパッド幅 (X40)	X1			0.20
コンタクトパッド長 (X40)	Y1			0.75
パッド間距離	G	0.20		

Notes:

- 寸法と許容誤差は ASME Y14.5M に準拠しています。
 BSC: 基本寸法、理論的に正確な値、許容誤差なしで表示

Microchip Technology Drawing C04-2156B

MCP3914

NOTES:

補遺 A: 改訂履歴

リビジョン A (2013 年 8 月)

- 本書の初版です。

NOTES:

製品識別システム

ご注文または製品の価格や納期に関するお問い合わせは、弊社または販売代理店までお問い合わせください。

PART NO.	[X] ⁽¹⁾	X	/XX																				
Device	Tape and Reel	Temperature Range	Package																				
<p>Device: MCP3914: Eight-Channel Analog Front-End Converter</p>																							
<p>Address Options:</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 30%;"></th> <th style="width: 10%; text-align: center;">XX</th> <th style="width: 10%; text-align: center;">A6</th> <th style="width: 10%; text-align: center;">A5</th> </tr> </thead> <tbody> <tr> <td>A0</td> <td style="text-align: center;">=</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> <tr> <td>A1*</td> <td style="text-align: center;">=</td> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> </tr> <tr> <td>A2</td> <td style="text-align: center;">=</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td>A3</td> <td style="text-align: center;">=</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> </tr> </tbody> </table> <p>* Default option. Contact Microchip factory for other address options.</p>					XX	A6	A5	A0	=	0	0	A1*	=	0	1	A2	=	1	0	A3	=	1	1
	XX	A6	A5																				
A0	=	0	0																				
A1*	=	0	1																				
A2	=	1	0																				
A3	=	1	1																				
<p>Tape and Reel Option: Blank = Standard packaging (tube or tray) T = Tape and Reel⁽¹⁾</p>																							
<p>Temperature Range: E = -40 °C to +125 °C</p>																							
<p>Package: MV = Plastic Ultra Thin Quad Flat, No Lead package (UQFN)</p>																							

例:

a) MCP3914A1-E/MV: 拡張温度仕様、40ピンUQFNパッケージ

b) MCP3914A1T-E/MV: テープ & リール、拡張温度仕様、40ピンUQFNパッケージ

Note 1: テープとリールの識別情報は、カタログの製品番号説明でのみご確認頂けます。この識別情報は注文時に使うため、デバイスのパッケージには印刷されていません。テープ & リールが選択できるパッケージの在庫/供給状況は、弊社代理店までお問い合わせください。

NOTES:

Microchip 社製デバイスのコード保護機能に関して以下の点にご注意ください。

- Microchip 社製品は、該当する Microchip 社データシートに記載の仕様を満たしています。
- Microchip 社では、通常の条件ならびに仕様に従って使用した場合、Microchip 社製品のセキュリティ レベルは、現在市場に流通している同種製品の中でも最も高度であると考えています。
- しかし、コード保護機能を解除するための不正かつ違法な方法が存在する事もまた事実です。弊社の理解では、こうした手法は Microchip 社データシートにある動作仕様書以外の方法で Microchip 社製品を使用する事になります。このような行為は知的所有権の侵害に該当する可能性が非常に高いと言えます。
- Microchip 社は、コードの保全性に懸念を抱いているお客様と連携し、対応策に取り組んでいきます。
- Microchip 社を含む全ての半導体メーカーで、自社のコードのセキュリティを完全に保証できる企業はありません。コード保護機能とは、Microchip 社が製品を「解読不能」として保証するものではありません。

コード保護機能は常に進歩しています。Microchip 社では、常に製品のコード保護機能の改善に取り組んでいます。Microchip 社のコード保護機能の侵害は、デジタル ミレニアム著作権法に違反します。そのような行為によってソフトウェアまたはその他の著作物に不正なアクセスを受けた場合、デジタル ミレニアム著作権法の定めるところにより損害賠償訴訟を起こす権利があります。

本書に記載されているデバイス アプリケーション等に関する情報は、ユーザの便宜のためにのみ提供されているものであり、更新によって無効とされる事があります。お客様のアプリケーションが仕様を満たす事を保証する責任は、お客様にあります。Microchip 社は、明示的、暗黙的、書面、口頭、法定のいずれであるかを問わず、本書に記載されている情報に関して、状態、品質、性能、商品性、特定目的への適合性をはじめとする、いかなる類の表明も保証も行いません。Microchip 社は、本書の情報およびその使用に起因する一切の責任を否認します。生命維持装置あるいは生命安全用途に Microchip 社の製品を使用する事は全て購入者のリスクとし、また購入者はこれによって発生したあらゆる損害、クレーム、訴訟、費用に関して、Microchip 社は擁護され、免責され、損害を受けない事に同意するものとします。暗黙的あるいは明示的を問わず、Microchip 社が知的財産権を保有しているライセンスは一切譲渡されません。

商標

Microchip 社の名称とロゴ、Microchip ロゴ、dsPIC、FlashFlex、KEELOQ、KEELOQ ロゴ、MPLAB、PIC、PICmicro、PICSTART、PIC³² ロゴ、rPIC、SST、SST ロゴ、SuperFlash、UNI/O は、米国およびその他の国における Microchip Technology Incorporated の登録商標です。

FilterLab、Hampshire、HI-TECH C、Linear Active Thermistor、MTP、SEEVAL、Embedded Control Solutions Company は、米国における Microchip Technology Incorporated の登録商標です。

Silicon Storage Technology は、他の国における Microchip Technology Inc. の登録商標です。

Analog-for-the-Digital Age、Application Maestro、BodyCom、chipKIT、chipKIT ロゴ、CodeGuard、dsPICDEM、dsPICDEM.net、dsPICworks、dsSPEAK、ECAN、ECONOMONITOR、FanSense、HI-TIDE、In-Circuit Serial Programming、ICSP、Mindī、MiWi、MPASM、MPF、MPLAB Certified ロゴ、MPLIB、MPLINK、mTouch、Omniscient Code Generation、PICC、PICC-18、PICDEM、PICDEM.net、PICkit、PICtail、REAL ICE、rFLAB、Select Mode、SQL、Serial Quad I/O、Total Endurance、TSHARC、UniWinDriver、WiperLock、ZENA および Z-Scale は、米国およびその他の Microchip Technology Incorporated の商標です。

SQTP は、米国における Microchip Technology Incorporated のサービスマークです。

GestIC および ULPP は、Microchip Technology Inc. の子会社である Microchip Technology Germany II GmbH & Co. & KG 社の他の国における登録商標です。

その他、本書に記載されている商標は各社に帰属します。

© 2014, Microchip Technology Incorporated, All Rights Reserved.

ISBN: 978-1-62077-634-6

**QUALITY MANAGEMENT SYSTEM
CERTIFIED BY DNV
= ISO/TS 16949 =**

Microchip 社では、Chandler および Tempe (アリゾナ州)、Gresham (オレゴン州)の本部、設計部およびウェハー製造工場そしてカリフォルニア州とインドのデザインセンターがISO/TS-16949:2009 認証を取得しています。Microchip 社の品質システム プロセスおよび手順は、PIC[®] MCU および dsPIC[®] DSC、KEELOQ[®] コードホッピング デバイス、シリアル EEPROM、マイクロペリフェラル、不揮発性メモリ、アナログ製品に採用されています。さらに、開発システムの設計と製造に関する Microchip 社の品質システムは ISO 9001:2000 認証を取得しています。

各国の営業所とサービス

北米

本社

2355 West Chandler Blvd.
Chandler, AZ 85224-6199
Tel: 480-792-7200
Fax: 480-792-7277
技術サポート：
[http://www.microchip.com/
support](http://www.microchip.com/support)
URL:
www.microchip.com

アトランタ

Duluth, GA
Tel: 678-957-9614
Fax: 678-957-1455

オースティン、TX

Tel: 512-257-3370

ボストン

Westborough, MA
Tel: 774-760-0087
Fax: 774-760-0088

シカゴ

Itasca, IL
Tel: 630-285-0071
Fax: 630-285-0075

クリーブランド

Independence, OH
Tel: 216-447-0464
Fax: 216-447-0643

ダラス

Addison, TX
Tel: 972-818-7423
Fax: 972-818-2924

デトロイト

Novi, MI
Tel: 248-848-4000

ヒューストン、TX

Tel: 281-894-5983

インディアナポリス

Noblesville, IN
Tel: 317-773-8323
Fax: 317-773-5453

ロサンゼルス

Mission Viejo, CA
Tel: 949-462-9523
Fax: 949-462-9608

ニューヨーク、NY

Tel: 631-435-6000

サンノゼ、CA

Tel: 408-735-9110

カナダ - トロント

Tel: 905-673-0699
Fax: 905-673-6509

アジア / 太平洋

アジア太平洋支社

Suites 3707-14, 37th Floor
Tower 6, The Gateway
Harbour City, Kowloon
Hong Kong
Tel: 852-2943-5100
Fax: 852-2401-3431

オーストラリア - シドニー

Tel: 61-2-9868-6733
Fax: 61-2-9868-6755

中国 - 北京

Tel: 86-10-8569-7000
Fax: 86-10-8528-2104

中国 - 成都

Tel: 86-28-8665-5511
Fax: 86-28-8665-7889

中国 - 重慶

Tel: 86-23-8980-9588
Fax: 86-23-8980-9500

中国 - 杭州

Tel: 86-571-8792-8115
Fax: 86-571-8792-8116

中国 - 香港 SAR

Tel: 852-2943-5100
Fax: 852-2401-3431

中国 - 南京

Tel: 86-25-8473-2460
Fax: 86-25-8473-2470

中国 - 青島

Tel: 86-532-8502-7355
Fax: 86-532-8502-7205

中国 - 上海

Tel: 86-21-5407-5533
Fax: 86-21-5407-5066

中国 - 瀋陽

Tel: 86-24-2334-2829
Fax: 86-24-2334-2393

中国 - 深圳

Tel: 86-755-8864-2200
Fax: 86-755-8203-1760

中国 - 武漢

Tel: 86-27-5980-5300
Fax: 86-27-5980-5118

中国 - 西安

Tel: 86-29-8833-7252
Fax: 86-29-8833-7256

中国 - 厦門

Tel: 86-592-2388138
Fax: 86-592-2388130

中国 - 珠海

Tel: 86-756-3210040
Fax: 86-756-3210049

アジア / 太平洋

インド - バンガロール

Tel: 91-80-3090-4444
Fax: 91-80-3090-4123

インド - ニューデリー

Tel: 91-11-4160-8631
Fax: 91-11-4160-8632

インド - プネ

Tel: 91-20-3019-1500

日本 - 大阪

Tel: 81-6-6152-7160
Fax: 81-6-6152-9310

日本 - 東京

Tel: 81-3-6880-3770
Fax: 81-3-6880-3771

韓国 - 大邱

Tel: 82-53-744-4301
Fax: 82-53-744-4302

韓国 - ソウル

Tel: 82-2-554-7200
Fax: 82-2-558-5932 または
82-2-558-5934

マレーシア - クアラルンプール

Tel: 60-3-6201-9857
Fax: 60-3-6201-9859

マレーシア - ペナン

Tel: 60-4-227-8870
Fax: 60-4-227-4068

フィリピン - マニラ

Tel: 63-2-634-9065
Fax: 63-2-634-9069

シンガポール

Tel: 65-6334-8870
Fax: 65-6334-8850

台湾 - 新竹

Tel: 886-3-5778-366
Fax: 886-3-5770-955

台湾 - 高雄

Tel: 886-7-213-7830

台湾 - 台北

Tel: 886-2-2508-8600
Fax: 886-2-2508-0102

タイ - バンコク

Tel: 66-2-694-1351
Fax: 66-2-694-1350

ヨーロッパ

オーストリア - ヴェルス

Tel: 43-7242-2244-39
Fax: 43-7242-2244-393

デンマーク - コペンハーゲン

Tel: 45-4450-2828
Fax: 45-4485-2829

フランス - パリ

Tel: 33-1-69-53-63-20
Fax: 33-1-69-30-90-79

ドイツ - デュッセルドルフ

Tel: 49-2129-3766400

ドイツ - ミュンヘン

Tel: 49-89-627-144-0
Fax: 49-89-627-144-44

ドイツ - プフォルトツハイム

Tel: 49-7231-424750

イタリア - ミラノ

Tel: 39-0331-742611
Fax: 39-0331-466781

イタリア - ヴェニス

Tel: 39-049-7625286

オランダ - ドリユネン

Tel: 31-416-690399
Fax: 31-416-690340

ポーランド - ワルシャワ

Tel: 48-22-3325737

スペイン - マドリッド

Tel: 34-91-708-08-90
Fax: 34-91-708-08-91

スウェーデン - ストックホルム

Tel: 46-8-5090-4654

イギリス - ウォーキンガム

Tel: 44-118-921-5800
Fax: 44-118-921-5820